

# **Monolithische Halbleiternanostrukturen als ballistische Verstärker und logische Gatter**

Dissertation zur Erlangung des  
naturwissenschaftlichen Doktorgrades  
der Bayerischen Julius-Maximilians-Universität Würzburg

vorgelegt von

**Stephan Reitzenstein**

aus Buchen/Odw

Würzburg 2004

Eingereicht am:  
bei der Fakultät für Physik und Astronomie

17.06.2004

1. Gutachter der Dissertation:  
2. Gutachter der Dissertation:

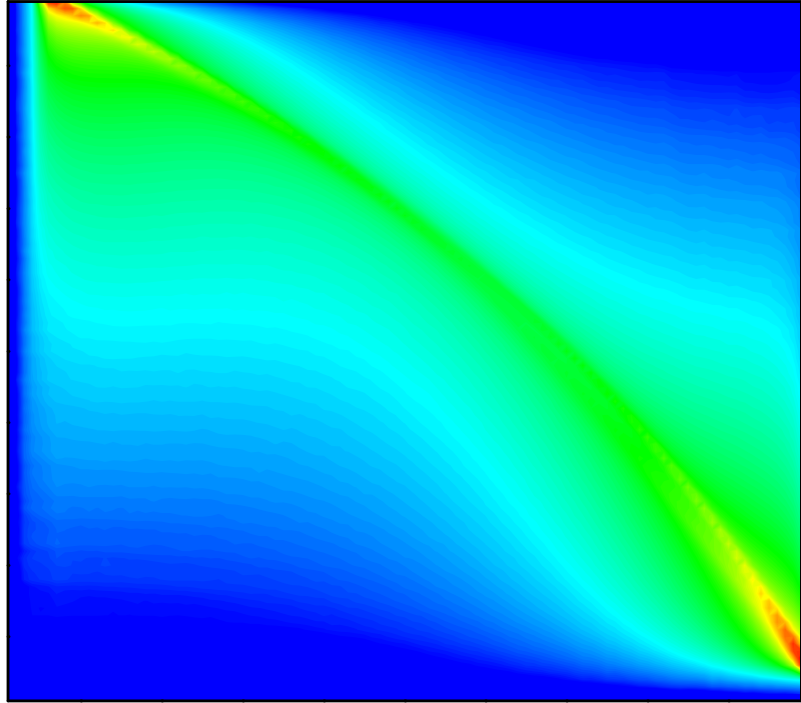
Prof. Dr. A. Forchel  
Prof. Dr. J. Geurts

1. Prüfer der mündlichen Prüfung:  
2. Prüfer der mündlichen Prüfung:

Prof. Dr. A. Forchel  
Prof. Dr. H. Fraas

Tag der mündlichen Prüfung:

Doktorurkunde ausgehändigt am:



für MARINA und PHILIPP



Teile dieser Arbeit wurden bereits veröffentlicht bzw. zur Veröffentlichung eingereicht:

- L. Worschech, S. Reitzenstein, and A. Forchel,  
'*Negative differential conductance in planar one-dimensional/zero-dimensional/one-dimensional GaAs/AlGaAs structures*', Appl. Phys. Lett. **77**, 3662 (2000)
- L. Worschech, B. Weidner, S. Reitzenstein, and A. Forchel,  
'*Investigation of switching effects between the drains of an electron Y-branch switch*', Appl. Phys. Lett. **78**, 3325 (2001)
- S. Reitzenstein, L. Worschech, P. Hartmann, and A. Forchel,  
'*Logic AND/NAND gates based on three terminal ballistic junctions*', Electronics Lett. **38**, 951 (2002)
- S. Reitzenstein, L. Worschech, M. Keßelring, and A. Forchel,  
'*Switching characteristics and demonstration of logic functions in modulation doped GaAs/AlGaAs nanoelectronic devices*', Physica E **13**, 954 (2002)
- S. Reitzenstein, L. Worschech, P. Hartmann, and A. Forchel,  
'*Voltage gain and switching effects in GaAs/AlGaAs Y-branches*', Proceedings of the 26th International Conference on the Physics of Semiconductors (ICPS) 2002
- L. Worschech, A. Schliemann, S. Reitzenstein, P. Hartmann, and A. Forchel,  
'*Microwave rectification in ballistic nanojunctions at room temperature*', Microelectron. Eng. **63**, 217 (2002)
- S. Reitzenstein, L. Worschech, P. Hartmann, M. Kamp, and A. Forchel,  
'*Capacitive-Coupling-Enhanced Switching Gain in an Electron Y-Branch Switch*', Phys. Rev. Lett. **89**, 226804 (2002), siehe auch *New Nano Capacity*, Phys. Rev. Focus, Story 23, November 2002
- S. Reitzenstein, L. Worschech, P. Hartmann, and A. Forchel,  
'*Pronounced switching bistability in a feedback coupled electron Y-branch switch*', Appl. Phys. Lett. **82**, 1980 (2003)

- L. Worschech, S. Reitzenstein, P. Hartmann, S. Kaiser, and Alfred Forchel, *'Self-switching of Branched Multiterminal Junctions: a Ballistic Half Adder'*, Appl. Phys. Lett. **83**, 2462 (2003)
- S. Reitzenstein, L. Worschech, and A. Forchel, *'A Novel Half-Adder Circuit Based on Nanometric Ballistic Y-branched Junctions'*, IEEE Electron Device Lett. **24**, 625 (2003)
- S. Reitzenstein, L. Worschech, D. Hartmann, and A. Forchel, *'Drain voltage induced barrier increasing of quantum-wire transistors'*, Electronics Lett. **40**, 75 (2004)
- S. Reitzenstein, L. Worschech, and A. Forchel, *'Room temperature operation of an in-plane half-adder based on ballistic Y-junctions'*, IEEE Electron Device Lett. **25**, 462 (2004)
- S. Reitzenstein, L. Worschech, und A. Forchel, *'Logisches NAND-Gatter auf der Basis eines lateral kontrollierten Quantendraht-Transistors'*, zur Patentierung eingereicht
- S. Reitzenstein, L. Worschech, C. Müller, and A. Forchel, *'Compact logic NAND-gate based on a single in-plane quantum-wire transistor'*, erscheint in IEEE Electron Device Lett. (2005)
- S. Reitzenstein, L. Worschech, und A. Forchel, *'Speicherelement auf der Basis eines einzelnen Y-Transistors'*, zur Patentierung eingereicht
- D. Hartmann, S. Reitzenstein, L. Worschech und A. Forchel, *'Static memory element based on an electron Y-branch switch'*, erscheint in Electronics Lett. (2005)

# Inhaltsverzeichnis

<b>Zusammenfassung</b>	<b>1</b>
<b>1 Einleitung</b>	<b>9</b>
<b>2 Grundlagen</b>	<b>13</b>
2.1 Niederdimensionale Elektronensysteme . . . . .	13
2.2 Ballistischer Transport in eindimensionalen Transportkanälen . . . . .	16
2.3 Kapazität mesoskopischer Leiter . . . . .	17
2.4 Gate-Effektivität in niederdimensionalen Elektrodensystemen . . . . .	20
2.5 Selbstinduziertes Schalten . . . . .	21
2.6 Nichtlineare Dynamik - Bistabile Systeme . . . . .	23
2.7 Ballistische Gleichrichtung . . . . .	26
2.8 Der Feldeffekt-Transistor . . . . .	30
<b>3 Der Quantendraht-Transistor im nichtlinearen Transportregime</b>	<b>37</b>
3.1 Ballistischer Transport in einem Quantendraht-Transistor . . . . .	38
3.2 Der Quantendraht-Transistor als ballistischer Verstärker . . . . .	40
3.3 Der Quantendraht-Transistor als kompaktes NAND-Gatter . . . . .	50
<b>4 Verstärkung in Y-förmigen Verzweigungen</b>	<b>55</b>
4.1 Der Y-Transistor als Differenzverstärker . . . . .	56
4.1.1 Spannungsverstärkung und selbstinduziertes Schalten . . . . .	56
4.1.2 Korrelations- und Rauschcharakteristik . . . . .	62
4.2 Der Y-Transistor mit externer Rückkopplung . . . . .	66
4.2.1 Der Y-Transistor als nanoelektronischer Schmitt-Trigger . . . . .	66
4.2.2 Der Y-Transistor als bistabiles System . . . . .	72
4.2.3 Der Y-Transistor als statisches Speicherelement . . . . .	76
4.3 Der Y-Transistor als Verstärker mit interner Rückkopplung . . . . .	80
4.3.1 Der symmetrische Y-Transistor als invertierender Verstärker . . . . .	80
4.3.2 Der asymmetrische Y-Transistor als bistabiler Schalter . . . . .	90
<b>5 Logische Gatter basierend auf verzweigten Kanalstrukturen</b>	<b>99</b>
5.1 Nanoelektronisches AND/NAND-Gatter . . . . .	100
5.1.1 Kombiniertes AND/NAND-Gatter . . . . .	100

5.1.2	Integriertes AND/NAND-Gatter . . . . .	104
5.2	Nanoelektronischer Halb-Addierer . . . . .	107
5.2.1	Theoretische Beschreibung der HA-Funktionalität . . . . .	109
5.2.2	Experimenteller Nachweis der HA-Funktionalität . . . . .	110
5.3	Halb-Addierer mit Schmitt-Trigger Charakteristik . . . . .	115
<b>A</b>	<b>Funktionelle Übersicht</b>	<b>121</b>
<b>B</b>	<b>Messtechnik</b>	<b>123</b>
	<b>Literaturverzeichnis</b>	<b>127</b>



# Zusammenfassung

Im Rahmen dieser Arbeit wurden monolithische Halbleiternanostrukturen hinsichtlich neuartiger nanoelektronischer Transporteffekte untersucht. Hierbei wurden gezielt der ballistische Charakter des Ladungstransportes in mesoskopischen Strukturen sowie die kapazitive Kopplung einzelner Strukturbereiche ausgenutzt, um ballistische Verstärkerelemente und logische Gatter zu realisieren. Die untersuchten Nanostrukturen basieren auf dem zweidimensionalen Elektronengas modulationsdotierter GaAs/AlGaAs-Heterostrukturen und wurden über Elektronenstrahl-Lithographie sowie nasschemische Ätztechniken realisiert. Somit entstanden niederdimensionale Leiter mit Kanalbreiten von wenigen 10 nm, deren Leitwert über planare seitliche Gates elektrisch kontrolliert werden kann. Bei den Transportuntersuchungen, die zum Teil im stark nichtlinearen Transportbereich und bei Temperaturen bis hin zu 300 K durchgeführt wurden, stellte sich das Konzept verzweigter Kanalstrukturen als vielversprechend hinsichtlich der Anwendung für eine neuartige Nanoelektronik heraus. So kann eine im Folgenden als Y-Transistor bezeichnete, verzweigte Kanalstruktur in Abhängigkeit der äußeren Beschaltung als Differenzverstärker, invertierender Verstärker, bistabiles Schaltelement oder aber auch als logisches Gatter eingesetzt werden. Zudem eröffnet der Y-Transistor einen experimentellen Zugang zu den nichtklassischen Eigenschaften nanometrischer Kapazitäten, die sich von denen rein geometrisch definierter Kapazitäten aufgrund der endlichen Zustandsdichte erheblich unterscheiden können. Für ballistische Y-Verzweigungen tritt zudem ein neuartiger Gleichrichtungseffekt auf, der in Kombination mit den verstärkenden Eigenschaften von Y-Transistoren dazu genutzt wurde, kompakte logische Gatter sowie einen ballistischen Halb-Addierer zu realisieren.

## **Quantendraht-Transistor im nichtlinearen Transportregime**

Zunächst wurde ein Quantendraht-Transistor, d.h. ein über seitliche Gates kontrollierter, eindimensionaler Leiter, hinsichtlich seiner Verstärkungseigenschaften untersucht. Neben einer hohen 1D-Subbandaufspaltung von 27 meV wurden wichtige Transistor-Kenndaten wie die Steilheit und die Subthreshold-Steigung ermittelt und mit physikalischen Größen des Transistors in Verbindung gebracht. Eine Analyse der Übertragungskennlinie ergab erstmals Zeichen des ballistischen Transports in eindimensionalen Kanalstrukturen für Vorwärtsspannungen deutlich über 100 mV. Die hohe Mobilität der zum Ladungstransport beitragenden Elektronen schlägt sich in einer hohen Steilheitverbunden mit einer maximaler Spannungsverstärkung von 4.6 nie-

der. Dennoch erreicht die Schaltspannung wegen der verhältnismäßig schwachen kapazitiven Ankopplung der seitlichen Gates an den Kanal nicht das für Feldeffekt-Transistoren gültige thermische Limit von  $k_B T/e$ . Weiterhin konnte eine unerwartete Verschiebung der Schwellenspannung als Funktion der angelegten Vorwärtsspannung beobachtet werden. In Übereinstimmung mit dem bekannten Kurzkanaleffekt der vorwärtsspannungsinduzierten Absenkung der Barriere im Kanal nimmt die Schwellenspannung des Quantendraht-Transistors zunächst mit steigender Vorwärtsspannung ab. Für hohe Vorwärtsspannungen hingegen steigt die Schwellenspannung im Gegensatz zu der Vorhersage gängiger Modelle wieder an, was auf eine selbstinduzierte Verarmung des Quantendrahtes zurückgeführt wird. Bei einer asymmetrischen Ansteuerung der seitlichen Gates ermöglicht eine von der Spannung abhängige Gate-Effektivität die Realisierung eines kompakten logischen NAND-Gatters auf der Basis eines einzelnen Quantendraht-Transistors.

### **Verstärkung in Y-förmigen Verzweigungen**

Durch seine spezielle Geometrie kann ein Y-Transistor dafür eingesetzt werden, eine gegebene Spannungsdifferenz an den seitlichen Gates in eine höhere Spannungsdifferenz an den Ästen zu verstärken. Hierbei konnte eine differentielle Spannungsverstärkung von bis zu 30 erreicht werden, die superlinear mit der Vorwärtsspannung ansteigt. Diese unerwartete Charakteristik wird auf eine kapazitive Kopplung der Äste zurückgeführt, welche den Einfluss der externen seitlichen Gates unterstützt. Somit gelang es im Rahmen der vorliegenden Arbeit erstmals, das theoretisch für einen Y-Transistor vorausgesagte, selbstinduzierte Schalten experimentell zu beobachten.

In einem weiteren Schaltmodus wird die kapazitive Kopplung der Äste durch die externe Kopplung eines Astes auf das gegenüberliegende seitliche Gate effektiv unterstützt. Als Konsequenz bildet sich eine konstruktive Spannungsrückkopplung aus, die zu einem bistabilen Schaltverhalten des Y-Transistors führt. Auf diese Weise wurde ein nanoelektronischer Schmitt-Trigger realisiert, dessen Ausgangssignal in Abhängigkeit der Eingangsspannung zwischen zwei stabilen Werten geschaltet werden kann. Aufgrund dieser Charakteristik stellt der Y-Transistor mit externer Rückkopplung einen digitalen, nanoelektronischen Schalter dar, der ein rauschbehaftetes Eingangssignal in ein wohl definiertes logisches Ausgangssignal wandelt. Neben dieser Anwendung als nanoelektronischer Schmitt-Trigger kann ein Y-Transistor zudem als aktives Element einer kompakten statischen Speicherzelle eingesetzt werden.

Die kapazitive Kopplung der Äste gestattet es, den Y-Transistor auch direkt durch Spannungsvariationen an einem Ast effizient zu kontrollieren. In diesem Modus definieren die seitlichen Gates lediglich den Arbeitspunkt des Y-Transistors. Ein als Gate fungierender Ast steuert den Stromfluss im Kanal zwischen dem Stamm und dem zweiten Ast der Verzweigung. Als Besonderheit wächst die Gate-Effektivität hierbei nahe der Schwellenspannung überproportional an, bevor unterhalb der Schwellenspannung Leckströme zwischen dem Gate und dem Verzweigungsbereich einsetzen. Die Überhöhung der Schalteffizienz wird auf eine intrinsische Rückkopplung zurückgeführt, die sich in dem Einfluss der Ausgangsspannung auf die Quanten-

kapazität des Nanogates äußert. Es bildet sich wiederum konstruktive Rückkopplung aus, die zu einem hoch effizienten Schaltverhalten mit Spannungsverstärkungen größer als 1000 und zu einem bistabilen Schalten ohne externe Rückkopplung führt. Die hohe Effizienz des Y-Transistors spiegelt sich zudem in einer Schaltspannung wider, die Werte unterhalb der für konventionelle Feldeffekt-Transistoren geltenden thermischen Grenze von  $k_B T/e$  annimmt. Die vorliegenden Ergebnisse zeigen, dass die Modifikationen der Transistorgeometrie der Abnahme der Gate-Effektivität entgegenwirken, die für herkömmliche Transistoren mit einer Verkleinerung der Strukturgrößen einher geht.

### **Logische Gatter basierend auf verzweigten Kanalstrukturen**

Als Konsequenz des ballistischen Ladungstransportes tendiert die Spannung am Stamm einer Y-förmigen Kanalverzweigung zu der negativeren der beiden Spannungen an den Ästen. Dieses nicht-klassische Verhalten erlaubt es, eine nanoelektronische Verzweigung als kompaktes logisches AND-Gatter einzusetzen, welches jedoch keine verstärkenden Eigenschaften aufweist und sich somit nicht zur Kaskadierung eignet. Um dieser Problematik entgegenzuwirken wurde eine Y-Verzweigung mit einem nanoelektronischen Schmitt-Trigger auf der Basis des Y-Transistors kombiniert. Das entsprechende logische Gatter stellt gleichzeitig die AND- und die NAND-Verknüpfung der Eingangssignale bereit und ist durch wohl definierte Ausgangssignale gekennzeichnet, die unempfindlich auf Schwankungen der Eingangssignale reagieren.

Neben der Darstellung logischer Grundverknüpfungen erlauben es nanometrische Verzweigungen auch, komplexe logische Funktionen zu realisieren. Im konkreten Fall wurde dies am Beispiel eines planaren Halb-Addierers gezeigt, dessen Funktionsweise auf der gleichrichtenden Eigenschaft ballistischer Verzweigungen und einem neuartigen internen Schaltmechanismus beruht. Ein Halb-Addierer summiert zwei binäre Eingangssignale und stellt am Ausgang die Summe und den Übertrag der Addition zur Verfügung. Während konventionelle Halb-Addierer auf mehreren durch Zwischenverbindungen vernetzten Transistoren beruhen, wurde der planare Halb-Addierer als monolithische Nanostruktur entwickelt, die keine externen Verbindungen einzelner Sektionen benötigt.



# Abstract

This thesis reports investigations of monolithic semiconductor nanostructures with novel nanoelectronic transport effects. In particular, it is shown that the ballistic motion of electrons in nanoelectronic devices in combination with capacitive coupling of nearby device sections can be used to realize ballistic amplifiers and logic gates. The nanostructures under investigation are based on the two dimensional electron gas of modulation doped GaAs/AlGaAs-heterostructures and were patterned by electron-beam-lithography and wet chemical etching. In this way, low dimensional conductors with widths on the order of a few 10 nm to about 100 nm controlled by in-plane gates were realized. Investigations at temperatures up to 300 K in the nonlinear transport regime show that branched nanojunctions are promising candidates for future nanoelectronic building blocks. Depending on the external circuit, gated Y-branched nanojunctions, here referred to as *Y-transistors*, can be used as differential amplifiers, inverting amplifiers, bistable switches and logic gates. In addition, Y-transistors allow the experimental investigation of nonclassical properties of nanoscaled capacitors, which differ significantly from those of macroscopic capacitors due to the different densities of states. Moreover, a novel ballistic rectification effect observed for Y-branched nanojunctions is exploited to realize a ballistic in-plane half-adder with output signals amplified by feedback coupled Y-transistors.

## Quantum-wire transistor in the nonlinear transport regime

First of all, a quantum-wire transistor, i.e., a one dimensional conductor controlled by lateral gates was investigated with respect to its amplification properties. A large 1D-subband energy spacing of 27 meV as well as important transport characteristics such as the transconductance and the subthreshold slope were extracted and related to physical properties of the transistor. An analysis of the transfer characteristics indicated that ballistic electron transport occurs in one dimensional channels far beyond the linear transport regime for bias voltages significantly larger than 100 mV. The high mobility of conduction electrons is reflected in a large transconductance accompanied by a maximum voltage gain of 4.6. However, because of the rather small capacitive coupling of the lateral gates to the channel, the subthreshold slope does not reach the thermal limit of  $k_B T/e$ . Furthermore, an unexpected shift of the threshold voltage as a function of the bias voltage was observed. Consistent with a well known short channel effect denoted as *drain voltage induced barrier lowering*, the threshold voltage initially decreases with increasing bias voltage. On the other hand, for large bias voltages the threshold voltage increases with increa-

sing bias voltage. This has not been predicted by usual transistor models and is interpreted in terms of a bias voltage induced self-depletion of the 1D-channel. For an asymmetrical control of the lateral gates a voltage dependent gating efficiency allows the realization of a compact logic NAND-gate based on a single quantum-wire transistor.

### **Amplification in Y-branched nanojunctions**

Y-transistors were exploited as differential amplifiers, which transfer a given voltage difference at the gates into a larger voltage difference at the branches. In this mode of operation a differential voltage gain of up to 30 was observed which increases super-linearly with the bias voltage. This novel nanoelectronic property of Y-transistors is related to a capacitive coupling of the branches which supports the effect of the lateral gates. Thus, in this work a previously predicted self-gating of the Y-Transistor was observed for the first time experimentally.

In a further mode of operation it was found that the capacitive coupling of the branches is efficiently supported by an external coupling of one branch to the opposing side-gate. As a result a constructive voltage feedback is realized leading to bistable switching of the Y-transistor. In this way, a nanoelectronic Schmitt-Trigger was realized which switches between two stable output signals. Therefore, a Y-transistor with external feedback coupling represents a digital, nanoelectronic switch, which transfers a noisy input signal into a well defined logic output signal. A feedback coupled Y-transistor was used as the active element of a compact static random access memory cell.

As a consequence of the capacitive coupling of the branches it is possible to control a Y-transistor efficiently by applying a voltage to one of the branches. In this configuration, for which the lateral gates solely define the working point of the Y-transistor, one branch operating as nanometric gate controls the current flow between the stem and the second branch of the Y-junction. Interestingly, for a Y-transistor operated in this mode, the gate efficiency was found to increase strongly above the threshold just before leakage currents between the gating branch and the Y-junction set in. The strong increase of the gating efficiency near threshold is interpreted in terms of an internal feedback coupling due to the influence of the drain-branch voltage on the nonclassical capacitance of the low dimensional gate. Again, constructive feedback coupling was realized leading to highly efficient gating accompanied with a differential voltage gain larger than 1000 and bistable switching without any external feedback coupling. The high efficiency of such a nanotransistor is further reflected in a subthreshold slope lower than the classical thermal limit of  $k_B T/e$  valid for conventional field-effect-transistors. The present results show that a modification of the geometry can counteract the decrease of gating-efficiency, which is a severe problem associated with the miniaturization of conventional transistors.

### **Logic gates based on branched nanojunctions**

In high quality Y-branched nanojunctions the voltage at the stem tends to the lower voltage applied to each one of the branches. This nonclassical behavior allows one to use a Y-branched

nanojunction as a compact AND-gate. However, such an AND-gate operates without amplification and is therefore not cascadable. In order to solve this problem a single Y-junction was combined with a nanoelectronic Schmitt-Trigger based on a Y-transistor. In this way, a logic gate was developed which performs the AND as well as the important NAND operation of two binary input signals. Such a combined AND/NAND-gate is characterized by well defined output signals and a high noise margin.

Y-branched nanojunctions can not only be used as fundamental logic gates but also as building blocks of complex logic circuits. An example of such is a half-adder, a logic circuit which performs basic computation by adding two binary input signals. In the present work a monolithic in-plane half-adder was developed which exploits the ballistic rectification of Y-branched nanojunctions and an internal self-switching effect. While a conventional half-adder consists of several interconnected transistors, the in-plane half-adder was realized by a single monolithic nanostructure without the need of any external interconnect.





# Kapitel 1

## Einleitung

In dieser Arbeit werden Transportuntersuchungen an niederdimensionalen Halbleitern auf der Basis modulationsdotierter GaAs/AlGaAs-Heterostrukturen vorgestellt. Der Schwerpunkt der Arbeit betrifft die Untersuchung von für zukünftige nanoelektronische Anwendungen wichtigen Effekten wie Gleichrichtung und Verstärkung an zum Teil komplex geformten Stromkanälen. Dabei werden Alternativen zu konventionellen Transistoren aufgezeigt, die eine tragende Rolle in der integrierten Elektronik spielen. Das Transistor-Konzept selbst, welches 1948 von Bardeen, Brittain und Shockley eingeführt wurde und zunächst nur in Verstärkerschaltungen zur Anwendung kam, stellte sich als bahnbrechend für die technische Entwicklung im 20. Jahrhundert heraus und wurde 1956 mit dem Nobelpreis für Physik ausgezeichnet. Der eigentliche Grundstein der modernen Mikroelektronik wurde jedoch erst 1959 gelegt, als Kilby und Noyce mehrere Transistoren samt ihrer Beschaltung in einem Kristall integrierten. Ihre Arbeiten bildeten die Basis für die heute weitverbreitete integrierte Elektronik, für welche Kilby im Jahre 2000 ebenfalls mit dem Nobelpreis für Physik ausgezeichnet wurde. Während die Bedeutung der Mikroelektronik als Basistechnologie in den 60er Jahren zunächst verkannt wurde, erweist sie sich mittlerweile als das Rückgrat der modernen Informationstechnologie, deren wachsende Anforderungen einen kontinuierlichen Übergang von der Mikroelektronik hin zur integrierten Nanoelektronik erwarten lassen [Itr01].

Seit der Einführung integrierter Schaltkreise verdoppelte sich deren Integrationsdichte nahezu alle 18 Monate [Moo65]. So werden in der aktuellen Technologie Integrationsdichten von 100 Millionen Transistoren pro Quadratzentimeter und Taktfrequenzen von einigen Gigahertz erreicht, was nur durch eine anhaltende Reduktion charakteristischer Transistorgrößen möglich wurde. Die Vernetzung der einzelnen Transistoren zu integrierten Schaltkreisen wird hierbei durch mehrschichtige Anordnungen planarer Leiterstrukturen ermöglicht, deren Komplexität überproportional mit der Integrationsdichte anwächst. Dabei bereitet es immer größere Probleme, die frei werdende Verlustwärme effektiv abzuführen. Ein zentrales Anliegen der Nanotechnologie ist es, durch die Erforschung neuer Transportbereiche einem weiteren Anstieg der Integrationsdichte integrierter Schaltungen den Weg zu bereiten.

Halbleiter-Nanostrukturen werden häufig als mesoskopische Systeme bezeichnet, da sie auf makroskopischer Skala klein aber im Vergleich zu einzelnen Atomen groß sind [Imr86, Dat95].

Der Begriff *mesoskopische Physik* selbst wird bevorzugt mit elektrischen Transportphänomenen in Verbindung gebracht, die ihre Ursache in der reduzierten Dimensionalität in Bezug auf die Längenskalen im Volumenhalbleiter haben. Zwei wichtige Längenskalen werden hierbei durch die Fermiwellenlänge  $\lambda_F$  und durch die über inelastische Stöße begrenzte, mittlere freie Weglänge  $l_{mfp}$  gegeben [Fer97]. Ein bekannter Effekt mesoskopischer Leiter ist die Leitwertquantisierung in Einheiten von  $2e^2/h$ , die in quasi eindimensionalen Einschnürungen mit einer lateralen Ausdehnung in der Größenordnung von  $\lambda_F$  beobachtet werden kann [vW88, Wha88]. Im Allgemeinen hängt es vom Verhältnis der Strukturgröße  $L$  zu den charakteristischen Längen ab, welche Art von Transportphänomen zu erwarten ist. Während beispielsweise für  $l_{mfp} \ll L$  der klassische, über die Drude-Gleichung beschreibbare diffusive Transport vorherrscht [Ash76], können ballistische Effekte für Strukturgrößen  $L < l_{mfp}$  beobachtet werden.

Mesoskopische Strukturen wurden intensiv hinsichtlich ballistischer und phasenkohärenter Effekte im Rahmen von quasistatischen Transportuntersuchungen im linearen Transportregime und vorzugsweise bei kryogenen Temperaturen untersucht. Hingegen wurden erst in jüngster Zeit verstärkt auch nichtlineare Eigenschaften mesoskopischer Strukturen bis hin zu Raumtemperatur analysiert. Aus Sicht der physikalischen Grundlagenforschung ergeben sich hieraus viele neue Herausforderungen. So gilt es beispielsweise zu klären, wie sich eine kapazitive Kopplung einzelner Strukturbereiche im nichtlinearen, ballistischen Transportregime auf die elektrischen Eigenschaften mesoskopischer Strukturen auswirkt. Hinsichtlich des erweiterten Temperaturbereichs, stellt sich unter anderem die Frage, ob das Verhalten mesoskopischer Strukturen auch bei Raumtemperatur von ballistischen Effekten bestimmt wird. Diese Thematik ist eng mit der Frage nach dem Potential mesoskopischer Strukturen verknüpft, als aktive Elemente in einer zukünftigen Generation von nanoelektronischen Schaltungen zum Einsatz zu kommen. Im Hinblick auf die Kaskadierung einzelner Elemente zu integrierten Schaltungen ist es weiterhin essentiell, Nanostrukturen mit ausreichend hoher Verstärkung zu realisieren. Trotz intensiver Forschung im Bereich der Nanoelektronik ist dies bisher nur bedingt gelungen. So blieb die erreichbare Spannungsverstärkung von Invertern auf der Basis der vielversprechenden Einzelelektronen-Transistoren bisher auf Werte in der Größenordnung von eins beschränkt [Zim92, Che96, Kle97, Sch98, Dev00, Ono00]. Schließlich wird erwartet, dass neuartige, auf mesoskopischen Strukturen basierende Bauelemente unter Ausnutzung nanoelektronischer Effekte die funktionelle Dichte integrierter Schaltungen steigern lassen, um dem Problem der überproportional zur Integrationsdichte ansteigenden Komplexität von Zwischenverbindungen in hochintegrierten elektronischen Schaltungen entgegenzuwirken.

Vor diesem Hintergrund befasst sich die vorliegende Arbeit mit Transportuntersuchungen an planaren, eindimensionalen Nanostrukturen mit einem besonderem Augenmerk auf deren Anwendungspotential als neuartige elektronische Bauelemente<sup>1</sup>. Die untersuchten nasschemisch geätzten Kanalstrukturen zeichnen sich durch einen hohen lateralen Einschluss und einer damit verbundenen hohen Subbandaufspaltung aus, und erlauben es, robuste ballistische Effekte bis hin zu Raumtemperatur zu beobachten. Im Einzelnen ist die Arbeit in folgende Punkte unter-

<sup>1</sup>Die Anwendungsmöglichkeiten der untersuchten Strukturen sind in Anhang A in Form einer schematischen Übersicht zusammengefasst.

teilt:

- In Kapitel 2 werden die für das Verständnis des experimentellen Teils der vorliegenden Arbeit notwendigen theoretischen Grundlagen vorgestellt. Zunächst wird dabei auf die Physik niederdimensionaler Elektronensysteme eingegangen. Neben ballistischen Effekten werden Besonderheiten mesoskopischer Kapazitäten diskutiert und deren Einfluss auf das Gate-Verhalten nanostrukturierter Transistoren erläutert, der im Falle eines Y-Transistors in selbstinduziertem Schalten mündet. Nach einer Diskussion bistabiler Systeme schließt das Kapitel mit einer Einführung in das Konzept des Feldeffekt-Transistors, um die Eigenschaften nanoelektronischer Transistoren mit denen konventioneller Feldeffekt-Transistoren vergleichen und diskutieren zu können.
- Gegenstand von Kapitel 3 sind nicht-klassische Eigenschaften planarer Quantendraht-Transistoren im nichtlinearen Transportregime. Zunächst wird der Quantendraht hinsichtlich seiner ballistischen Transporteigenschaften untersucht, um über Transportspektroskopie die energetische Aufspaltung der untersten 1D-Subbänder und die Gate-Effektivität zu bestimmen. Im stark nichtlinearen Transportregime wird ein Quantendraht-Transistor hinsichtlich seiner Anwendung als ballistischer Verstärker untersucht und sein Verhalten unterhalb der Schwellenspannung analysiert. Eine Anomalie der Schwellenspannung als Funktion der Vorwärtsspannung wird über einen als *Selbstverarmung* bezeichneten Effekt gedeutet. Weiterhin wird ein kompaktes logisches NAND-Gatter auf der Basis eines einzelnen Quantendraht-Transistors vorgestellt.
- In Kapitel 4 werden Verstärkungseigenschaften planarer Y-förmiger Verzweigungen vorgestellt. Es wird gezeigt, dass eine kapazitive Kopplung der Äste die Schalteffizienz eines Y-Transistors über selbstinduziertes Schalten deutlich erhöht. Zudem erweist sich der Y-Transistor als geeignetes System, um das Verhalten einer mesoskopischen Kapazität im Übergang vom rein kapazitiven hin zu einem leitenden Bereich zu untersuchen. Schließlich erlauben es externe und sogar auch interne Rückkopplungsmechanismen, ein ausgeprägtes bistabiles Schaltverhalten zu beobachten.
- Kapitel 5 beschäftigt sich abschließend mit den Transporteigenschaften komplexer, planarer Nanostrukturen mit logischer Funktionalität. Für deren schaltungstechnische Integration ist es von großer Bedeutung, dass diese wohl definierte Ein- und Ausgangssignale aufweisen. Anhand eines AND/NAND-Gatters wird gezeigt, dass diese Anforderung durch die Kombination einer Y-förmigen Verzweigung mit einem als Verstärker fungierenden Y-Transistor erfüllt werden kann. Über eine geschickte Kombination mehrerer Kanalverzweigungen lassen sich neben elementaren Gattern auch komplexe logische Schaltungen in kompakte nanoelektronische Bauteile hoher funktioneller Dichte integrieren, was am Beispiel eines ballistischen Halb-Addierers demonstriert wird.



# Kapitel 2

## Grundlagen

In diesem Kapitel werden wichtige Grundlagen für das Verständnis der vorliegenden Arbeit vorgestellt. Dabei wird zunächst auf die Realisierung niederdimensionaler Systeme und deren Physik eingegangen. Anhand einer modulationsdotierten GaAs/AlGaAs-Heterostruktur werden elementare Eigenschaften eines zweidimensionalen Elektronengases (2DEG) erläutert. Im Anschluss wird gezeigt, wie ausgehend von einem 2DEG eindimensionale Strukturen realisiert werden können, und welche besonderen physikalischen Eigenschaften diese aufweisen. Nach einer kurzen Einführung in die Theorie bistabiler Systeme wird schließlich das Funktionsprinzip des Feldeffekt-Transistors erläutert, um typische Kenngrößen von Quantendraht- und Y-Transistoren mit denen herkömmlicher unipolarer Transistoren vergleichen zu können.

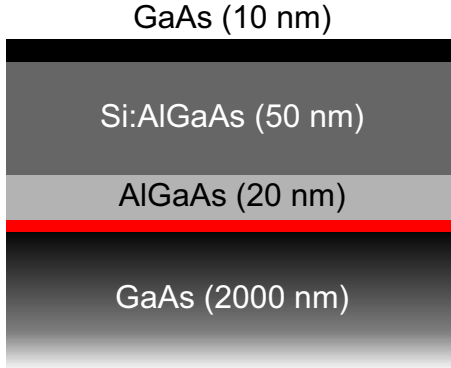
### 2.1 Niederdimensionale Elektronensysteme

Durch die Verfahren der Halbleitertechnologie ist es heutzutage möglich, räumliche Freiheitsgrade von Elektronensystemen einzuschränken und maßgeschneiderte Nanostrukturen in Halbleitern herzustellen. Es entstehen künstliche zweidimensionale, eindimensionale sowie nulldimensionale Strukturen mit speziellen physikalischen Eigenschaften, die sich wesentlich von denen eines Volumenhalbleiters unterscheiden [vK85, Ful87, vW88, Wha88, Son98, Fle02, Kor01, Löf03].

#### Zweidimensionale Elektronensysteme

Ein zweidimensionales System ist dadurch charakterisiert, dass in diesem die Bewegung eines Teilchens in einer Raumrichtung auf der Skala der de-Broglie-Wellenlänge eingeschränkt ist, während es sich in den beiden verbleibenden Raumdimensionen ungehindert ausbreiten kann. Im Bereich der Transportphysik sind insbesondere Systeme von Interesse, in denen sich Elektronen in zwei Raumdimensionen in Form eines Elektronengases frei bewegen können. Ein solches zweidimensionales Elektronengas findet man beispielsweise in der Inversionsschicht ei-

nes MOSFET<sup>1</sup> oder aber auch in einer modulationsdotierten Halbleiter-Heterostruktur [Din78, Stö99].



**Abb. 2.1:** Schematische Darstellung der oberflächennahen Schichten einer modulationsdotierten GaAs/AlGaAs-Heterostruktur. Das rot gekennzeichnete zweidimensionale Elektronengas bildet sich an der Grenzschicht zwischen dem GaAs-Buffer und dem AlGaAs-Spacer aus.

In der aktuellen Forschung bilden häufig modulationsdotierte Halbleiter-Heterostrukturen (HEMT<sup>2</sup>) die Grundlage niederdimensionaler Transportstrukturen. HEMTs werden in hoher Güte mit Hilfe der Molekularstrahlepitaxie (MBE<sup>3</sup>) durch epitaktisches Aufwachsen monoatomarer Lagen geeigneter (meist binärer und ternärer) Halbleitermaterialien hergestellt [Esa70, Cha74, Cho75, Din78]. Die im Rahmen dieser Arbeit untersuchten Nanostrukturen entstanden auf modulationsdotierten GaAs/AlGaAs-Heterostrukturen, die am Lehrstuhl für Technische Physik hergestellt wurden. Abb. 2.1 gibt den typischen Strukturaufbau der oberflächennahen Schichten an. Aufbauend auf eine 2  $\mu\text{m}$  dicke GaAs-Bufferschicht wird eine 20 nm dicke Spacer-Schicht aus undotiertem  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  abgeschieden. Danach folgt eine mit Silizium dotierte  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ -Schicht, bevor das Schichtwachstum durch eine undotierte GaAs-Schicht, die ein Oxidieren des AlGaAs verhindert, abgeschlossen wird.

Das 2DEG einer HEMT-Struktur ist in Wachstumsrichtung (ohne Einschränkung der Allgemeinheit in z-Richtung) in einem näherungsweise als dreieckförmig angenommenen Potentialtopf an der Grenzschicht zwischen der GaAs-Bufferschicht und dem AlGaAs-Spacer lokalisiert [Wal84]. Neben der ausgezeichneten strukturellen Güte von GaAs/AlGaAs-Heterostrukturen wird deren hohe Elektronen-Beweglichkeit vor allem auf die räumliche Trennung des 2DEGs von den positiv geladenen Si-Atomen durch den Spacer ermöglicht. Die räumliche Trennung der Ladungsträger unterdrückt Coulomb-Streuung, die bei tiefen Temperaturen in Abwesenheit von Gitterdefekten neben der Elektron-Elektron-Streuung die dominierende Rolle spielt. In z-Richtung bilden sich Subbänder mit Energiebandminima  $E_i^z$  aus, auf die sich die Elektronen entsprechend ihrer Energie verteilen. Die Zustandsdichte eines solchen zweidimensionalen Systems ist gegeben durch

$$D_{2D}(E) = \frac{g_s g_v m^*}{2\pi\hbar^2} \sum_i \Theta(E - E_i^z), \quad (2.1)$$

<sup>1</sup>Engl.: Metal Oxide Semiconductor Field Effekt Transistor

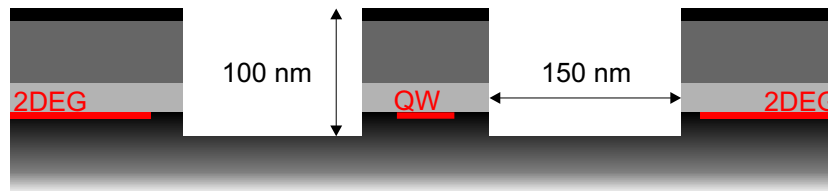
<sup>2</sup>Engl.: High Electron Mobility Transistor

<sup>3</sup>Engl.: Molecular Beam Epitaxy

wobei  $g_s$  und  $g_v$  die Spin- bzw. die Valleyentartung,  $m^*$  die effektive Masse und  $\Theta$  die Stufenfunktion bezeichnen. Bei ausreichend niedrigen Temperaturen und geeigneter Dotierung wird lediglich das niedrigste Subband besetzt.

## Eindimensionale Elektronensysteme

Ausgehend von modulationsdotierten Heterostrukturen wurde zur Herstellung der Nanostrukturen Elektronenstrahl-Lithographie eingesetzt, die sich seit Mitte der 80er Jahre etabliert hat, um schmale Transportkanäle mit einer lateralen Auflösung bis in den nm-Bereich in Halbleiterschichten zu definieren [vH86, Sch87, Kam99]. Im Anschluss an die Definition der Nanostruktur in Photolack (PMMA<sup>4</sup>) und einem Belichtungsschritt wird eine dünne (13 nm dicke) Aluminiumschicht flächig auf die Probenoberfläche aufgedampft. Es folgt ein Abhebe-Prozess bei dem der Photolack an den unbelichteten Stellen abgetragen wird. Die Aluminiumschicht dient beim anschließenden nasschemischen Ätzschritt als Maske. Wie in Abb. 2.2 zu erkennen ist, wird das Halbleitermaterial bei einer Ätztiefe von 100 nm im Bereich der unbelichteten Stellen bis unterhalb des 2DEGs vollständig entfernt. Die eindimensionalen Kanäle werden über in-situ hergestellte seitliche Gates kontrolliert. Diese entsprechen weitläufigen, unstrukturierten Bereichen des 2DEGs, die durch 150 bis 250 nm breite Gräben elektrisch von den eindimensionalen Kanälen getrennt sind.



**Abb. 2.2:** Querschnitt der oberflächennahen Schichten eines über seitliche Gates kontrollierten Quantendrahtes (QW). Die Gate-Kontakte entsprechen dem 2DEG der weitläufigen unstrukturierten Bereiche seitlich des Quantendrahtes. Sie sind durch geätzte Gräben von den Elektronen im Quantendraht getrennt.

Die laterale Ausdehnung der somit realisierten Kanalstrukturen von wenigen 10 nm senkrecht zu deren Achse liegt im Bereich der de-Broglie-Wellenlänge der Leitungselektronen<sup>5</sup>. Es bilden sich diskrete 1D-Subbänder mit der Energie  $E_i$  des  $i$ -ten Subbandes aus, deren Zustandsdichte über

$$D_{1D}(E) = \frac{g_s g_v}{2\pi\hbar} \sum_i \sqrt{\frac{m^*}{2(E - E_i)}} \Theta(E - E_i) \quad (2.2)$$

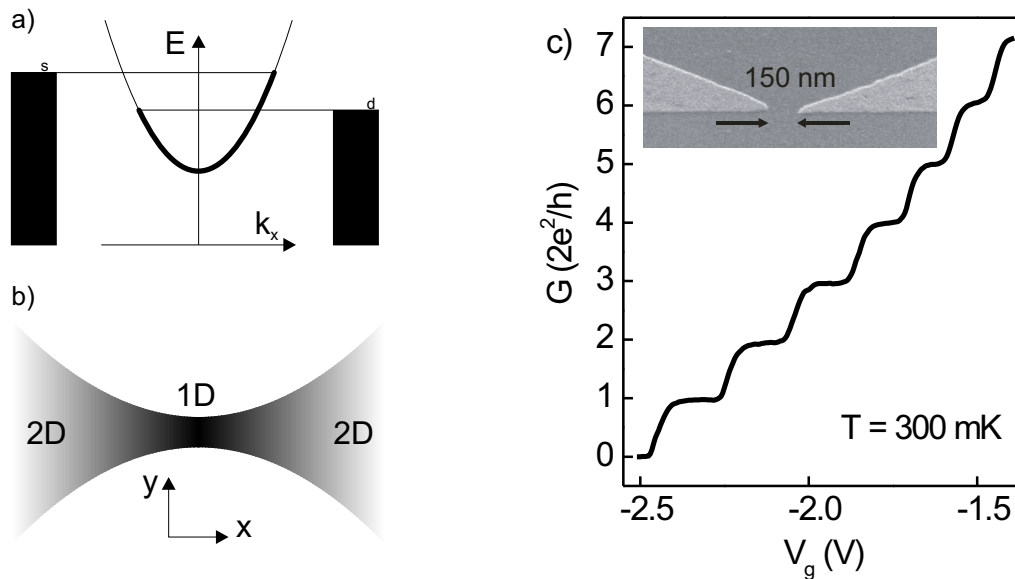
gegeben ist.

<sup>4</sup>PMMA: Abkürzung für Polymethylmethacrylat.

<sup>5</sup>Die eigentlich für den Ladungstransport relevante elektrische Weite ergibt sich durch die geometrische Weite abzüglich einer Verarmungszone, welche u.a. von der Oberflächenbeschaffenheit des Quantendrahtes abhängt [Ko96, Per98].

## 2.2 Ballistischer Transport in eindimensionalen Transportkanälen

Der diskrete Charakter der eindimensionalen Subbänder äußert sich in der Quantisierung des elektrischen Leitwertes in ganzzahligen Vielfachen von  $G_0 = 2e^2/h$ . Dieser Effekt ist zudem kennzeichnend für den ballistischen Ladungstransport in eindimensionalen Leitern und wurde 1988 erstmals für einen Quantenpunkt-Kontakt beobachtet [vW88, Wha88].



**Abb. 2.3:** a) Schematische Darstellung der Dispersionsrelation eines eindimensionalen Kanals und der entsprechenden Geometrie (b)). c) Leitwert eines Quantenpunkt-Kontaktes als Funktion der Gatespannung bei  $T = 300$  mK. Teilbild: Elektronenmikroskopische Aufnahme einer Split-Gate-Struktur mit einem Gateabstand von 150 nm.

Die theoretische Beschreibung der Leitwertquantisierung im Rahmen des Landauer-Büttiker-Formalismus geht von der in Abb. 2.3 b) schematisch dargestellten Konfiguration aus. Ein eindimensionaler Leiter ist adiabatisch<sup>6</sup> an zwei sich im thermischen Gleichgewicht befindliche zweidimensionale Elektronen-Reservoirs mit den elektrochemischen Potentialen  $\mu_s$  bzw.  $\mu_d$  gekoppelt. Abb. 2.3 a) stellt die entsprechenden energetischen Verhältnisse dar. Die durch eine äußere Spannung  $V$  generierte Differenz der elektrochemischen Potentiale  $\mu_s - \mu_d = eV$  führt in dem betrachteten System zu einem Nettostrom, der bei  $N$  besetzten Subbändern und tiefen

<sup>6</sup>Ein adiabatischer Übergang im Kontaktbereich ist dadurch gekennzeichnet, dass sein Krümmungsradius stets größer als die de-Broglie-Wellenlänge der am Ladungstransport beteiligten Elektronen ist.



Temperaturen gemäß

$$I_{1D} = e \sum_{n=1}^N \int_{\mu_d}^{\mu_d+eV} D_{1D}(E) v_x(E) T_n(E) dE \quad (2.3)$$

berechnet werden kann. Eventuelle Streueignisse im Kanal werden durch den Transmissionskoeffizienten  $T_n(E)$  berücksichtigt. Dieser gibt die Wahrscheinlichkeit an, mit der ein Elektron der Energie  $E$  in der Mode  $n$  durch den eindimensionalen Leiter transmittiert wird. Die Gruppengeschwindigkeit  $v_x = \frac{1}{\hbar} \frac{dE}{dk_x}$  ist proportional zur Steigung der Dispersionskurve  $E(k_x)$ , zu der sich die Zustandsdichte invers proportional verhält. Im Falle eindimensionaler Leiter heben sich beide Beiträge gerade auf, und das Produkt  $D_{1D}(E) v_x(E)$  ist konstant:

$$D_{1D}(E) v_x(E) = D_{1D}(k) \frac{dk_x}{dE} \frac{1}{\hbar} \frac{dE}{dk_x} = \frac{g_s g_v}{h}. \quad (2.4)$$

Im ballistischen Regime mit  $T_n(E) = 1$  errechnet sich der Gesamtleitwert  $G = I/V$  einfach über die Summe

$$G = \sum_1^N G_n = N \times \frac{2e^2}{h} = N \times G_0, \quad (2.5)$$

wobei jedes einzelne besetzte Subband mit dem Leitwertquant  $G_n = G_0 = 2e^2/h$  zur Summe beiträgt.

In Abb. 2.3 c) wird die Quantisierung des Leitwertes am Beispiel eines Quantenpunkt-Kontaktes bei  $T = 300$  mK veranschaulicht. Der Quantenpunkt-Kontakt entspricht einer 1D-Einschnürung in einem 2DEG. Diese wird elektrisch über metallische Split-Gates an der Probenoberfläche definiert, welche in Abb. 2.3 c) (Teilbild) in Form einer elektronenmikroskopischen Aufnahme dargestellt sind. Negative Gatespannungen  $V_g$  verarmen das Elektronengas unterhalb der Split-Gates, so dass sich ein 1D-Kanal ausbildet, dessen Subbänder in Abhängigkeit von  $V_g$  besetzt werden. Im konkreten Fall (siehe Abb. 2.3 c)) wurden durch eine Variation der Gatespannung von  $-2.5$  V hin zu  $-1.4$  V nach und nach sieben 1D-Subbänder besetzt.

## 2.3 Kapazität mesoskopischer Leiter

Zur Beschreibung niederdimensionaler Elektrodensysteme ist neben der elektrostatischen Kapazität die so genannte *Quantenkapazität* zu berücksichtigen, die eng mit der endlichen Zustandsdichte in solchen Systemen zusammenhängt. Klassisch wird die Kapazität über das Coulomb-Gesetz und die Geometrie metallischer Elektroden unter der Annahme bestimmt, dass elektrische Felder an der Oberfläche vollständig abgeschirmt werden. In der Realität dringen elektrische Felder auf einer Skala der Thomas-Fermi Abschirmlänge in den Leiter ein. Diese Abschirmlänge ist sehr kurz für volumenartige Metalle mit einer hohen Leitfähigkeit. Sie kann jedoch groß sein verglichen mit den Dimensionen eines mesoskopischen Leiters, der ein externes elektrisches Feld nur partiell abschirmt. Hierbei ist entscheidend, dass eine unvollständige

Abschirmung die Kapazität von einer geometrischen Größe in eine elektrochemische und statistische Gesamtheit umwandelt, die u.a. von der Zustandsdichte des mesoskopischen Leiters abhängt [Lur88, Büt93a, Smi95].

Generell ist die Kapazität eines Elektrodensystems ein Maß für die Ladung, die bei einem gegebenen elektrischen Potential auf den Elektroden akkumuliert wird. Im einfachen Fall des Plattenkondensators mit der Elektrodenfläche  $A$  und dem Elektrodenabstand  $d$  ergibt sich die Kapazität unter Vernachlässigung von Randeffekten aus

$$C_0 = \epsilon_r \epsilon_0 A/d, \quad (2.6)$$

mit der Dielektrizitätskonstanten  $\epsilon_0$  und der materialabhängigen relativen Dielektrizitätskonstanten  $\epsilon_r$ . Aus Gl. (2.6) geht hervor, dass die Kapazität bei gegebener Elektrodenfläche  $A$  für  $d \rightarrow 0$  asymptotisch ansteigen sollte. Tatsächlich wird ein solcher Anstieg nicht beobachtet. Vielmehr zeigt es sich, dass im Falle kleiner Elektrodensysteme quantenmechanische Effekte berücksichtigt werden müssen, welche die Kapazität für  $d \rightarrow 0$  limitieren. Es kommt zu einer Abweichung zwischen der mesoskopischen Kapazität  $C$  und der geometrischen, elektrostatischen Kapazität  $C_0$ :

- Die endlichen Zustandsdichten  $dN_1/dE$  und  $dN_2/dE$  der *mesoskopischen Kondensator-elektroden*  $i = 1, 2$  resultieren in einer Abhängigkeit  $C^{-1} \propto C_0^{-1} + D_1^{-1} + D_2^{-1}$  mit der Quantenkapazität  $D_i = e^2 dN_i/dE$ ,
- Tunnelströme zwischen den Elektroden eines mesoskopischen Kondensators reduzieren dessen Kapazität, die sich proportional zur Reflektionswahrscheinlichkeit  $R$  verhält ( $C \propto R$ ).

Unter Berücksichtigung beider Einflüsse ergibt sich die Kapazität einer mesoskopischen Struktur aus [Büt93b, Büt93c, Chr96]

$$C = \frac{R}{C_0^{-1} + D_1^{-1} + D_2^{-1}}. \quad (2.7)$$

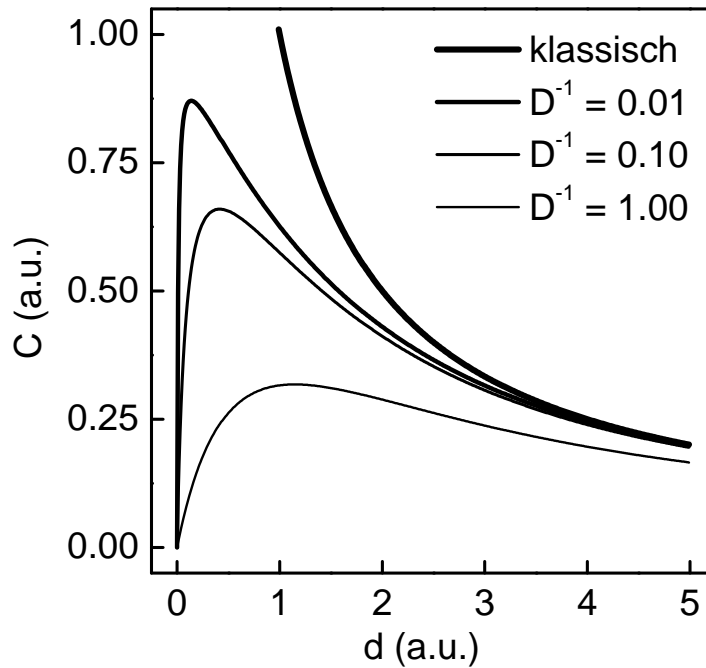
Die angegebene Beziehung vernachlässigt den Einfluss der lokalen Zustandsdichte (LPDOS)<sup>7</sup> und wird daher als *semiklassische Näherung* bezeichnet [Zha99, Wan99].

Für den eindimensionalen Fall einer Tunnelbarriere umgeben von zwei mesoskopischen Leitern kann ein qualitativer Vergleich zwischen der klassischen und der semiklassischen Betrachtung angeführt werden. Aus der elementaren Quantenmechanik ergibt sich für die Reflexionswahrscheinlichkeit einer Tunnelbarriere mit der Breite  $d$

$$R \approx 1 - \exp(-d/l), \quad (2.8)$$

mit einer charakteristischen Länge  $l$ , die u.a. von der Höhe der Barriere abhängt [Zha99]. Die Kapazität wurde gemäß Gl. (2.7) für  $l = 1$ ,  $C_0 = 1/d$  und verschiedene Zustandsdichten als

<sup>7</sup>Engl.: Local Partial Density of States



**Abb. 2.4:** Qualitativer Verlauf der klassischen und semiklassischen Kapazität  $C$  als Funktion der Barrierenbreite  $d$ . Während die Kapazität im klassischen Bild für  $d \rightarrow 0$  gegen Unendlich geht, verschwindet sie in der semiklassischen Näherung aufgrund von Tunnelströmen. Die Kurven der semiklassischen Rechnung nähern sich mit zunehmender Quantenkapazität  $D = (D_1^{-1} + D_1^{-2})^{-1}$  dem klassisch zu erwartenden Verlauf.

Funktion der Barrierenbreite berechnet und in Abb. 2.4 über dieser aufgetragen. Klassisch steigt  $C$  über den gesamten Bereich gemäß  $C(d) \propto 1/d$  an und geht im Limit  $d \rightarrow 0$  gegen Unendlich. Für große Breiten der Barriere sagt die semiklassische Rechnung einen ähnlichen Anstieg von  $C$  voraus. Jedoch macht sich für geringe Breiten in zunehmendem Maße die endliche Tunnelwahrscheinlichkeit in Form von  $R < 1$  bemerkbar und führt zu einer Abnahme der Kapazität mit kleiner werdender Breite: Im  $C(d)$ -Verlauf bildet sich ein Maximum aus, dessen Höhe von der Zustandsdichte in den Elektroden abhängt. Es zeigt sich, dass mit steigender Zustandsdichte der Elektroden, d.h. kleiner werdendem  $D^{-1}$ , die Kapazität  $C$  für eine gegebene Breite größer wird, wobei insbesondere die maximal erreichbare Kapazität deutlich ansteigt. Es sollte demnach möglich sein, die Kapazität eines niederdimensionalen Elektrodensystems über eine gezielte Variation der Zustandsdichten effektiv zu beeinflussen. In Kap. 4 wird dies am Beispiel eines Y-Transistors experimentell nachgewiesen und dazu ausgenutzt, dessen Schalteffizienz erheblich zu steigern.

## 2.4 Gate-Effektivität in niederdimensionalen Elektrodensystemen

Die Funktion eines Gates besteht darin, den Leitwert eines benachbarten Kanals möglichst effektiv zu steuern. Eine Variation des elektrochemischen Potentials im Gate ändert hierbei das elektrostatische Potential im Kanal mit einer Effektivität, die eng mit der kapazitiven Ankopplung des Gate-Kontaktes an den Kanal korreliert ist. In niederdimensionalen Systemen muss hierbei die endliche Zustandsdichte der beteiligten Leiter in Form der Quantenkapazität berücksichtigt werden. Die Gate-Effektivität in Systemen mit endlicher Zustandsdichte wurde in [Wes98a] detailliert analysiert und soll nun zusammenfassend vorgestellt werden.

Analog zu einem System bestehend aus gewöhnlichen (metallischen) Leitern, kann auch in niederdimensionalen Systemen das elektrostatische Potential  $V_i$  eines Leiters  $i$  mit der Ladung  $Q_i$  über die Lösung der Poisson-Gleichung berechnet werden. Aufgrund der endlichen Zustandsdichte in niederdimensionalen Systemen folgt das elektrochemische Potential  $\mu_i$  eines Leiters der Änderung dessen elektrostatischen Potentials jedoch nicht unmittelbar. Es gilt vielmehr

$$\Delta W_i = \Delta V_i + \frac{\Delta Q_i}{e^2 N_i} = \Delta V_i + \frac{\Delta Q_i}{D_i}, \quad (2.9)$$

mit der Zustandsdichte  $N_i$ , der Quantenkapazität  $D_i$  des Leiters  $i$  und der elektrochemischen Spannung  $W_i = -\mu_i/e$ . Das elektrochemische Potential  $\mu_i$  eines Leiters ist konstant für ein System im Gleichgewicht und gibt die erforderliche Energie an, um dem Leiter ein weiteres Elektron hinzuzufügen. Die elektrochemische Spannung  $W$  entspricht in der Praxis der an einen Leiter angelegten bzw. der an diesem gemessenen Spannung. In metallischen Leitern ist die Zustandsdichte sehr hoch und der Einfluss der Quantenkapazität kann vernachlässigt werden, d.h.  $\Delta W_i = \Delta V_i$ .

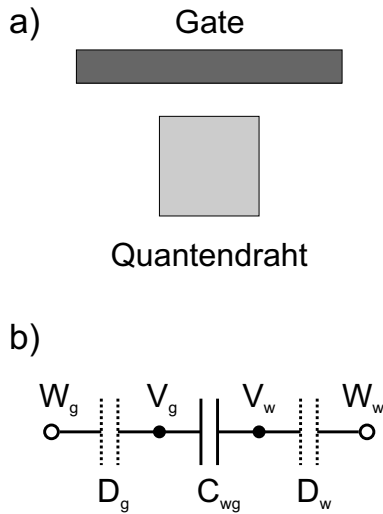
Die angeführten Betrachtungen können nun auf ein niederdimensionales System bestehend aus einem Gate und einem über ein Dielektrikum kapazitiv angekoppelten Kanal angewandt werden, um dessen Gate-Effektivität zu bestimmen. Eine sinnvolle Definition der Gate-Effektivität  $\eta$  bezieht die Änderung zwischen dem elektrostatischen und dem elektrochemischen Potential im Kanal  $\Delta V_w - \Delta W_w$  auf eine Variation der Gatespannung  $\Delta W_g - \Delta W_w$

$$\eta = \frac{\Delta V_w - \Delta W_w}{\Delta W_g - \Delta W_w}. \quad (2.10)$$

Nach einer einfachen Umformung unter Berücksichtigung von Gl. (2.9) ergibt sich folgender Zusammenhang zwischen  $\eta$  und den einzelnen in Abb. 2.5 aufgeführten Kapazitäten

$$\eta = \frac{1}{1 + \frac{D_w}{C_{wg}} + \frac{D_w}{D_g}}. \quad (2.11)$$

Gemäß Gl. (2.11) gewährleistet also eine niedrige Zustandsdichte im Kanal eine hohe Gate-Effektivität. Des Weiteren steigt  $\eta$  sowohl mit der geometrischen Kapazität  $C_{wg}$  als auch mit der Zustandsdichte im Gate an. Für realistische Parameter sagt Gl. (2.11) unter der Annahme eines metallischen Gates eine Gate-Effektivität von  $\eta \approx 1/11$  voraus [Wes98a].



**Abb. 2.5:** Schematische Darstellung zur Bestimmung der Gate-Effektivität niederdimensionaler Elektrodensysteme. a) Querschnitt eines niederdimensionalen Elektrodensystems bestehend aus einem Gate-Kontakt und einem Quantendraht. b) Äquivalentes Kapazitätsnetzwerk mit den Quantenkapazitäten des Gates und des Quantendrahtes ( $D_g$  und  $D_w$ ) sowie der geometrischen Kapazität zwischen dem Gate und dem Quantendraht ( $C_{gw}$ ).

## 2.5 Selbstinduziertes Schalten

Die Diskussion der Gate-Effektivität niederdimensionaler Elektrodensysteme soll nun auf eine verzweigte Kanalstruktur erweitert werden, die über seitliche Gates kontrolliert wird und in Abb. 2.6 a) schematisch dargestellt ist. Die als Y-Transistor bezeichnete<sup>8</sup> Struktur besteht aus einem eindimensionalen Stamm, der sich entlang des Verzweigungsbereichs Y-förmig in den linken und den rechten Ast aufspaltet. Das Konzept des Y-Transistors wurde 1992 als Alternative zu konventionellen Transistoren eingeführt und beruht in seiner ursprünglichen Form auf der Modenausbreitung einer Elektronenwelle, die über seitliche Gates kontrolliert wird [Pal92]. Es unterscheidet sich in diesem Zusammenhang von weiteren Ansätzen wie dem elektrostatischen Aharonov-Bohm Interferometer oder dem gerichteten Koppler, deren Funktionsweise auf der Interferenz von Elektronenwellen basiert [Dat86, dA90, Tsu90]. Aufgrund des auf der Modenausbreitung beruhenden Arbeitsprinzips wurde prognostiziert, dass die Schaltspannung beim Y-Transistor nicht wie für konventionelle Transistoren durch die thermischen Grenze von  $k_B T/e$  limitiert sein sollte [Pal93] (vgl. Abschnitt 2.8).

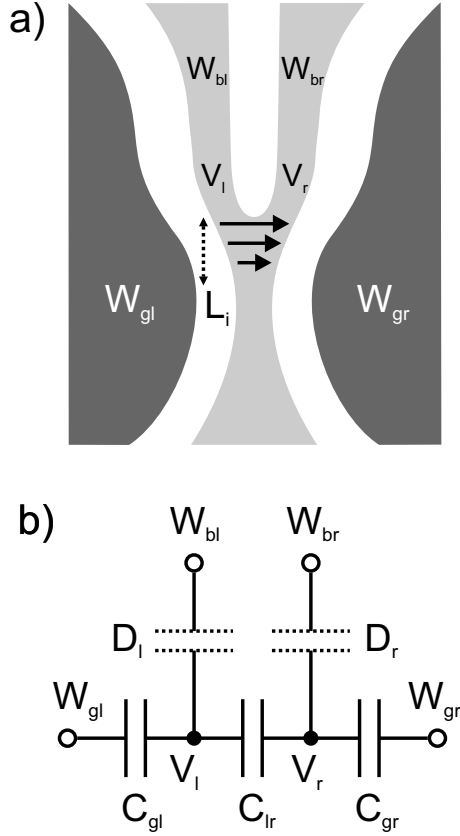
Für den Fall eines monomodigen Y-Transistors mit lediglich einem besetzten 1D-Subband kann der Leitwert zwischen dem Stamm und dem linken bzw. rechten Ast des Y-Transistors über

$$G_{sl,r} = G_0 \left( 1 \pm \frac{\gamma}{2} \right) \quad (2.12)$$

ausgedrückt werden [Wes99]. Hierbei wurde der Schaltparameter  $\gamma$  eingeführt, der neben dem Einfluss der Gatespannungen  $\Delta W_g = W_{gl} - W_{gr}$  auch Spannungsdifferenzen zwischen den Ästen  $\Delta W_b = W_{bl} - W_{br}$  berücksichtigt

$$\gamma = \tanh \left\{ \frac{\eta_g \Delta W_g + \eta_b \Delta W_b}{V_{sw}} \right\}. \quad (2.13)$$

<sup>8</sup>Im Englischen wird der Y-Transistor als *Y-branch Switch* (YBS) bezeichnet.



**Abb. 2.6:** Schematische Darstellung zur Erläuterung des selbstinduzierten Schaltens. a) Die Differenz der elektrostatischen Potentiale ( $V_l - V_r$ ) zwischen dem linken und rechten Ast ist ein Maß für das Schaltfeld entlang des Verzweigungsbereichs mit einer Länge  $L_i$ . Das Schaltfeld wird durch unterschiedliche chemische Spannungen zwischen den Gates ( $W_{gl} - W_{gr}$ ) aber auch zwischen den Ästen ( $W_{bl} - W_{br}$ ) beeinflusst. b) Das äquivalente Kapazitätsnetzwerk berücksichtigt die Quantenkapazität der Äste ( $D_l$  und  $D_r$ ), die Kapazität der seitlichen Gates bezüglich des benachbarten Kanalbereichs ( $C_{gl}$  und  $C_{gr}$ ) sowie die Kapazität zwischen den Ästen ( $C_{lr}$ ).

Die Schaltspannung  $V_{sw}$  ist ein Maß dafür, wie das elektrostatische Potential in der Y-förmigen Verzweigung den effektiven Differenzen der Gatespannungen folgt, und hängt über

$$V_{sw} \approx \frac{\hbar v_F}{e L_i} \quad (2.14)$$

von der Wechselwirkungslänge  $L_i$  ab, die in Abb. 2.6 a) angegeben ist. Die Definition des Schaltparameters gemäß Gl. (2.13) unterscheidet sich von einer ursprünglichen Definition, welche den Einfluss endlicher Spannungsdifferenzen zwischen den Ästen auf das Schaltverhalten des Y-Transistors im linearen Transportregime vernachlässigte.

Die Erweiterung des Schaltparameters um Spannungsdifferenzen zwischen den Ästen erlaubt es, den Effekt des *selbstinduzierten Schaltens* zu beschreiben, der 1998 erstmals von Wesström theoretisch vorausgesagt wurde [Wes98b]. Unter selbstinduziertem Schalten versteht man den Einfluss elektrostatischer Potentialdifferenzen im Bereich der Äste auf das Schaltverhalten eines Y-Transistors. In Folge dieser Potentialdifferenzen bildet sich ein laterales elektrisches Feld aus, welches sich dem elektrischen Feld der seitlichen Gates überlagert und somit die Modenausbreitung in der Y-förmigen Verzweigung beeinflusst. Interessanterweise zeigt die folgende Abschätzung der Gate-Effektivitäten, dass das effektive Schaltfeld maßgeblich durch selbstinduziertes Schalten bestimmt werden sollte.

Die Effektivität der seitlichen Gates wird über die Änderung der elektrostatischen Potentialdifferenz im Bereich der Äste  $\Delta V_l - \Delta V_r$  für eine gegebene Variation der Spannungsdifferenz

zwischen den seitlichen Gates definiert

$$\eta_g = \frac{\Delta V_l - \Delta V_r}{\Delta W_{gl} - \Delta W_{gr}} = \frac{C_{gl}}{C_{gl} + D_l + 2C_{lr}}, \quad (2.15)$$

wobei metallische Gates und die in Abb. 2.6 b) angegebenen Kapazitäten Berücksichtigung fanden. Aufgrund der Bauteilsymmetrie wurde  $C_{gl} = C_{gr}$  bzw.  $D_l = D_r$  angenommen. Auf ähnliche Weise lässt sich die Effektivität des selbstinduzierten Schaltens definieren, wenn die Differenz  $\Delta W_l - \Delta W_r$  der elektrochemischen Spannungen in den Ästen herangezogen wird

$$\eta_{sg} = \frac{\Delta V_l - \Delta V_r}{\Delta W_l - \Delta W_r} = \frac{D_l}{C_{gl} + D_l + 2C_{lr}}. \quad (2.16)$$

Ein Vergleich der beiden Effektivitäten ergibt

$$\frac{\eta_{sg}}{\eta_g} = \frac{D_l}{C_{gl}} = \frac{8\alpha}{A\epsilon_r} \frac{c}{v_F}, \quad (2.17)$$

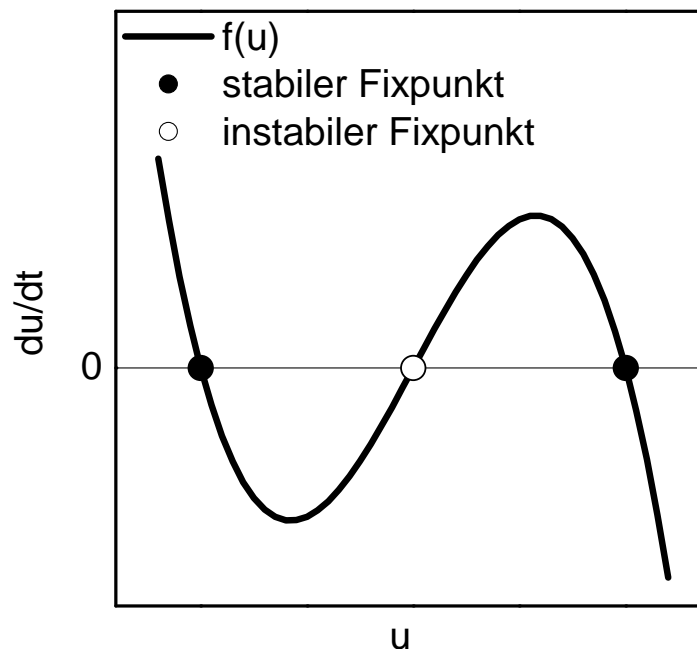
wobei die für eindimensionale Elektronengase gültige Beziehung  $D_l = 2G_0/v_F$  zur Umformung genutzt wurde. Die geometrische Kapazität wurde über  $C_{gl} = A\epsilon_r\epsilon$  mit dem von der Geometrie abhängigen Faktor  $A$  angenähert.  $\alpha \approx 1/137$  entspricht der Feinstrukturkonstanten. Für realistische Parameter ( $A = 2$ ,  $\epsilon_r = 10$ ) und Fermi-Geschwindigkeiten bis zu  $v_F \approx 10^6$  m/s ist das Verhältnis  $\eta_{sg}/\eta_g$  größer als Eins. Somit sollte das selbstinduzierte Schalten in gewöhnlichen Halbleitern, bei denen die Fermi-Geschwindigkeit unterhalb von  $10^6$  m/s liegt, dominieren.

## 2.6 Nichtlineare Dynamik - Bistabile Systeme

Die im vorherigen Abschnitt eingeführte kapazitive Kopplung der Äste in Y-Transistoren bedingt einen Rückkopplungsmechanismus, der bei geeignet hoher Effektivität zu bistabilem Schalten führen kann [Wes99]. Der Y-Transistor stellt unter diesen Randbedingungen ein bistabiles System dar, das wiederum als Spezialfall eines dynamischen Systems aufgefasst wird. Ein einfaches, räumlich homogenes dynamisches System lässt sich durch eine Variable  $u$  beschreiben, deren zeitliche Änderung allgemein gegeben ist durch

$$\dot{u} = f(u). \quad (2.18)$$

Die Dynamik des Systems wird also über die Funktion  $f(u)$  festgelegt. Stationäre, auch Fixpunkte des Systems genannte Zustände ergeben sich gemäß Gl. (2.18) für  $f(u) = 0$ , d.h.  $\dot{u} = 0$ . Als Beispiel einer möglichen Funktion  $f(u)$  ist in Abb. 2.7  $f(u) = u(u-1)(u-2)$  aufgetragen. Im betrachteten eindimensionalen Fall unterscheidet man zwischen zwei Arten von Fixpunkten der Dynamik: Den stabilen und den instabilen Fixpunkten. Ein stabiler Fixpunkt ist dadurch gekennzeichnet, dass eine kleine Störung  $\delta u$  aus dem Fixpunkt heraus gedämpft wird, und somit



**Abb. 2.7:** Zeitliche Änderung der Systemvariablen eines bistabilen Systems am Beispiel einer Funktion  $f(u)$  mit drei Nullstellen. Der Verlauf der Kurve bestimmt die Anzahl, Lage und Art eventuell auftretender Fixpunkte.

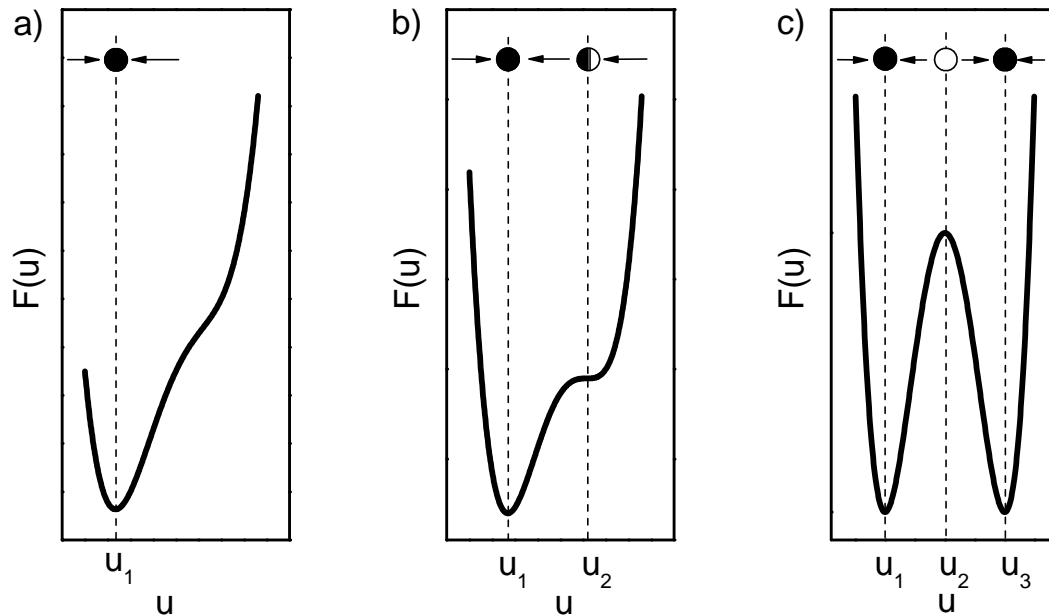
die Trajektorie des Systems im Phasenraum<sup>9</sup> auf den Fixpunkt zuläuft. Wächst hingegen eine Störung  $\delta u$  aus dem Fixpunkt an, so handelt es sich um einen instabilen Fixpunkt.

Die Fixpunkte sind Elemente der *Grenzmenge* aller Punkte im Phasenraum, die von dem System für  $t \rightarrow \pm\infty$  angenommen werden können. Entsprechend dieser Charakterisierung trägt ein System die Bezeichnung *monostabil*, wenn nur eine stabile Grenzmenge im Phasenraum existiert. Analog dazu wird ein System als *bistabil* bezeichnet, welches durch zwei stabile Grenzmengetrennt sind.

Die Dynamik eines Systems hängt in der Regel von einem oder mehreren Systemparametern  $\lambda_1, \dots, \lambda_i$  ab. In diesem Fall kann eine als *Bifurkation* bezeichnete Überführung des Systems vom monostabilen hin zu einem bistabilen Verhalten durch eine entsprechende Parameterwahl initiiert werden. Ist nun die Funktion  $f(u, \lambda_1, \dots, \lambda_i)$  eines Systems bekannt, so kann zur Analyse unter welchen Bedingungen Bifurkationen auftreten, ein *Bifurkationsdiagramm* erstellt werden.

<sup>9</sup>Der Phasenraum eines dynamischen Systems ist ein mathematischer Raum mit orthogonalen Koordinatenrichtungen, die benötigt werden, um den unmittelbaren Zustand des Systems zu beschreiben [Bak90].





**Abb. 2.8:** Bifurkationsdiagramme für verschiedene Werte eines Systemparameters  $\lambda$ . Ein stabiler Fixpunkt  $u_1$  (a) geht unter einer Parametervariation über einen zusätzlichen Sattelpunkt  $u_2$  (b) in zwei stabile  $u_1$  und  $u_3$  sowie einen instabilen  $u_2$  Fixpunkt über (c).

Hierbei wird formal das Potential

$$F(u, \lambda_1, \dots, \lambda_i) = - \int f(u, \lambda_1, \dots, \lambda_i) du \quad (2.19)$$

berechnet und über  $u$  aufgetragen, um qualitativ Verhaltensänderungen in Abhängigkeit der Parameter darzustellen. Bei der als Beispiel gewählten Sattel-Knoten-Bifurkation wirkt sich eine Parametervariation im Allgemeinen dahingehend aus, dass ein stabiler Fixpunkt  $u_1$  in einen bistabilen Bereich unter Bildung eines zweiten stabilen Fixpunktes  $u_3$  übergeht, wobei  $u_1$  und  $u_3$  durch einen instabilen Fixpunkt  $u_2$  getrennt sind. Ein entsprechendes Bifurkationsdiagramm ist in Abb. 2.8 dargestellt.

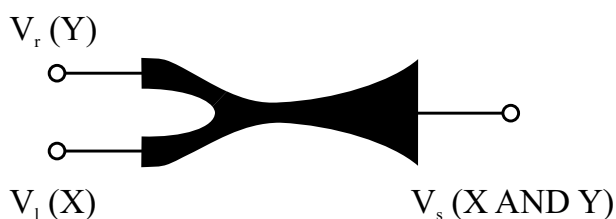
Zur weiteren Analyse des bistabilen Systems kann das Integral

$$A = \int_{u_1}^{u_3} f(u) du \quad (2.20)$$

berechnet werden. Hierbei gibt  $A$  Aufschluß darüber, welcher der beiden Fixpunkte der stabilere ist. Im Falle  $A < 0$  wird trotz der Überwindung des lokalen Potentialmaximums bei  $u_2$  Energie frei, wenn das System vom Zustand  $u_3$  hin zu  $u_1$  überführt wird, d.h.,  $u_1$  ist der stabilere Fixpunkt.

## 2.7 Ballistische Gleichrichtung

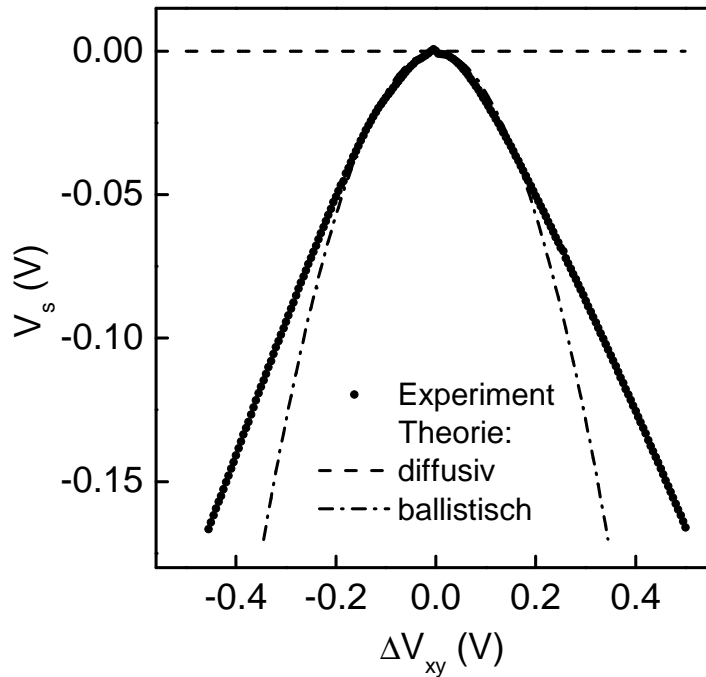
Die Transporteigenschaften ballistischer Strukturen unterscheiden sich in vielfacher Hinsicht von denen herkömmlicher elektronischer Bauteile. Im Gegensatz zu diffusiven Leitern, bei denen Ladungsträger auf einer Längenskala energetisch relaxieren, die weit unterhalb der Abmessung des entsprechenden Leiters liegt, durchlaufen Ladungsträger ballistische Leiter ohne Energieverlust. Somit sollte der elektrische Widerstand, der mit dem Verlust kinetischer Energie der Ladungsträger durch inelastische Stöße verbunden ist, in einem ballistischen Leiter verschwindend klein sein. Der Widerstand eines ballistischen Leiters entsteht im Kontaktbereich, wo sich eine große Anzahl von Elektronenmoden auf wenige Moden des eindimensionalen Leiters verteilen. Dieser Zusammenhang wurde kürzlich eindrucksvoll für einen Quantendraht hoher Güte nachgewiesen [Dru00, Pic01]. Ebenso wie ein Quantendraht stellt eine nanoelektronische Verzweigung mit einer Ausdehnung deutlich kleiner der mittleren freien Weglänge der Elektronen einen ballistischen Leiter dar und sollte sich daher hinsichtlich ihrer elektrischen Eigenschaften deutlich von einem ähnlichen, dem diffusiven Transport unterworfenem System unterscheiden. Tatsächlich kann bei einer verzweigten nanometrischen Struktur ein Gleichrichtungseffekt beobachtet werden, der in einem klassischen diffusiven System nicht auftritt. Dieser ballistische Gleichrichtungseffekt spielt für die Realisierung logischer Gatter und Schaltungen, die Gegenstand des Kapitels 5 sind, eine große Rolle und wird im Folgenden vorgestellt.



**Abb. 2.9:** Y-förmige Verzweigung als AND-Gatter mit den Eingangsspannungen  $V_l$  und  $V_r$  sowie der Ausgangsspannung  $V_s$ . Alle Spannungen sind auf ein gemeinsames Massepotential bezogen.

Eine Y-förmige Verzweigung, wie sie schematisch in Abb. 2.9 gezeigt ist, ermöglicht es, den Effekt der ballistischen Gleichrichtung zu untersuchen. Im Speziellen soll hier eine Verzweigung betrachtet werden, bei der eine geometrische Symmetrie bezüglich einer Vertauschung der Äste vorherrscht. Würde sich diese geometrische Symmetrie auch in den elektrischen Eigenschaften niederschlagen, so sollte man im Falle einer stromlosen Messung am Stamm stets den arithmetischen Mittelwert der an den Ästen anliegenden Spannungen beobachten. Dies ist das Ergebnis, das sich im Falle des diffusiven Transports einstellt, da hier eine etwaige elektrische Asymmetrie zwischen den Ästen lokal durch inelastische Stöße aufgehoben wird. Eine Verzweigung kann hierbei als Sternschaltung dreier gleicher Widerstände betrachtet werden. Gemäß dem Ohm'schen Gesetz für ergibt sich in diesem Fall für eine Variation der Spannungen an den Ästen in Push-Pull-Konfiguration mit  $V_l = -V_r$  bzw.  $V_l + V_r = 0$  stets das Resultat  $V_s = 0$ .

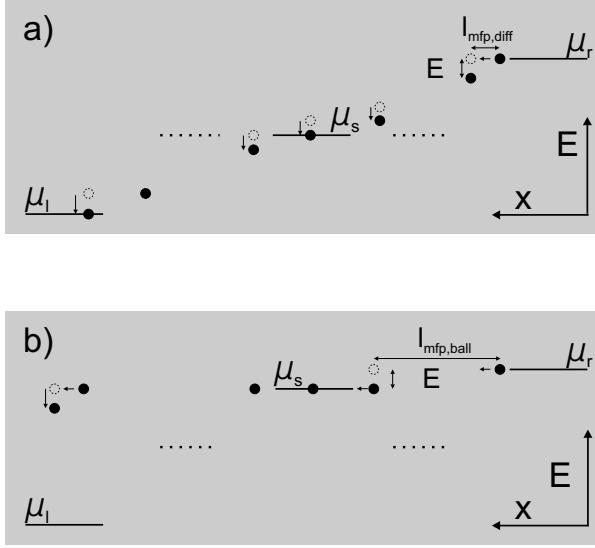
Für nanoelektronische mit wenigen lateralen Submoden besetzte ballistische Verzweigungen hingegen erzeugen Spannungen an den Ästen eine elektrische Asymmetrie, die sich dahin-



**Abb. 2.10:** Spannung  $V_s$  am Stamm einer Y-förmigen Verzweigung als Funktion der Spannungsdifferenz  $\Delta V_{xy} = V_x - V_y$  an den Ästen variiert in Push-Pull-Konfiguration bei  $T = 4.2$  K. Die experimentelle Kurve wurde für  $|\Delta V_{xy}| < 75$  mV unter Berücksichtigung des ballistischen Transportes mit dem Parameter  $\xi = 12.1$  V<sup>-1</sup> angepasst.

gehend äußert, dass die Spannung am Stamm hin zu der negativeren Eingangsspannung tendiert [Wei99, Hie00, Wor01]. Abb. 2.10 zeigt dieses Verhalten für einen Y-Transistor mit einer Breite der 1D-Kanäle von lediglich 100 nm. Die Spannung  $V_s$  am Stamm wurde unter einer Variation von  $V_x$  und  $V_y$  in Push-Pull-Konfiguration mit  $V_x + V_y = 0$  stromlos gemessen. Für den trivialen Fall  $\Delta V_{xy} = 0$  ( $V_x = V_y = 0$ ) entspricht  $V_s$  dem klassisch zu erwartenden Wert. Hingegen nimmt  $V_s$  für endliche Spannungsdifferenzen  $\Delta V_{xy} \neq 0$  negative Werte an, wobei die Abweichung von dem klassischen Wert mit der Differenz  $\Delta V_{xy}$  zunimmt.

Die hohe strukturelle Güte der untersuchten Verzweigung spiegelt sich hierbei in der nahezu perfekten Spiegelsymmetrie der experimentellen  $V_s(\Delta V_{xy})$ -Charakteristik bezüglich  $\Delta V_{xy} = 0$  wider. Der experimentelle Befund, nämlich  $V_s < (V_x + V_y)/2 \forall \Delta V_{xy} \neq 0$ , kann anschaulich über die ballistische Ausbreitung der Elektronen im Bereich der nanoelektronischen Verzweigung erklärt werden. Hierzu sind in Abb. 2.11 die energetischen Verhältnisse entlang des Kanalbereichs zwischen dem Reservoir des linken Astes und dem Reservoir des rechten Astes schematisch und stark vereinfacht dargestellt. Im gezeigten Fall für  $V_l > V_r$  werden Elektronen vom Reservoir des rechten Astes mit einer Energie  $\mu_r$  in den Verzweigungsbereich injiziert



**Abb. 2.11:** Schematisches Energiediagramm zur ballistischen bzw. quasiballistischen Gleichrichtung. a) Diffusiver Ladungstransport: Die mittlere freie Weglänge  $l_{mfp,diff}$  der Elektronen ( $\bullet$ ) ist viel kürzer als die zu durchlaufende Kanallänge zwischen den Reservoirs des rechten und linken Astes. b) Quasiballistischer Ladungstransport: Die mittlere freie Weglänge  $l_{mfp,ball}$  liegt in der Größenordnung der Kanallänge.

und die Spannung, d.h. das chemische Potential  $\mu_s$  des Stamm-Reservoirs, stromlos gemessen. Liegt diffusiver Transport vor (Teilbild a)), so kommt es entlang der betrachteten Sektion vielfach zu inelastischer Streuung, in deren Folge das injizierte Elektron kinetische Energie abgibt. Die 'gemessene' Energie der Elektronen im Bereich des Stamms ist daher deutlich kleiner als  $\mu_r$  und beträgt für eine symmetrische Y-förmige Verzweigung<sup>10</sup>  $(\mu_r + \mu_l)/2$ . Herrscht jedoch ballistischer oder quasiballistischer Transport vor, so ergeben sich die in Abb. 2.11 b) illustrierten Verhältnisse. Die injizierten Elektronen erfahren entlang des relevanten Kanalbereichs keine bzw. im Fall des quasiballistischen Transports wenige inelastische Streueignisse und behalten ihre kinetische Energie im Wesentlichen bis zum Reservoir des linken Astes bei, wo sie auf einer Längenskala relaxieren, die mit der mittleren freien Weglänge des unstrukturierten 2DEGs korreliert. Idealerweise kann man daher am Stamm eine Energie der Elektronen von  $\mu_s = \mu_r$  detektieren, die in der Praxis jedoch durch inelastische Streuung der quasiballistischen Elektronen nur annähernd erreicht wird.

Qualitativ kann die ballistische Gleichrichtung über einen Ansatz beschrieben werden, der auf dem Landauer-Büttiker Formalismus basiert [Lan57, Büt85, Lan88, Xu01]. Hierbei wird der Verzweigungsbereich als ballistische Kavität betrachtet, die über drei Quantenpunkt-Kontakte adiabatish an drei Elektronenreservoirs gekoppelt ist. Den Quantenpunkt-Kontakten werden Transmissions- bzw. Reflektionskoeffizienten  $T_i$  und  $R_i$  mit  $i = l, r, s$  zugeordnet und man erhält für den Strom im Stamm

$$I_s = \frac{2e}{h} \left[ \int [N_s(E) - R_{ss}(E)] f(E - \mu_s, T) dE - \sum_{i=l,r} \int T_{si}(E) f(E - \mu_i, T) dE \right],$$

mit der Anzahl der besetzten Subbänder im Stamm  $N_s$  und den chemischen Potentialen im linken  $\mu_l = \mu_F + eV$  bzw. rechten  $\mu_r = \mu_F - eV$  Reservoir, wobei  $\mu_F$  dem elektrochemischen Potential der Reservoirs für verschwindende Vorwärtsspannung entspricht. Die Fermi-Dirac

<sup>10</sup>Für die Spannungen bedeutet dies in Push-Pull-Konfiguration:  $V_s = (V_{br} + V_{bl})/2$ .

Funktion  $f(E - \mu_i, T)$  gibt die Besetzungswahrscheinlichkeit in dem Reservoir  $i$  bei der Energie  $E - \mu_i$  und der Temperatur  $T$  an. Die Spannung am Stamm ergibt sich schließlich aus  $V_s = -\mu_s/e$  und der Bedingung  $I_s = 0$  (stromlose Messung von  $V_s$ ). Dies führt unter der Annahme verschwindender Rückstreuung für kleine Spannungen  $V$  zu einer quadratischen Abhängigkeit zwischen  $V_s$  und  $V$ :

$$V_s = \frac{1}{2} \xi V^2 + \mathcal{O}(V^4), \quad (2.21)$$

mit der Krümmung  $\xi$

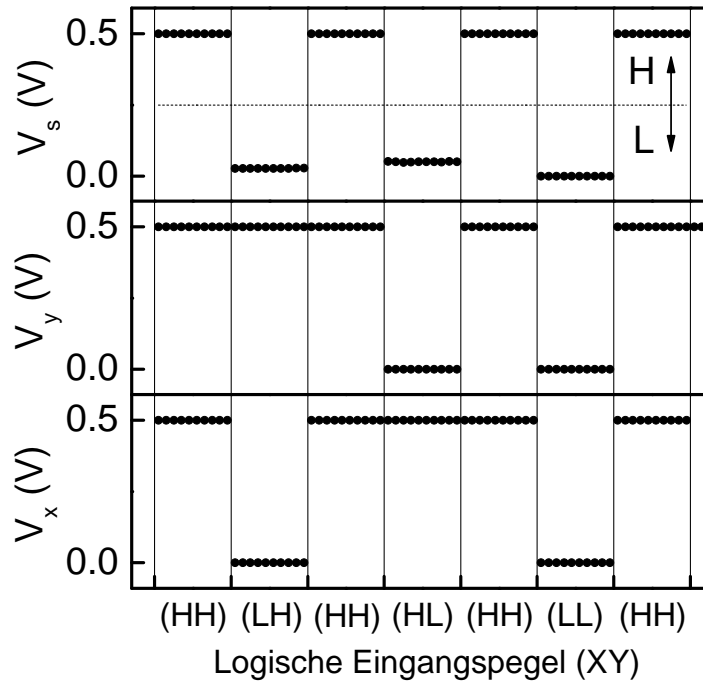
$$\xi = -e \frac{\partial T_{sl}(\mu_F, T) / \partial \mu_F}{T_{sl}(\mu_F, T)}. \quad (2.22)$$

Die Transmissionskoeffizienten  $T_{sl} = T_{ls} = T_{sr} = T_{rs}$  sind stets positiv, so dass sich eine negative Krümmung des  $V_s(V)$ -Verlaufes einstellt, falls  $T_{sl}$  bei gegebener Temperatur mit dem chemischen Potential  $\mu_F$  steigt. Im Falle einer linearen Abhängigkeit zwischen  $T_{sl}$  und  $\mu_F$  ergibt sich der einfache Zusammenhang  $\xi = -e/\mu_F$ , d.h. die Krümmung ist umgekehrt proportional zur Fermienergie im Stamm-Reservoir. Tatsächlich lässt sich die in Push-Pull-Konfiguration gemessene  $V_s(\Delta V_{xy})$ -Charakteristik für  $|\Delta V_{xy}| \lesssim 75$  mV über eine parabolische Funktion mit der Krümmung als Fit-Parameter gut anpassen, was in Abb. 2.10 für  $\xi = 12.1 \text{ V}^{-1}$  dargestellt ist. Im weiteren Verlauf der Kurve, d.h. für  $|\Delta V_{xy}| \gtrsim 75$  mV, kommt es zu einer deutlichen Abweichung zwischen der parabolischen Anpassung und den experimentellen Daten. In diesem stark nichtlinearen Spannungsbereich verliert die einfache Näherung gemäß Gl. (2.21) ihre Gültigkeit.

Die vorgestellten nichtlinearen Eigenschaften einer ballistischen Verzweigung machen diese für Anwendungen im Bereich der Nanoelektronik interessant. Neben der Möglichkeit eine solche Verzweigung als Frequenz-Mischer einzusetzen, bietet es sich an, ein extrem kompaktes logisches AND-Gatter auf der Basis einer ballistischen Verzweigung zu realisieren [Wor01, Sho02, Lew02]. Ein logisches AND-Gatter, dessen Wahrheitstabelle in Tab. 2.1 dargestellt ist, hat die Eigenschaft, dass dessen Ausgang  $C$  nur dann ein logisches H-Signal führt, falls an beiden Eingängen  $X$  und  $Y$  ein logisches H-Signal anliegt. In allen übrigen Fällen ist der Ausgang L. Aufgrund des gleichrichtenden Verhaltens einer ballistischen Verzweigung erfüllt diese intrinsisch die an ein logisches AND-Gatter gerichteten Anforderungen. Um dies experimentell

X	Y	C = X AND Y
H	H	H
H	L	L
L	H	L
L	L	L

**Tab. 2.1:** Wahrheitstabelle eines AND-Gatters mit den Eingängen  $X$  und  $Y$  sowie dem Ausgang  $C$ .



**Abb. 2.12:** Demonstration der AND-Funktionalität einer Y-förmigen Verzweigung.

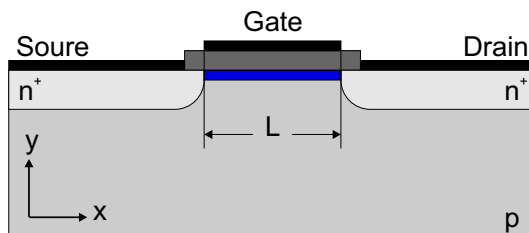
zu zeigen, wurde die Spannung  $V_s$  am Stamm einer Y-förmigen Verzweigung in Abhängigkeit aller Kombinationen der logischen Eingangspegel an den Ästen bei  $T = 4.2$  K detektiert und in Abb. 2.12 dargestellt.

Die Eingangsspannungen  $V_x$  und  $V_y$  wurden zwischen 0 und 0.5 V variiert, wie es in den beiden unteren Teilbildern zu erkennen ist. Zwischen jedem Wechsel der logischen Eingangssignale wurde an beide Eingänge H-Signal angelegt, wobei ein Signal als H (L) betrachtet wird, falls  $V_{sig} > 0.25$  V ( $V_{sig} < 0.25$  V) für die entsprechende Spannung  $V_{sig}$  gilt. Unter Berücksichtigung dieser Definition erfüllt die Y-förmige Verzweigung die Funktionalität eines logischen AND-Gatters, dessen Ausgangssignal im oberen Teilbild von Abb. 2.12 aufgetragen ist. Es zeigt sich, dass entsprechend der Wahrheitstabelle 2.1 der Ausgang nur dann H-Signal ( $V_s > 0.25$  V) führt, falls an beiden Eingängen H-Signal anliegt. Insbesondere ergibt sich aufgrund der ballistischen Eigenschaften der Y-Verzweigung  $C = L$  für  $(XY) = (LH)$  ( $V_s \approx 27$  mV) oder  $(XY) = (HL)$  ( $V_s \approx 50$  mV), während für eine symmetrische dem diffusiven Ladungstransport unterworfenen Y-Verzweigung der undefinierte Zustand  $V_s = 0.25$  V zu erwarten wäre.

## 2.8 Der Feldeffekt-Transistor

Transistoren bilden als Schalter und Verstärker die aktiven Elemente in integrierten Schaltungen. Sie werden über drei Anschlüsse kontaktiert, wobei im Betrieb der Strom zwischen zwei

Anschlüssen über das Signal am dritten Anschluss kontrolliert wird. Im Falle des weit verbreiteten unipolaren Feldeffekt-Transistors (FET), der schematisch in Abb. 2.13 dargestellt ist, werden die stromführenden Kontakte als Source und Drain und der Steueranschluss als Gate bezeichnet. Die Funktionsweise eines FETs beruht darauf, dass abhängig von der Spannung am Gate die Ladungsträgerdichte und somit der Widerstand des Kanals zwischen Source und Drain in weiten Grenzen eingestellt werden kann. Die Kontrolle der Ladungsträgerdichte im Kanal, der beim MOSFET elektrisch durch eine Oxidschicht ( $\text{SiO}_2$ ) vom Gate isoliert ist, erfolgt dabei im Idealfall leistungslos durch den Feldeffekt [Kah60].



**Abb. 2.13:** Schematische Ansicht eines n-Kanal MOSFETs (Querschnitt). Unterhalb des Gates mit einer Länge  $L$  bildet sich die blau gekennzeichnete Inversionsschicht aus, die eine leitende Verbindung zwischen Source und Drain darstellt.

## Linearer- und Sättigungsbereich

Im Folgenden werden am Beispiel eines n-Kanal MOSFET charakteristische Gleichungen der Strom-Spannungs-Kennlinien von Feldeffekt-Transistoren erläutert. Bei einem n-Kanal MOSFET sind die stark n-dotierten Source- und Drain-Kontakte durch einen p-dotierten Bereich getrennt. In Abhängigkeit von der Gatespannung  $V_g$  kommt es im Bereich der  $\text{SiO}_2\text{Si}$ -Grenzschicht zur Akkumulation von Löchern ( $V_g \ll V_{th}$ ), zur Verarmung ( $V_g \lesssim V_{th}$ ) bzw. zur Inversion<sup>11</sup> ( $V_g > V_{th}$ ), wobei  $V_{th}$  der Schwellenspannung des FETs entspricht. Für  $V_g > V_{th}$  bildet sich unterhalb des Gates eine leitfähige Inversionsschicht aus, so dass Drain-Source-Spannungen  $V_{ds} > 0$  zu einem Stromfluss  $I_d > 0$  zwischen Source und Drain führen, der im Bereich kleiner Drain-Source-Spannungen proportional zu  $V_{ds}$  anwächst. In dieser linearen Region verhält sich der MOSFET wie ein ohmscher Widerstand, dessen Wert über die Gatespannung eingestellt werden kann. Mit steigender Drainspannung nimmt die Spannungsdifferenz  $V_g - V_{ds}$  ab, bis schließlich bei der Drain-Source-Spannung  $V_{ds} = V_{Dsat}$  die Flächenladungsdichte der Inversionsschicht auf der dem Drain-Kontakt zugewandten Seite des Kanals gegen Null geht, d.h.  $V_g - V_{Dsat} = V_{th}$ . Hier tritt eine Sättigung des Kanalstroms ein. Eine weitere Erhöhung von  $V_{ds}$  über  $V_{Dsat}$  hinaus hat keinen nennenswerten Anstieg von  $I_d$  zur Folge. Lediglich die Position verschwindender Flächenladungsdichte der Inversionsschicht, die im Englischen als Pinch-Off-Punkt bezeichnet wird, verschiebt sich hin zu dem Source-Kontakt.

Unter idealisierenden Annahmen, die unter anderem eine konstante Mobilität  $\mu_n$  der Elektronen im Kanal, vernachlässigbar kleine Leckströme sowie ein Verhältnis der Feldstärken<sup>12</sup>

<sup>11</sup>Inversion: Ein p-dotierter Halbleiter nimmt n-leitenden Charakter an.

<sup>12</sup> $E_y$  entspricht dem gatespannungsinduzierten Feld senkrecht zu  $I_d$ , während  $E_x$  aus endlichen Drain-Source-Spannungen resultiert und parallel zu  $I_d$  verläuft.

$E_y/E_x \gg 1$  voraussetzen, kann der Drainstrom im Bereich  $0 < V_{ds} < V_{Dsat}$  und  $V_g > V_{th}$  mittels

$$I_d \approx \frac{Z}{L} \mu_n C_0 \left\{ \left( V_g - 2\Psi_B - \frac{V_{ds}}{2} \right) V_{ds} - \frac{2}{3} \frac{\sqrt{2\varepsilon_s e N_A}}{C_0} [(V_{ds} + 2\Psi_B)^{3/2} - (2\Psi_B)^{3/2}] \right\} \quad (2.23)$$

beschrieben werden [Sze01]. Hierbei bezeichnen  $Z$  und  $L$  die Breite bzw. Länge des Kanals,  $C_0 = \varepsilon_{ox}/d$  die flächenbezogene Gatekapazität und  $N_A$  die Akzeptorkonzentration des p-dotierten Substrates mit der Dielektrizitätskonstante  $\varepsilon_s$ . Das Volumenpotential  $\Psi_B$  gibt die Differenz der Fermienergie eines undotierten (Si-)Halbleiters  $E_i$  und der Fermienergie des p-dotierten Halbleiters  $E_F$  an. In der linearen Region, d.h. für  $V_{ds} \ll V_g - V_{th}$ , ergibt sich

$$I_d \cong \frac{Z}{L} \mu_n C_0 (V_g - V_{th}) V_{ds} \quad (2.24)$$

mit der Schwellenspannung

$$V_{th} = \frac{\sqrt{2\varepsilon e N_A (2\Psi_B)}}{C_0} + 2\Psi_B, \quad (2.25)$$

die ausschließlich von Materialparametern und der Geometrie des FET abhängt. Im Gegensatz dazu wird der Kanalstrom im Sättigungsbereich des Transistors über

$$I_d \cong \frac{Z}{2L} \mu_n C_0 (V_g - V_{th})^2 \quad (2.26)$$

beschrieben.

Die Gleichungen (2.24) bis (2.26) erlauben es, das Ausgangskennlinienfeld eines MOSFETs anzugeben. Zu diesem Zweck wurde der Kanalstrom  $I_d$  für verschiedene Gatespannungen  $V_g$  als Funktion der Drain-Source-Spannung  $V_{ds}$  berechnet und in Abb. 2.14 a) aufgetragen. Der lineare Bereich (links) wird durch die gestrichelt eingezeichnete Linie von dem Sättigungsbereich (rechts) abgegrenzt. Während die Gatespannung im linearen Bereich die Steigung der entsprechenden  $I_d(V_{ds})$ -Kurve bestimmt, kontrolliert sie im Sättigungsbereich die absolute Größe des Kanalstroms, der hier nicht von der Drain-Source-Spannung abhängt.

Als wichtige Kenngröße eines MOSFET gilt die Steilheit<sup>13</sup>  $g_m$ , die sich in der linearen Region gemäß

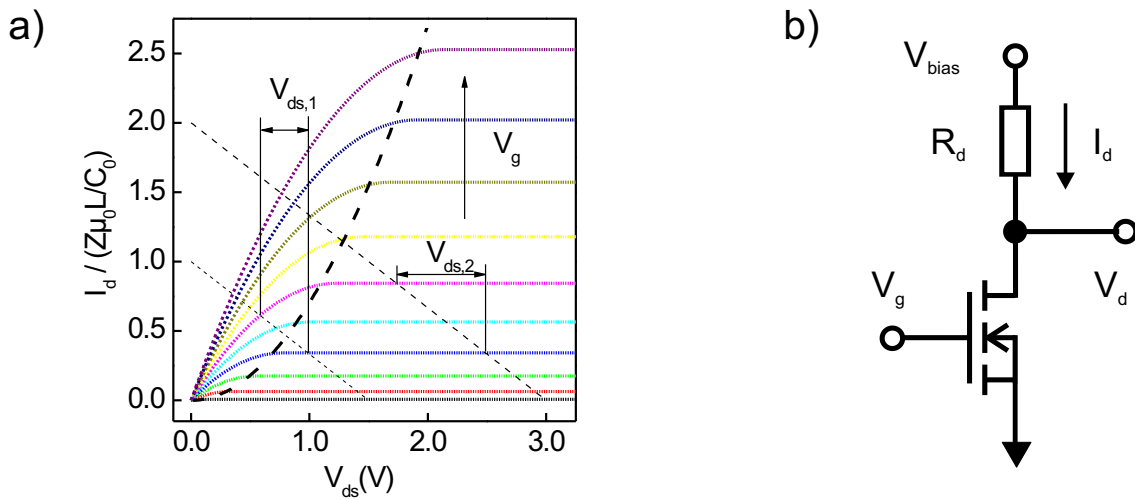
$$g_m \equiv \left. \frac{\partial I_d}{\partial V_g} \right|_{V_{ds}=\text{const}} \cong \frac{Z}{L} \mu_n C_0 V_{ds} \quad (2.27)$$

proportional zu der Drain-Source-Spannung  $V_{ds}$  verhält und als wichtige Größe die Beweglichkeit  $\mu_n$  enthält. Während die Steigung im linearen Bereich also unabhängig von der Gatespannung ist, wächst sie im Sättigungsbereich proportional mit  $V_g$  an:

$$g_m \cong \frac{Z}{L} \mu_n C_0 (V_g - V_{th}) \quad (2.28)$$

<sup>13</sup>Die Steilheit  $g_m$  wird auch als *Gegenwirkleitwert* bzw. im Englischen als *Transconductance* bezeichnet.





**Abb. 2.14:** a) Idealisiertes Ausgangskennlinienfeld eines n-Kanal MOSFET. b) Schematische Darstellung eines Feldeffekt-Transistors in Source-Schaltung.

Entsprechend ihrer Definition gibt die Steigung an, wie stark sich eine Änderung der Gatespannung auf den Kanalstrom auswirkt. In der Regel wird beim Transistorentwurf ein möglichst hoher Wert von  $g_m$  angestrebt.

Ein FET wird häufig als invertierender Verstärker in Source-Schaltung eingesetzt, welche in Abb. 2.14 b) schematisch dargestellt ist. Die Versorgungsspannung  $V_{bias}$  wird über den Widerstand  $R_D$  an den Drain-Kontakt des FETs angelegt, dessen Source-Kontakt mit der Masse verbunden ist. In Source-Schaltung wird der Arbeitspunkt bei gegebenem Drain-Widerstand über die Versorgungsspannung definiert, was in Abb. 2.14 a) für zwei Vorwärtsspannungen ( $V_{bias} = 1.5$  und  $3.0$  V) gezeigt ist. Die Arbeitsgerade, auf der alle Punkte der Übertragungskennlinie zum liegen kommen, schneidet die Abszisse bei  $V_d = V_{bias}$  ( $I_d = 0$ ), während sich der Schnittpunkt mit der Ordinate aus  $I_d = V_{bias}/R_d$  ergibt. In der Regel ist man daran interessiert, die Spannungsverstärkung der Schaltung zu optimieren bzw. über einen möglichst großen Spannungsbereich ein lineares Übertragungsverhalten  $V_d(V_g)$  zu erhalten. Hierzu wird der FET im Sättigungsbereich betrieben. Die erzielbare Spannungsdifferenz  $\Delta V_d$  wächst für ein gegebenes  $\Delta V_g$  im linearen Bereich mit  $V_{bias}$  zunächst stark an, um im Sättigungsbereich in dem oben vorgestellten idealisierten Bild in einen konstanten Verlauf überzugehen, insbesondere gilt  $\Delta V_{ds,2} > \Delta V_{ds,1}$  (für  $\Delta V_g = const$ ).

### Subthreshold-Bereich

Für Gatespannungen unterhalb der Schwellenspannung wird der FET im sogenannten *Subthreshold-Bereich* betrieben. In Analogie zu einem bipolaren Transistor [Bar48] dominiert Ladungs-

trägerdiffusion den Kanalstrom (in x-Richtung) in diesem Regime:

$$I_d = eAD_n \frac{\partial n}{\partial x} = eAD_n \frac{n(0) - n(L)}{L}, \quad (2.29)$$

mit der Kanalfläche  $A$ , dem Diffusionskoeffizienten der Elektronen  $D_n$  und deren Konzentrationen  $n(0)$  und  $n(L)$  im Source bzw. Drain zugewandten Gebiet des Kanals. Die Elektronenkonzentrationen ergeben sich gemäß der Boltzmann-Statistik aus

$$n(0) = n_i \exp[e(\Psi_s - \Psi_B)/k_B T], \quad (2.30a)$$

$$n(L) = n_i \exp[e(\Psi_s - \Psi_B - V_{ds})/k_B T], \quad (2.30b)$$

wobei  $\Psi_s$  dem Oberflächenpotential und  $n_i$  der intrinsischen Ladungsträgerdichte entsprechen. Setzt man die Gleichungen (2.30) in Gl. (2.29) ein, so kann man den Strom für eine gegebene Temperatur  $T$  als Funktion der Drain-Source-Spannung  $V_{ds}$  angeben:

$$I_d = \frac{eAD_n n_i \exp(-e\Psi_B/k_B T)}{L} [1 - \exp(-eV_{ds}/k_B T)] \exp(e\Psi_s/k_B T). \quad (2.31)$$

Das Oberflächenpotential  $\Psi_B$  kann wiederum über die Spannungsdifferenz  $V_g - V_{th}$  angenähert werden, so dass sich im Subthreshold-Bereich eine exponentielle Abhängigkeit des Kanalstroms von der Gatespannung bezogen auf die Schwellenspannung des Transistors ergibt:

$$I_d \sim \exp[e(V_g - V_{th})/k_B T]. \quad (2.32)$$

Die wichtigste Kenngröße im Subthreshold-Bereich stellt die als *Subthreshold-Steigung* bezeichnete Größe  $S = [\partial(\log I_d)/\partial(V_g)]^{-1}$  dar, die in der Regel in (mV/Dek) angegeben wird, und die für eine Änderung des Kanalstroms um eine Größenordnung (Dekade) erforderliche Variation der Gatespannung bezeichnet.

## Kurzkanal-Problematik

Die Skalierung von MOSFETs hin zu kleineren Strukturgrößen setzt sich seit seiner Einführung ungebrochen fort und lässt die Transistorendichte in integrierten Schaltungen weiterhin dramatisch ansteigen. Obwohl hierbei die Verkürzung der Kanallänge gewisse Vorteile mit sich bringt ( $I_d \propto 1/L$ , vgl. Gl. (2.23)), treten für extrem kleine Längen  $L \lesssim 100$  nm sogenannte *Kurzkanal-Effekte* auf, die zu einer erheblichen Verschlechterung der Transistoreigenschaften führen. Ausgelöst durch die Penetration der elektrischen Felder von dem Source- bzw. Drain-Kontakt des Transistors in den Kanalbereich kommt es beispielsweise zu einem Überlapp der Verarmungsregionen, die den Source- und Drain-Kontakt umgeben. Dies führt bei hohen Drain-Source-Spannungen zu Leckströmen durch den p-dotierten Bereich zwischen Source und Drain und trägt im Englischen die Bezeichnung *Bulk Punch-Through* (BPT). Weiterhin macht sich bei Kurzkanal-Transistoren der Einfluss der Feldpenetration dahingehend bemerkbar, dass der Verlauf der Potentialbarriere entlang des Kanals nicht mehr ausschließlich durch die Gatespannung

kontrolliert wird, sondern auch einen erheblichen Einfluss durch die Drain-Source-Spannung erfährt. So resultieren hohe Drain-Source-Spannungen in einer Reduktion der Barrierenhöhe, was im Englischen als *Drain Induced Barrier Lowering* (DIBL) bezeichnet wird, und Leckströme im Bereich der SiO<sub>2</sub>/Si-Grenzfläche zur Folge hat.

Beide Effekte untergraben also die Fähigkeit des Gates, den Kanalstrom über den Feldeffekt zu kontrollieren. Während der BPT sich insbesondere im Subthreshold-Regime in einer Erhöhung der Subthreshold-Steigung nachteilig bemerkbar macht, beeinflusst der DIBL mit den wichtigsten Parameter eines FET, nämlich die Schwellenspannung  $V_{th}$ . Laut der unter idealisierenden Annahmen hergeleiteten Gl. (2.25) sollte  $V_{th}$  nicht von der anliegenden Drain-Source-Spannung beeinflusst werden, was für konventionelle FETs eine gute Näherung darstellt. Kurzkanal-FETs hingegen werden aufgrund des DIBL durch folgende empirische Beziehung

$$V_{th} = V_{th,0} - \sigma V_{ds} \quad (2.33)$$

mit  $V_{th,0}$  der Schwellenspannung bei verschwindender Drain-Source-Spannung und dem DIBL-Koeffizienten  $\sigma$  gut beschrieben [Lee93]. Eine präzise Kontrolle der Schwellenspannung ist vor allem in analogen aber auch in digitalen integrierten Schaltungen essentiell für einen zuverlässigen Betrieb. Dies erklärt die großen Anstrengungen, die in der Halbleiterbranche unternommen werden, um dem Effekt des DIBL entgegenzuwirken [Che00, You02].

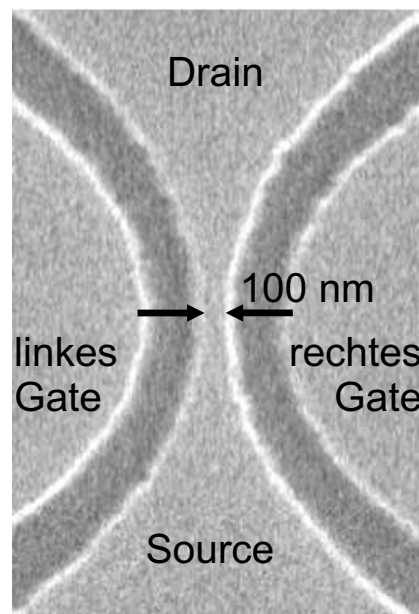


## Kapitel 3

# Der Quantendraht-Transistor im nichtlinearen Transportregime

Seit Beginn der achtziger Jahre ist es möglich, elektrisch leitende Quantendrähte herzustellen, die sich durch einen starken lateralen Einschluss in zwei Dimensionen auszeichnen [Pet82, Fow82]. Quantendrähte wurden seither vielfach hinsichtlich ihrer optischen und elektrischen Eigenschaften untersucht [Tim87, Beh89, Ber94, Koe96, Lia99, Pic01]. Seit einigen Jahren werden auch als 'Nanoröhrchen' bezeichnete eindimensionale Leiter auf der Basis von Kohlenstoff und Silizium selbstorganisiert hergestellt und intensiv erforscht [Tan98, Der01, Liu01, Cui01, Jav02, Hei02, Fuh02]. Hinsichtlich der elektrischen Eigenschaften und insbesondere der ballistischen Transporteigenschaften sind gate-kontrollierte Quantendrähte von großem Interesse [Oka95, Hau97, Lia99, Wan00, Haq01, Jim03]. Solche Quantendraht-Transistoren können über ein auf die Halbleiteroberfläche aufgedampftes metallisches Topgate aber auch über planare seitliche Gate-Kontakte elektrisch kontrolliert werden [Nie90, Kan98, Wor99, Kri00, cK01].

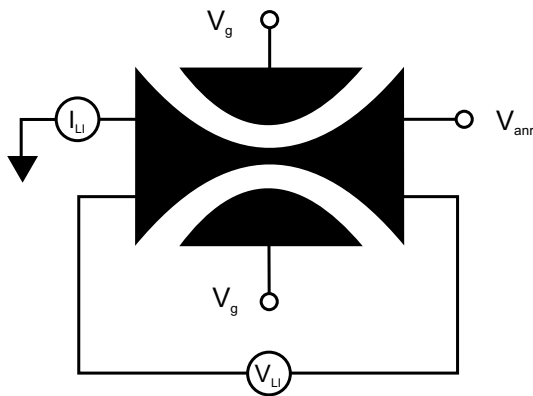
**Abb. 3.1:** Elektronenmikroskopische Aufnahme eines planaren Quantendraht-Transistors. Der 100 nm breite Quantendraht ist über 200 nm breite und 90 nm tiefe nasschemisch geätzte Gräben von den seitlichen Gates elektrisch isoliert.



Gegenstand dieses Kapitels sind Transporteigenschaften von Quantendraht-Transistoren, die über seitliche Gates kontrolliert werden. Die Transistoren basieren auf modulationsdotierten GaAs/AlGaAs-Heterostrukturen und wurden über Elektronenstrahl-Lithographie sowie nass-chemisches Ätzen realisiert. Eine elektronenmikroskopische Aufnahme eines seitlich kontrollierten Quantendrahtes ist in Abb. 3.1 dargestellt. Der Quantendraht mit einer Breite von 100 nm ist adiabatisch an das Source- bzw. Drain-Reservoir gekoppelt. Im Bereich der 90 nm tiefen und 200 nm breiten geätzten Gräben wurden die obersten Schichten der Heterostruktur bis hin zum GaAs-Buffer vollständig entfernt, so dass die beiden seitlichen Gates rein kapazitiv angekoppelt sind.

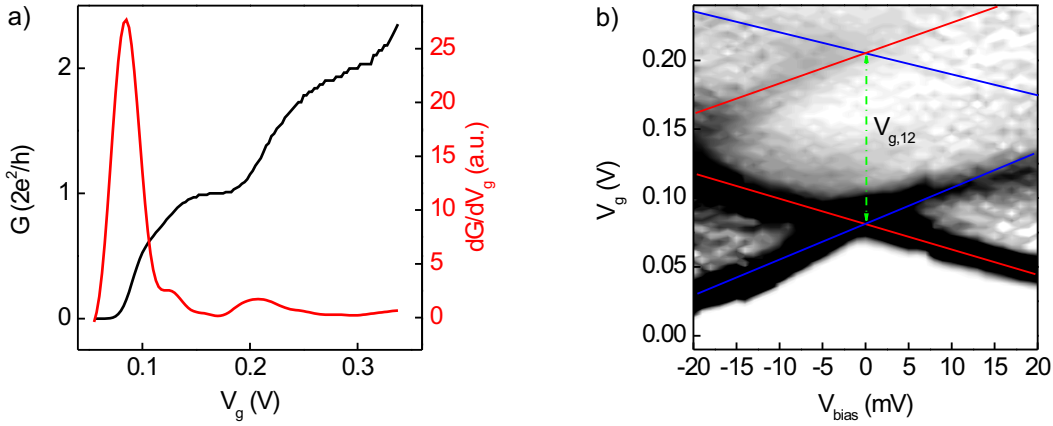
### 3.1 Ballistischer Transport in einem Quantendraht-Transistor

Zunächst wurde der Quantendraht-Transistor im linearen und schwach nichtlinearen Transportregime hinsichtlich seiner ballistischen Eigenschaften untersucht. Hierzu wurde er wie in Abb. 3.2 gezeigt beschaltet. Eine sinusförmige Anregungsspannung  $V_{anr}$  mit einer Amplitude von  $70 \mu V_{rms}$  und einer Frequenz von 77 Hz wurde an das Drain-Reservoir des Quantendrahtes angelegt und konnte für Messungen im nichtlinearen Transportregime mit einer Gleichspannung überlagert werden. Der Probenstrom wurde direkt über den Stromeingang eines Lock-In Verstärkers gemessen. Um den Einfluss der Kontaktwiderstände zu unterdrücken, wurde die Spannung über der Probe ebenfalls in Lock-In-Technik stromlos detektiert. In der gewählten Vierpunktmessung ergibt sich der Leitwert  $G$  des Quantendrahtes direkt aus dem Quotienten des Probenstroms und der Spannung über der Probe.



**Abb. 3.2:** Schematische Darstellung zur Transportspektroskopie an einem Quantendraht-Transistor. Neben den Gatespannungen  $V_g$  wird eine sinusförmige Anregungsspannung  $V_{anr}$ , die mit einem Gleichspannungsanteil überlagert werden kann, an den Quantendraht angelegt. Der Leitwert des Quantendrahtes wird über eine Vierpunktmessung in Lock-In-Technik bestimmt.

Der Leitwert  $G$  des Quantendrahtes wurde zunächst im linearen Transportregime als Funktion der Gatespannung  $V_g$  ermittelt. Abb. 3.3 a) zeigt den entsprechenden Verlauf von  $G$  zusammen mit der Ableitung  $dG/dV_g$  über  $V_g$ . Der Quantendraht ist für  $V_g \lesssim 75$  mV hochohmig, d.h., das erste laterale Subband liegt energetisch höher als das elektrochemische Potential im Source- bzw. Drain-Reservoir. Oberhalb von  $V_g \approx 75$  mV wird das erste laterale Subband besetzt, und der Leitwert steigt stark mit der Gatespannung an. Im weiteren Verlauf bildet sich eine Stufe



**Abb. 3.3:** a) Leitwert  $G$  eines seitlich kontrollierten Quantendrahtes sowie die Ableitung  $dG/dV_g$  als Funktion der Gatespannung. b) Graustufendarstellung der Ableitung  $dG/dV_g$  als Funktion der Vorwärtsspannung  $V_{bias}$  und der Gatespannung  $V_g$ .

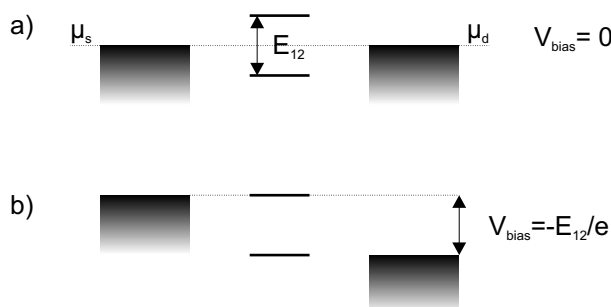
im Leitwert mit  $dG/dV_g = 0$  aus. Bei  $V_g = 0.18$  V beginnt die Besetzung des zweiten lateralen Subbandes und eine zweite Leitwertstufe kann für  $V_g \approx 0.30$  V beobachtet werden. Ein interessantes Merkmal des  $G(V_g)$ -Verlaufs ist die Struktur bei  $G = 0.7 \times 2e^2/h$ , die insbesondere in der Ableitung  $dG/dV_g$  deutlich zum Vorschein tritt und mit einer Spin-Polarisation des 1D-Elektronengases in der Einschnürung bei verschwindend kleinem externen Magnetfeld in Verbindung gebracht wird [Tho96, Tho98, Kri00, Tho00, Hir01, Cro02].

Um eine qualitative Information über die energetische Aufspaltung der 1D-Subbänder zu erhalten, können Transportmessungen bei unterschiedlichen Temperaturen aber auch Messungen bei endlicher Vorwärtsspannung, d.h. Transportspektroskopie, herangezogen werden [Pat91, Tho95, Koe96, Wor99]. In der vorliegenden Arbeit wurde letztere Methode gewählt, um die energetische Aufspaltung der beiden untersten 1D-Subbänder des Quantendrahtes abzuschätzen. Hierzu wurde der sinusförmigen Anregungsspannung ein Gleichspannungsanteil  $V_{bias}$  im Bereich von -20 mV bis 20 mV überlagert und der Leitwert  $G$  des Quantendrahtes als Funktion der Spannungen  $V_g$  und  $V_{bias}$  gemessen. Aus den Rohdaten wurde die Ableitung  $dG/dV_g$  numerisch berechnet und in Abb. 3.3 b) über  $V_g$  und  $V_{bias}$  in Form einer Graustufendarstellung graphisch dargestellt. In der Auftragung sind Bereiche geringer (starker) Änderung des Leitwertes unter Variation der Gatespannung hell (dunkel) dargestellt. Verglichen mit  $V_{bias} = 0$  kommt es bei endlichen Vorwärtsspannungen zu einer Aufspaltung der Maxima von  $dG/dV_g$  bei  $V_{g1} = 0.085$  V und  $V_{g2} = 0.208$  V (vgl. Abb. 3.3 a).

Die Aufspaltung der Maxima von  $dG/dV_g$  ist in dem Einfluss endlicher Vorwärtsspannung auf die energetische Lage der 1D-Subbänder relativ zu den chemischen Potentialen  $\mu_s$  und  $\mu_d$  im Source- bzw. Drain-Kontakt begründet [Kou89]. Wie in Abb. 3.3 a) illustriert, liegen die che-

mischen Potentiale für  $V_{bias} = 0$  auf gleicher Höhe<sup>1</sup>. Endliche Vorwärtsspannungen führen zu einer Verschiebung der Subbänder gemäß  $\Delta E_{sub} = -\sigma e \Delta V_{bias}$ , wobei für kleine Vorwärtsspannungen  $\sigma = \frac{1}{2}$  angenommen werden kann [Xu93, Hor95]. Eine Erhöhung von  $V_{bias}$  resultiert schließlich in der in Abb. 3.3 b) dargestellten Konstellation, bei der das zweite 1D-Subband mit dem chemischen Potential im Source-Kontakt überlappt, und sich ein Maximum von  $dG/dV_g$  ausbildet.  $V_{bias,12} = -E_{12}/e$  ist aber gerade die Spannung, für die sich die Bereiche maximaler Ableitung  $dG/dV_g$  kreuzen, die aus der Aufspaltung der beiden Maxima bei  $V_{bias} = 0$  hervorgehen.

**Abb. 3.4:** Schematische Darstellung zur Bestimmung der energetischen Aufspaltung  $E_{12}$  der beiden untersten 1D-Subbänder eines Quantendrahtes.



Die energetische Aufspaltung zwischen den beiden untersten 1D-Subbändern ergibt sich also aus der Vorwärtsspannung  $V_{bias,12}$ , bei der sich die in Abb. 3.4 b) rot bzw. blau eingezeichneten Geraden schneiden. Eine Extrapolation der Verläufe (nicht gezeigt) ergibt  $E_{12} \approx 27$  meV.

Die Subbandaufspaltung kann zur Berechnung der Gate-Effektivität herangezogen werden, welche sich aus der Differenz  $V_{g,12} = V_{g2} - V_{g1} = 0.123$  V (vgl. Abb. 3.3 a)) und der Subbandaufspaltung  $E_{12} = 27$  mV über  $\eta = E_{12}/(eV_{g,12})$  zu  $\eta = 0.22$  berechnen lässt. Verglichen mit der in Abschnitt 2.4 für ein Topgate abgeschätzten Effektivität von  $1/11 \approx 0.091$  fällt der im vorliegenden Fall für seitliche Gates ermittelte Wert von 0.22 um einen Faktor zwei größer aus.

## 3.2 Der Quantendraht-Transistor als ballistischer Verstärker

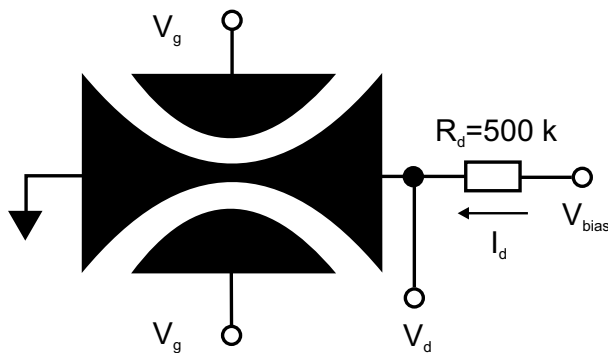
Vergleichbar mit einem konventionellen FET wird auch bei einem seitlich kontrollierten Quantendraht-Transistor der Leitwert des Kanals maßgeblich über kapazitiv angekoppelte Gates bestimmt [Bla98, Wes98a]. Im Gegensatz zu einem FET findet im Falle des Quantendraht-Transistors der Ladungstransport allerdings nicht in einer zweidimensionalen leitfähigen Schicht sondern in einem nanostrukturierten eindimensionalen Kanal zwischen dem Source- und dem Drain-Kontakt statt [Ko96].

### Verstärkungscharakteristik

Der Quantendraht-Transistor wird in Source-Schaltung charakterisiert, d.h., sein Source-Kontakt ist mit Masse verbunden, während die Vorwärtsspannung  $V_{bias}$  über den Widerstand  $R_d$  an den

<sup>1</sup>Aus Gründen der Übersichtlichkeit wird auf die Darstellung der Dispersionsrelation  $E_n(k_z)$  des  $n$ -ten Subbandes verzichtet.





**Abb. 3.5:** Schematische Darstellung der Messkonfiguration zur Untersuchung der Verstärkungseigenschaften eines Quantendraht-Transistors.

Drain-Kontakt angelegt wird (vgl. Abschnitt 2.8). In dieser Konfiguration, die in Abb. 3.5 schematisch dargestellt ist, wird die Abhängigkeit der Spannung  $V_d$  am Drain-Kontakt von der Spannung  $V_g$  an den seitlichen Gates untersucht.

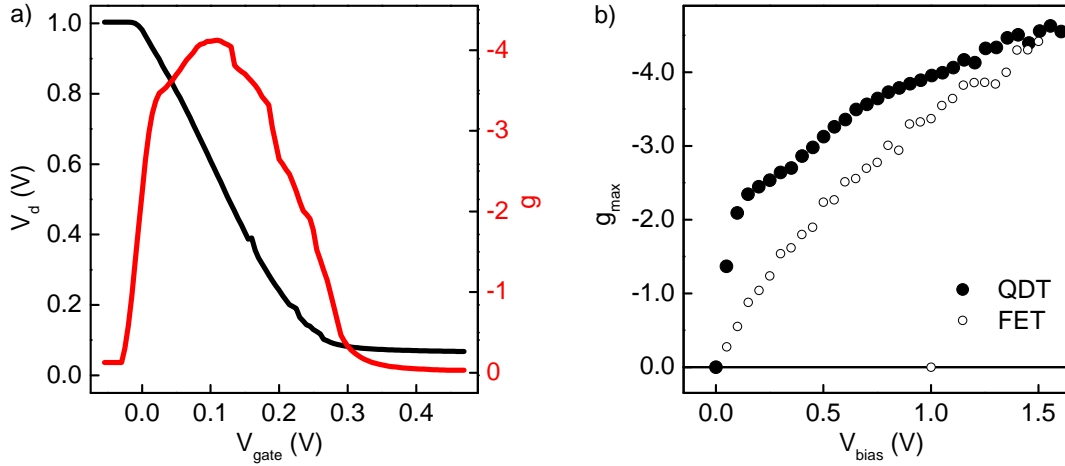
Die Übertragungskennlinie eines Quantendraht-Transistors ist exemplarisch für  $V_{bias} = 1.0$  V in Abb. 3.6 a) dargestellt. Für Spannungen  $V_g < 20$  mV entspricht die Ausgangsspannung  $V_d$  der angelegten Vorwärtsspannung, d.h., der Quantendraht ist hochohmig. Mit steigender Gatespannung  $V_g > 0$  setzt Stromfluss durch den Kanal ein, und die Ausgangsspannung  $V_d$  nimmt ab, bis bei  $V_g = 0.3$  V schließlich ein Sättigungsverhalten mit  $V_d \approx 70$  mV auftritt. Der invertierende Charakter der Übertragungskennlinie ist mit einer differentiellen Spannungsverstärkung  $dg/dV_g$  verbunden, welche numerisch berechnet wurde und in Abb. 3.6 als Funktion der Gatespannung aufgetragen ist. Die differentielle Spannungsverstärkung weist eine starke Abhängigkeit von der Eingangsspannung auf und erreicht bei  $V_g = 0.11$  V den maximalen Wert von  $g_{max} = -4.1$ .

Um die Abhängigkeit der Spannungsverstärkung von der Vorwärtsspannung zu untersuchen wurden Übertragungskennlinien für Vorwärtsspannungen im Intervall  $0 \leq V_{bias} \leq 1.5$  V bei einer Schrittweite von  $\Delta V_{bias} = 50$  mV aufgenommen. Nach einer numerischen Differentiation wurde jeweils  $g_{max}$  bestimmt und in Abb. 3.6 b) als Funktion von  $V_{bias}$  dargestellt. Die differentielle Verstärkung liegt bereits für  $V_{bias} = 50$  mV über 1 und steigt mit der Vorwärtsspannung zunächst stark an. Bei  $V_{bias} = 0.15$  V geht der Verlauf jedoch in ein schwach ansteigendes Verhalten über und mündet in einer maximalen differentiellen Spannungsverstärkung von -4.6 für  $V_{bias} = 1.5$  V. Bei einer elektrischen Breite von 25 nm, die sich aus der Subbandaufspaltung unter der vereinfachenden Annahme des Einschlusses in einem 1D-Potentialtopf abschätzen lässt, entspricht diese Spannungsverstärkung einer spezifischen, auf die elektrische Breite des Quantendrahtes bezogenen maximalen Steilheit<sup>2</sup> von  $341 \mu\text{S}/\mu\text{m}$ .

An dieser Stelle bietet sich ein Vergleich des Quantendraht-Transistors mit einem konventionellen Feldeffekt-Transistor hinsichtlich der Verstärkungseigenschaften in Source-Schaltung an. Zu diesem Zweck wurden Übertragungskennlinien eines n-Kanal MOSFET<sup>3</sup> mittels des Simulationsprogramms *PSPICE*<sup>®</sup> für verschiedene Vorwärtsspannungen berechnet und ebenfalls

<sup>2</sup>Die Steilheit selbst kann über  $dI_d/dV_g = (1/R)dV_d/dV_g$  aus der maximalen differentiellen Spannungsverstärkung  $g_{max}$  berechnet werden:  $g_m = (dI_d/dV_g)_{max} = (1/R)g_{max}$ .

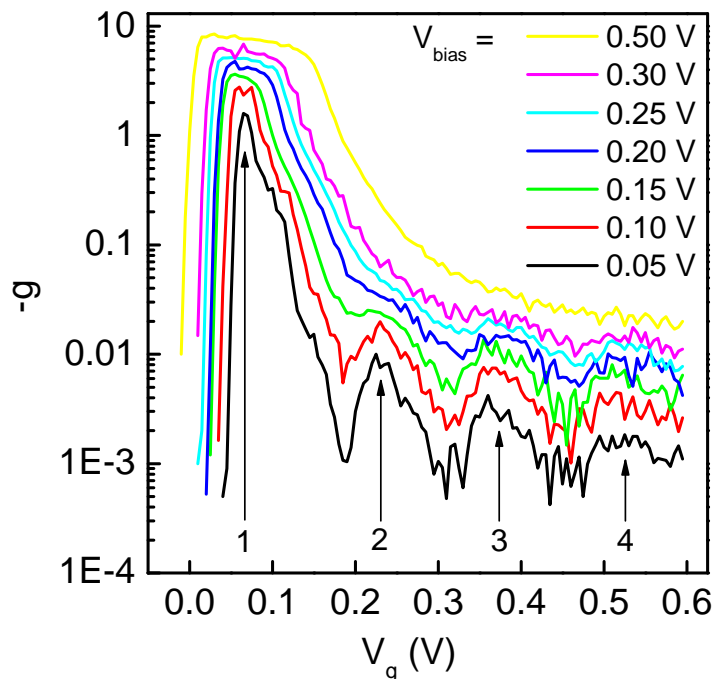
<sup>3</sup>Es wurde das n-Kanal MOSFET Modell BSS101 aus Referenz [Tie99] und ein Drain-Widerstand von  $R = 100 \Omega$  benutzt.



**Abb. 3.6:** a) Übertragungskennlinie  $V_d(V_g)$  und Verstärkungscharakteristik  $g(V_g)$  eines Quantendraht-Transistors (QDT) für  $V_{bias} = 1.0$  V. b) Maximale Spannungsverstärkung  $g_{max} = (dV_d/dV_g)_{max}$  eines Quantendraht-Transistors (FET) und eines n-Kanal Feldeffekt-Transistors als Funktion der Vorwärtsspannung.

$g_{max}$  extrahiert. Das Ergebnis ist zusammen mit den experimentellen Daten des Quantendraht-Transistors in Abb. 3.6 b) über  $V_{bias}$  aufgetragen. Auch im Falle des MOSFETs steigt  $g_{max}$  mit steigender Vorwärtsspannung an, wobei wie bereits beim Quantendraht-Transistor eine negative Krümmung der  $g_{max}(V_{bias})$ -Kurve beobachtet wird. Die beiden  $g_{max}(V_{bias})$ -Verläufe unterscheiden sich jedoch dahingehend, dass  $g_{max}$  beim MOSFET über den gesamten Bereich der Vorwärtsspannung mit annähernd konstanter Krümmung ansteigt, während die maximale Verstärkung im Falle des Quantendraht-Transistors für kleine  $V_{bias} < 0.15$  V sehr stark zunimmt, um danach vergleichsweise moderat mit  $V_{bias}$  zu steigen. Offenbar tritt also bei  $V_{bias} \approx 0.15$  V eine Änderung der elektrischen Eigenschaften des Quantendraht-Transistors ein.

Um diesen Umstand näher zu erörtern, wurden die Übertragungskennlinien bzw. die differentielle Spannungsverstärkung im Bereich kleiner Vorwärtsspannungen analysiert. Speziell erweist sich die in Abb. 3.7 gezeigte logarithmische Auftragung der  $-g(V_g)$ -Abhängigkeit für einige  $V_{bias} \leq 0.50$  V als aufschlussreich, wobei die einzelnen Kurven aus Gründen der Übersichtlichkeit um Faktoren 1.25, 1.50, 1.75, ... gegenüber dem  $V_{bias} = 50$  mV zugeordneten Verlauf hin zu höheren Werten verschoben sind. In der logarithmischen Darstellung weist die differentielle Spannungsverstärkung deutliche Nichtlinearitäten auf: Bei  $V_g = 0.065$  V, 0.23 V, 0.37 V und 0.53 V bilden sich lokale Maxima aus, die in Abb. 3.7 numeriert und mit Pfeilen gekennzeichnet sind. Während die Lage der Maxima als nahezu unabhängig von  $V_{bias}$  betrachtet werden kann, nimmt die Ausprägung der Maxima 2, 3 und 4 mit steigender Vorwärtsspannung ab und ist bei  $V_{bias} = 0.50$  V nahezu verschwunden. Das mit 1 gekennzeichnete Maximum



**Abb. 3.7:** Verstärkungscharakteristik eines Quantendraht-Transistors in logarithmischer Darstellung. Aus Gründen der Übersichtlichkeit wurden die einzelnen Kurven um die Faktoren 1.25, 1.50, 1.75, ... gegenüber der schwarzen,  $V_{bias} = 0.05$  V zugeordneten Kurve verschoben.

bleibt erhalten, jedoch verbreitert sich die damit verbundene Verstärkungsspitze deutlich mit steigender Vorwärtsspannung.

Um die Ursache der beobachteten Nichtlinearitäten zu klären, wird ein Vergleich mit Abbildung 3.3 herangezogen. Die Vermutung liegt nahe, dass die Oszillationen im  $g(V_g)$ -Verlauf mit der Besetzung lateraler 1D-Subbänder in Verbindung gebracht werden können, was als Zeichen für den ballistischen Transport in 1D-Einschnürungen im stark nichtlinearen Transportbereich gewertet wird. Sowohl  $dG/dV_g$  als auch  $dV_d/dV_g$  weisen ein ausgeprägtes Maximum im Bereich der Schwellenspannung des Transistors auf, gefolgt von einem Maximum, bzw. im Falle der  $dV_d/dV_g(V_g)$ -Abhängigkeit gefolgt von mehreren Maxima kleinerer Amplitude. Der Abstand der Maxima bezüglich der Gatespannung liegt in beiden Fällen in der Größenordnung von 100 mV. Unter der Annahme die Oszillationen in Abb. 3.7 seien auf den ballistischen Transport in dem Quantendraht zurückzuführen, kann der Übergang vom stark ansteigenden Bereich des  $g_{max}(V_{bias})$ -Verlaufes in Abb. 3.6 b) bei  $V_{bias} = 0.15$  V hin zu dem eher flachen Verlauf für  $V_{bias} > 0.15$  V, ab welcher die Ausprägung der Oszillationen in  $g$  stark abnimmt, über eine Reduktion der Ballistizität des Elektronentransports erklärt werden. Aufgrund der erhöhten Streuung nimmt die Beweglichkeit und damit auch die maximal erreichbare differentielle

Verstärkung ab, die sich gemäß Gl. (2.27) proportional zu der Steilheit  $g_m$  verhält.

## Schwellen-Charakteristik

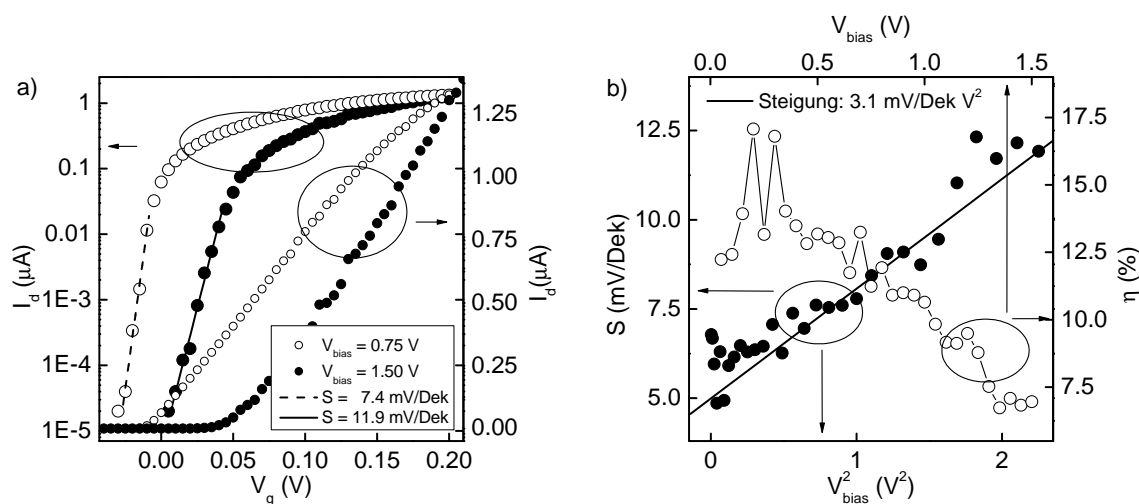
Die Eigenschaften eines Transistors im Subthreshold-Regime sind insbesondere dann von Wichtigkeit, wenn er als digitales Schaltelement eingesetzt werden soll, denn die Subthreshold-Charakteristik beschreibt den Übergang vom hochohmigen 'OFF-Zustand' zu dem niederohmigen 'ON-Zustand' eines Transistors [Sze01]. Die wichtigste Kenngröße im Subthreshold-Regime ist die als Subthreshold-Steigung bezeichnete Änderung der Gatespannung, die erforderlich ist, um den Kanalstrom (im Subthreshold-Regime) um eine Größenordnung zu ändern. Im Hinblick auf eine Reduktion der Verlustleistung wird angestrebt, die Subthreshold-Steigung  $S$  möglichst gering zu halten. Bei endlichen Temperaturen gibt die Diffusion von Elektronen vom Source-Kontakt hin zum Drain-Kontakt gemäß

$$I_d \propto e^{e\eta(V_g - V_{th})/k_B T} \quad (3.1)$$

die theoretisch erreichbare Grenze der Subthreshold-Steigung von  $S_{lim} = \ln(10) k_B T/e \approx 60$  mV/Dek bei Raumtemperatur und einer Gate-Effektivität  $\eta = 1$  vor, welche von einem Silizium-Quantendraht-Transistor mit einem Durchmesser des Quantendrahtes von 5 nm bereits erreicht wurde [Leo97, Pet98, Ked99, God01, Sze01]. Die Gate-Effektivität ist wieder ein Maß für den Einfluss der Gatespannung auf die Lage des Potentialverlaufes entlang des Quantendrahtes (vgl. Abschnitt 2.4 und 3.1). Laut Gl. (3.1) sollte  $S$  für  $T \rightarrow 0$  ebenfalls gegen Null gehen. Im Bereich kleiner Temperaturen ist  $S$  jedoch durch Tunnelströme zwischen Source und Drain insbesondere bei Kurzkanal-Transistoren nach unten limitiert [Cal02].

Die Subthreshold-Charakteristik des seitlich kontrollierten Quantendraht-Transistors kann vorzugsweise über eine logarithmischen Auftragung des Kanalstroms  $I_d$  als Funktion der Gatespannung untersucht werden. Hierzu wurde  $I_d$  aus den experimentellen  $V_d(V_g)$ -Kennlinien als Funktion der Gatespannung berechnet und in Abb. 3.8 a) exemplarisch für  $V_{bias} = 0.75$  und 1.50 V aufgetragen. Für beide Vorwärtsspannungen steigt  $I_d$  zunächst von  $I_d \approx 1.0 \times 10^{-5} \mu\text{A}$  bis hin zu  $I_d \approx 1.0 \times 10^{-2} \mu\text{A}$  linear an. Ab einer Gatespannung von etwa 0 bzw. 65 mV für  $V_{bias} = 0.75$  V bzw.  $V_{bias} = 1.50$  V erreicht der Transistor seine Schwelle, und merklicher Stromfluss setzt ein, was vor allem in der linearen Auftragung des Stromes zu erkennen ist. Die Subthreshold-Steigung wird aus der linearen Anpassung des  $I(V_g)$ -Verlaufes unterhalb der Schwellenspannung ermittelt. Es ergeben sich Werte von  $S = 7.4$  mV/Dek ( $V_{bias} = 0.75$  V) bzw.  $S = 11.9$  mV/Dek ( $V_{bias} = 1.50$  V). Beide Werte liegen deutlich über dem sich gemäß Gl. (3.1) für  $T = 4.2$  K ergebenden Limit von  $S_{min} = 0.83$  mV/Dek, was auf eine Gate-Effektivität  $\eta < 1$  schließen lässt. Des Weiteren liegt offenbar eine Abhängigkeit der Subthreshold-Steigung von der Vorwärtsspannung vor.

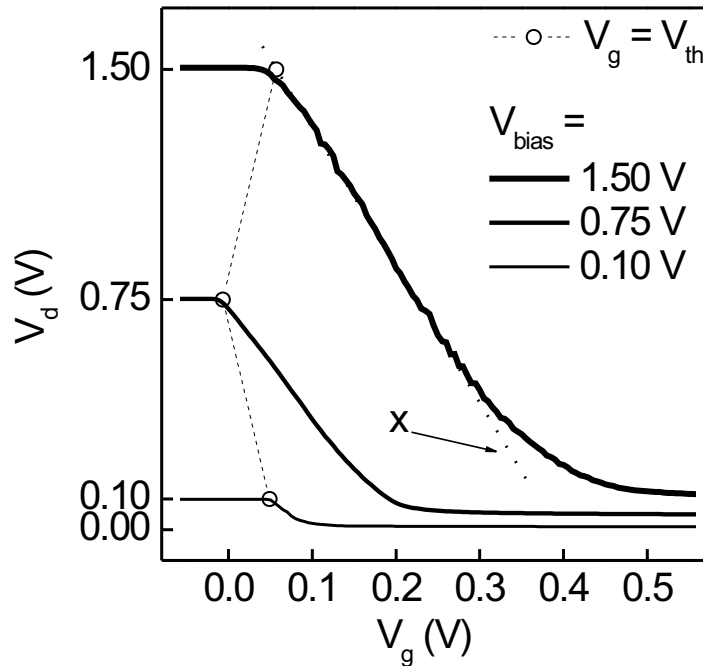
Um diese Abhängigkeit näher zu untersuchen, wurde  $S$  aus den experimentellen Daten für  $0.050 \text{ V} \leq V_{bias} \leq 1.50 \text{ V}$  extrahiert und die funktionelle Abhängigkeit zwischen  $S$  und  $V_{bias}$  analysiert. Es zeigt sich, dass ein parabolischer Zusammenhang zwischen  $S$  und  $V_{bias}$  gemäß  $S \propto V_{bias}^2$  vorliegt, was die Auftragung von  $S$  über  $V_{bias}^2$  in Abb. 3.8 b) verdeutlicht. Die



**Abb. 3.8:** a) Kanalstrom  $I_d$  eines Quantendraht-Transistors als Funktion der Gatespannung in logarithmischer und linearer Darstellung für  $V_{bias} = 0.75$  und  $1.50$  V. b) Abhängigkeit der Subthreshold-Steigung  $S$  und der Gate-Effektivität  $\eta$  von der Vorwärtsspannung  $V_{bias}$ .

Subthreshold-Steigung nimmt in quadratischer Weise von etwa  $5$  mV/Dek bei  $V_{bias} = 0.1$  V bis hin zu  $12$  mV/Dek für  $V_{bias} = 1.50$  V zu. Aus der Anpassung der Datenpunkte ergibt sich eine Proportionalitätskonstante von  $3.1$  mV/Dek  $\text{V}^2$ . Läßt man Tunneleffekte außer acht, so kann die Gate-Effektivität gemäß Gl. (3.1) direkt über die Subthreshold-Steigung berechnet werden:  $\eta = S_{min}/S$ . Diese Berechnung wurde für die experimentellen Werte von  $S$  durchgeführt und das Ergebnis, d.h.  $\eta$ , als Funktion von  $V_{bias}$  in Abb. 3.8 b) aufgetragen. Es ist deutlich zu erkennen, dass die Gate-Effektivität von etwa  $0.15$  bei  $V_{bias} < 0.5$  V mit steigender Vorwärtsspannung abnimmt und bei  $V_{bias} = 1.5$  V schließlich einen Wert von  $0.07$  erreicht. Obwohl die somit ermittelte Gate-Effektivität von  $0.15$  bei kleinen Vorwärtsspannungen etwas unter dem in Abschnitt 3.1 durch Transportspektroskopie bestimmten Wert von  $0.22$  liegt, bestätigt er dennoch diesen Wert, zumal die außer acht gelassenen Tunnelströme tendenziell zu einer Erhöhung der Subthreshold-Steigung führen und  $\eta$  daher kleiner erscheinen lassen.

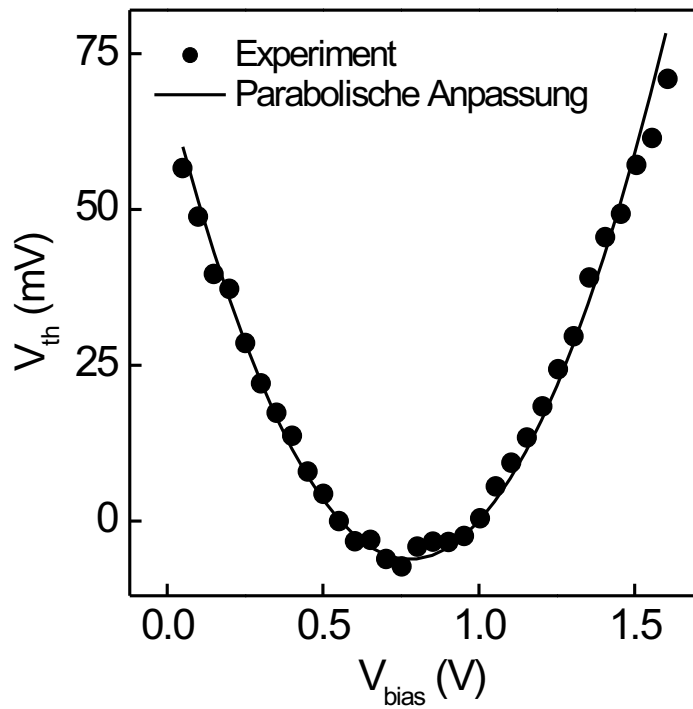
In der bereits zur Untersuchung der Verstärkungs- und Subthreshold-Eigenschaften herangezogenen Messerie wurden Übertragungskennlinien  $V_d(V_g)$  für mehrere Werte der Vorwärtsspannung  $V_{bias}$  aufgenommen. Abb. 3.9 zeigt die entsprechenden Messkurven für  $V_{bias} = 1.50$ ,  $0.75$  und  $0.10$  V. Im Falle  $V_{bias} = 0.10$  V ergibt sich eine Schwellenspannung von  $V_{th} = 49$  mV, unterhalb derer der Quantendraht-Transistor hochohmig ist. Hierbei ist die Schwellenspannung als die Gatespannung definiert, bei der die lineare Extrapolation des  $V_d(V_g)$ -Verlaufes der angelegten Vorwärtsspannung entspricht, wie es in Abb. 3.9 für  $V_{bias} = 1.50$  V durch die mit  $x$  gekennzeichnete Linie veranschaulicht ist. Gatespannungen oberhalb von  $V_{th}$  führen zu einer Abnahme von  $V_d$  mit steigender Vorwärtsspannung, wobei der Leitwert des Drahtes für



**Abb. 3.9:** Übertragungskennlinien eines Quantendraht-Transistors für  $V_{bias} = 0.10, 0.75$  und  $1.50$  V.

$V_g > 0.20$  V nur noch unwesentlich ansteigt, und die Ausgangsspannung einen Sättigungswert von  $V_d \approx 11$  mV annimmt. Wie in Abb. 3.9 zu erkennen ist, weisen die Kurven für  $V_{bias} = 0.75$  und  $0.10$  V ähnliche Übertragungskennlinien auf: Der Quantendraht ist für  $V_g \lesssim 0$  hochohmig und zeigt oberhalb der Schwellenspannung ein invertierendes, mit Verstärkung verbundenes Verhalten. Eine nähere Betrachtung der  $V_d(V_g)$ -Verläufe zeigt jedoch ein interessantes Verhalten der Schwellenspannung als Funktion der Vorwärtsspannung: Während sich die Schwellenspannung zunächst mit steigender Vorwärtsspannung von  $55$  mV bei  $V_{bias} = 0.10$  V hin zu einem kleineren Wert bei  $V_{bias} = 0.75$  V verringert, nimmt sie für  $V_{bias} = 1.50$  V wieder einen höheren Wert an.

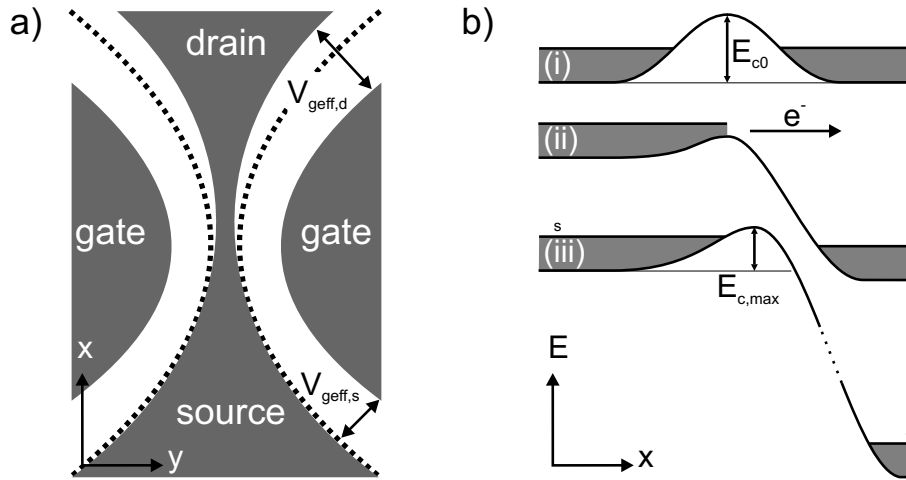
Um die beobachtete  $V_{th}(V_{bias})$ -Charakteristik genauer zu untersuchen, wurden die Schwellenspannungen aus den Übertragungskennlinien für  $0.050$  V  $\leq V_{bias} \leq 1.60$  V extrahiert und in Abb. 3.10 als Funktion der Vorwärtsspannung dargestellt. Die Anpassung der experimentellen Daten mit einem Polynom zweiten Grades macht deutlich, dass die Schwellencharakteristik des Quantendraht-Transistors im untersuchten Spannungsbereich durch einen parabolischen Zusammenhang zwischen  $V_{th}$  und  $V_{bias}$  beschrieben werden kann. Das beobachtete  $V_{th}(V_{bias})$ -Verhalten des Quantendraht-Transistors unterscheidet sich daher deutlich von dem konventioneller Feldeffekt-Transistoren. Diese weisen für Kanallängen  $L \gtrsim 100$  nm eine Schwellenspannung auf, die im Wesentlichen durch die Bauform bzw. Materialeigenschaften des Transistors



**Abb. 3.10:** Schwellenspannung  $V_{th}$  eines Quantendraht-Transistors als Funktion der Vorwärtsspannung  $V_{bias}$ .

festgelegt wird (vgl. Gl. (2.25)). Mit abnehmender Gatelänge  $L \lesssim 100$  wird der Bandverlauf entlang des Kanals jedoch über den DIBL mehr und mehr durch die anliegende Source-Drain-Spannung beeinflusst, was sich nachteilig auf die Transistoreigenschaften auswirkt und in einer Abnahme der Schwellenspannung mit steigender Vorwärtsspannung resultiert [Tau97] (vgl. Abschnitt 2.8). Die vorliegenden Beobachtungen sind für Vorwärtsspannungen kleiner 0.75 V in Konsistenz mit dem DIBL. Hingegen kommt es für Spannungen  $V_{bias} > 0.75$  V, für die  $V_{th}$  mit  $V_{bias}$  steigt, offenbar zu einer Kompensation des DIBL. Dieser Befund wird im Folgenden auf eine Selbstverarmung des Quantendrahtes zurückgeführt.

Die beobachtete parabolische  $V_{th}(V_{bias})$ -Abhängigkeit kann beschrieben werden, in dem sowohl der DIBL als auch eine effektive Gatespannung, die von der Position entlang des Drahtes abhängt, berücksichtigt werden. In Source-Schaltung gleicht die effektive Gatespannung  $V_{geff,s}$  im Bereich des Source-Reservoirs der angelegten Gatespannung  $V_g$ . Dies wird in Abb. 3.11 a) veranschaulicht, in welcher die elektrische Weite des Quantendrahtes für  $V_{bias} = 0$  und  $V_{bias} \gg 0$  ( $V_g = const$ ) dargestellt ist. Im Gegensatz dazu ergibt sich im Bereich des Drain-Reservoirs  $V_{geff,d} = V_d - V_g$ . Somit nimmt  $V_{geff}$  entlang des Drahtes von  $V_g$  hin zu  $V_g - V_d$  ab. Dieser Unterschied in der effektiven Gatespannung beeinflusst die elektrische Weite des Quantendraht-



**Abb. 3.11:** a) Schematische Darstellung der elektrischen Weite des Quantendrahtes für  $V_d = 0$  (gepunktet) und  $V_d \gg 0$  (grau unterlegt) mit  $V_g = \text{const}$ . Die effektive Gatespannung im Bereich des Drain-Reservoirs ( $V_{g,eff,d} = V_g - V_d$ ) und im Source-Gebiet ( $V_{g,eff,s} = V_g$ ) sind durch Pfeile gekennzeichnet. b) Qualitativer Verlauf des Leitungsbandes für  $V_d = 0$  (i),  $V_d > 0$  (ii) und  $V_d \gg 0$  (iii). Für mittlere Vorwärtsspannungen werden heiße Elektronen vom Source-Kontakt in den Drain-Bereich injiziert (ii), andernfalls ist der Quantendraht hochohmig ((i) und (iii)).

tes für große  $V_d$  im Bereich der Einmündung in den Drain-Kontakt auf signifikante Weise, was in Abb. 3.11 schematisch gezeigt ist. Für  $V_{bias} = V_g = 0$  spiegelt die elektrische Weite die Geometrie des Drahtes wider, und weist eine Spiegelsymmetrie bezüglich des Zentrums der Einschnürung auf. Diese Symmetrie wird durch endliche Vorwärtsspannungen gebrochen, da die Gatespannung auf das Potential des Source-Kontakts (Masse) bezogen ist. Positive Drainspannungen führen vergleichbar mit der Ausbildung des Pinch-Off-Punktes bei einem FET (vgl. Abschnitt 2.8) zu einer Verarmung des Drahtes nahe des Drain-Reservoirs, da die effektive Gatespannung  $V_{g,eff,d}$  hier mit steigender Drainspannung abnimmt und für  $V_d > V_g$  negativ wird. Diese Verarmung wirkt sich auf die Position der minimalen elektrischen Weite aus, die sich wie in Abb. 3.11 a) gezeigt in Richtung des Drain-Reservoirs verschiebt.

Eine schematische Darstellung des Leitungsbandverlaufes entlang des Quantendrahtes ist in Abb. 3.11 b) für drei Werte der Spannung  $V_d$  und konstanter Gatespannung  $V_g$  illustriert. Teilbild (i) entspricht dem Verlauf für  $V_d = 0$  und zeigt daher einen bzgl. des Maximums  $E_{c,max} = E_{c0}$  symmetrischen Verlauf des Leitungsbandes. Im dargestellten Fall ist der Quantendraht hochohmig, denn es gilt  $E_{c,max} > \mu_s = \mu_d$  mit den elektrochemischen Potentialen  $\mu_s$  und  $\mu_d$  im Source- bzw. Drain-Reservoir. Für endliche Vorwärtsspannungen (Abb. 3.11 b) (ii)) führt der DIBL zu einer Reduktion von  $E_{c,max}$ , und heiße Elektronen werden aus dem Source-Reservoir in das Drain-Reservoir injiziert, falls  $\mu_s > E_{c,max}$  gilt. Mit steigenden Vorwärtsspannungen  $V_d \gg 0$  (Abb. 3.11 b) (iii)) kommt jedoch der Einfluss der negativen effektiven Gatespannung  $V_{g,eff}$  im Bereich des Drain-Reservoirs zum Tragen, und der DIBL wird von einer Selbstverarmung des Drahtes überlagert. Dies ist mit einem Anstieg des Leitungsbandmaximums  $E_{c,max}$



und einer Verschiebung dessen Position hin zum Drain-Reservoir verbunden.

Eine Berücksichtigung der beschriebenen Mechanismen ermöglicht es, die Abhängigkeit des Potentials  $E_{c,max}$  von der Gatespannung und den Spannungen am Source- bzw. Drain-Reservoir im Rahmen eines phänomenologischen Modells über

$$E_{c,max}(V_g, V_d, V_s) = E_{c0} - e[\eta_{gs}(V_g - V_s) + \eta_{gd}(V_g - V_d) + \sigma(V_d - V_s)], \quad (3.2)$$

zu beschreiben. Die positiv definierten Effektivitäten  $\eta_{gs}$ ,  $\eta_{gd}$  und  $\sigma$  sind ein Maß für den Einfluss der effektiven Gatespannungen  $V_g - V_s$  und  $V_g - V_d$  sowie des DIBL auf die Höhe des Leitungsbandmaximums im Bereich der Einschnürung. Des Weiteren gilt in Source-Schaltung  $V_s = 0$ . Gemäß Gl. (3.2) verringern positive Gatespannungen ( $V_g > 0$ ) aber auch positive Vorwärtsspannungen ( $V_d > 0$ ) das Potential  $E_{c,max}$ . Andererseits wirkt die Selbstverarmung dem DIBL entgegen, was in dem Term  $(V_g - V_d) < 0$  für  $V_d > V_g$  zum Ausdruck kommt. Die Effektivität  $\sigma$  selbst ist wiederum eine Funktion von  $V_d$  [Lee02] und kann über  $\sigma(V_d) = \sigma_a - \sigma_b V_d + \mathcal{O}(V_d^2)$  beschrieben werden. Anschaulich berücksichtigt diese Näherung, dass der 'Hebelarm' des DIBL mit steigendem  $V_d$  abnimmt ( $\sigma_b > 0$ ), da Elektronen aus dem Drain zugewandten Bereich des Drahtes abgezogen werden. Somit kann Gl. (3.2) umgeschrieben werden zu

$$E_{c,max}(V_g, V_d, V_s = 0) = E_{c0} - e[(\eta_{gs} + \eta_{gd})V_g + (\sigma_a - \eta_{gd})V_d - \sigma_b V_d^2]. \quad (3.3)$$

Aus den experimentellen Daten wurde die Schwellenspannung  $V_{th}$  als Funktion der Vorwärtsspannung  $V_{bias}$  extrahiert. Um diese Daten mit dem beschriebenen Modell zu vergleichen, wird die Spannung als Schwellenspannung gewertet, bei der das chemische Potential im Source-Reservoir dem Leitungsbandmaximum energetisch gleicht, d.h.  $E_{c,max}(V_{th}, V_{bias}) = \mu_s$ <sup>4</sup>. Entsprechend Gl. (3.3) ergibt sich also folgender Ausdruck für die Schwellenspannung:

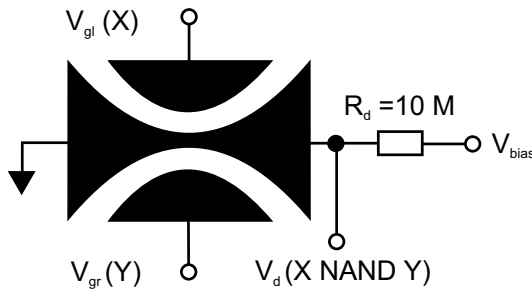
$$V_{th} = (\eta_{gs} + \eta_{gd})^{-1}[(E_{c0} - \mu_s)/e - (\sigma_a - \eta_{gd})V_{bias} + \sigma_b V_{bias}^2]. \quad (3.4)$$

Der in Abb. 3.10 gezeigte experimentelle  $V_{th}(V_{bias})$ -Verlauf kann in guter Übereinstimmung mit einem Polynom zweiten Grades beschrieben werden. Eine Anpassung der experimentellen Daten ergibt die Koeffizienten  $(E_{c0} - \mu_s)/[e(\eta_{gs} + \eta_{gd})] = 0.064$  V,  $(\sigma_a - \eta_{gd})/(\eta_{gs} + \eta_{gd}) = -0.17$  und  $\sigma_b/(\eta_{gs} + \eta_{gd}) = 0.11$  V<sup>-1</sup>, die alle von der Summe  $\eta_{gs} + \eta_{gd}$  der Gate-Effektivitäten abhängen. Diese Effektivitäten wurden über eine Analyse der Transportspektroskopie zu  $\eta_{gs} + \eta_{gd} = 0.22$  abgeschätzt (vgl. Abschnitt 3.1). Für einen symmetrischen Quantendraht ist es naheliegend,  $\eta_{gs} = \eta_{gd} = 0.11$  zu setzen. Dies führt schließlich zu  $E_{c0} - \mu_s = 14$  meV,  $\sigma_a = 0.073$  und  $\sigma_b = 0.024$  V<sup>-1</sup>. Bemerkenswert ist hierbei, dass die Selbstverarmung den DIBL nicht nur kompensiert, sondern im Bereich  $V_{bias} > 1.45$  V, für den  $\eta_{gd} > \sigma_a + \sigma_b V_d$  gilt, auch in  $E_{c,max} > E_{c0}$  resultiert. D.h., das Leitungsbandmaximum  $E_{c,max}$  wird durch Selbstverarmung über den geometrisch bedingten Wert  $E_{c0}$  angehoben.

<sup>4</sup>Im Bereich der Schwellenspannung gilt  $V_d \approx V_{bias}$ .

### 3.3 Der Quantendraht-Transistor als kompaktes NAND-Gatter

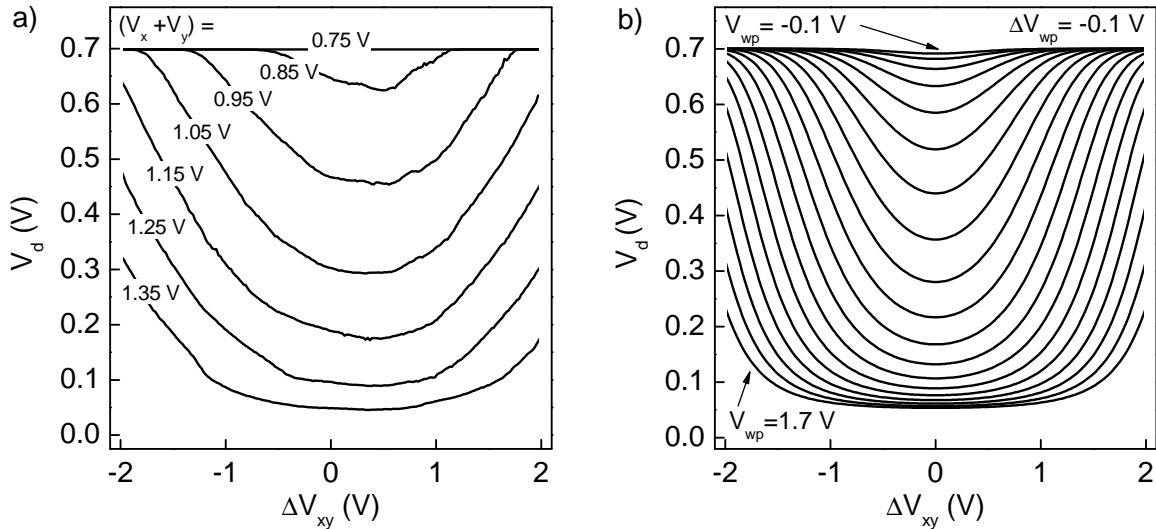
Die logische Funktionalität eines gate-kontrollierten Quantendrahtes beruht auf einer Spannungsabhängigkeit der Gate-Effektivitäten [Rei00]. Diese Spannungsabhängigkeit äußert sich dahingehend, dass die Wirkung der seitlichen Gates mit steigender Gatespannung  $V_g > V_{th}$  abnimmt. Oberhalb der Schwellenspannung erhöht sich der Leitwert des Kanals mit steigender Gatespannung. Dies hat bei symmetrischer Beschaltung der beiden seitlichen Gates in Source-Konfiguration ein invertierendes Verhalten der Ausgangsspannung  $V_d$  bzgl. der Eingangsspannung ( $V_g = V_{gl} = V_{gr}$ ) zur Folge. Verglichen mit dieser Grundkonfiguration führt eine asymmetrische Ansteuerung der seitlichen Gates ( $V_{gl} \neq V_{gr}$ ) zu einer deutlichen Steigerung seiner Funktionalität, da die Ausgangsspannung in diesem Fall maßgeblich durch die geringere Eingangsspannung an den seitlichen Gates bestimmt wird. Dies erlaubt es, einen Quantendraht-Transistor bei asymmetrischer Ansteuerung der Gates als kompaktes NAND-Gatter einzusetzen.



**Abb. 3.12:** Schematische Beschaltung eines Quantendraht-Transistors als NAND-Gatter mit asymmetrischer Ansteuerung der seitlichen Gates ( $V_{gl} \neq V_{gr}$ ).

Die Abhängigkeit der Gate-Effektivität von der Gatespannung macht sich insbesondere bei asymmetrischer Ansteuerung der Gates bemerkbar, und lässt sich über die in Abb. 3.12 schematisch gezeigte Messschaltung in Push-Pull-Konfiguration mit  $\delta V_{gl} = -\delta V_{gr}$  und  $V_{gl} + V_{gr} = const$  nachweisen. Unter der Annahme einer spannungsunabhängigen Gate-Effektivität wäre in Push-Pull-Konfiguration eine konstante Ausgangsspannung  $V_d$  zu erwarten, die zwar von der Summe  $V_{gl} + V_{gr}$  abhängen sollte, nicht aber von der Spannungsdifferenz  $V_{gl} - V_{gr}$ . Tatsächlich ergibt sich ein Verlauf der Drain-Spannung, wie er in Abb. 3.13 a) als Funktion der Gatespannungsdifferenz  $\Delta V_g = V_{gl} - V_{gr}$  für verschiedene Arbeitspunkte und  $V_{bias} = 0.7$  V dargestellt ist. Für  $V_{gl} + V_{gr} = 0.75$  V ist der Quantendraht über den gesamten Bereich der Gatespannung hochohmig. Entgegen der Erwartung für eine spannungsunabhängige Gate-Effektivität verhält sich die experimentell ermittelte Spannung  $V_d$  für einen gegebenen Arbeitspunkt nicht unabhängig von  $\Delta V_g$ , sondern zeigt einen bzgl.  $\Delta V_g = 0.4$  V näherungsweise spiegelsymmetrischen Verlauf mit einem Minimum bei dem Symmetriepunkt<sup>5</sup>. Die Summe der Gatespannungen bestimmt die Grundleitfähigkeit des Quantendrahtes und führt mit steigendem  $V_{gl} + V_{gr}$  zu einer Verschiebung der  $V_d(V_g)$ -Charakteristik hin zu kleineren Spannungen. Ausgehend von dem minimalen Wert steigt  $V_d$  dabei mit zunehmender Spannungsdifferenz an den seitlichen Ga-

<sup>5</sup> $\Delta V_g = 0.4$  V wird auf eine fertigungsbedingte Asymmetrie zurückgeführt.



**Abb. 3.13:** Übertragungskennlinien eines Quantendraht-Transistors in Source-Schaltung gemessen in Push-Pull-Konfiguration mit  $V_{bias} = 0.7 \text{ V}$  und unterschiedlichen, über die Summe der Gatespannungen definierten Arbeitspunkten. Teilbild a) zeigt den experimentell ermittelten Spannungsverlauf während Teilbild b) den für eine spannungsabhängige Gate-Effektivität berechneten Verlauf angibt.

tes zunächst moderat und mit größer werdender Spannungsdifferenz stärker an. Obwohl stets  $V_{gl} + V_{gr} = const$  gilt, nimmt der Leitwert des Quantendrahtes also mit steigender Spannungsdifferenz  $\Delta V_g$  deutlich ab. Abgesehen von der kleinen Verschiebung des Minimums zu positiven  $\Delta V_g$  kann die beobachtete  $V_d(\Delta V_g)$ -Charakteristik nicht über eine Asymmetrie zwischen dem linken und rechten seitlichen Gate erklärt werden. Das näherungsweise spiegel-symmetrische Verhalten zeigt vielmehr, dass die beiden Gates die elektrischen Eigenschaften des Quantendrahtes näherungsweise in gleichem Maße beeinflussen. Der Anstieg von  $V_d$  für  $|\Delta V_g - 0.4 \text{ V}| > 0$  ist daher auf eine Spannungsabhängigkeit der Gate-Effektivitäten zurückzuführen.

Um diese Abhängigkeit theoretisch zu beschreiben, wird ein Ansatz herangezogen, bei dem die Gatespannungen  $V_{gl}$  und  $V_{gr}$  mit den entsprechenden Effektivitäten  $\eta_{gl}$  und  $\eta_{gr}$  den Leitwert des Quantendrahtes  $G_{wire}$  über eine tanh-Funktion kontrollieren:

$$G_{wire} = \frac{1}{2} G_0 [1 + \tanh [\{\eta_l(V_{gl} - V_{th}) + \eta_r(V_{gr} - V_{th})\} / V_{sw}]], \quad (3.5)$$

mit dem maximalen Leitwert des Drahtes  $G_0$ , seiner Schwellenspannung  $V_{th}$  und der Schaltspannung  $V_{sw}$ . Die Invarianz von Gl. (3.5) bzgl. eines Vertauschens von  $V_{gl}$  und  $V_{gr}$  spiegelt klar die Symmetrie des  $V_d(\Delta V_g)$ -Verlaufes für den idealen Fall  $\eta_l = \eta_r$  wider. Die Spannungsabhängigkeit der Gate-Effektivitäten kann auf die mesoskopische Kapazität des Quantendrahtes zurückgeführt werden, welche in nanometrischen Strukturen eine dominierende Rolle

spielt [Chr96] (vgl. Kap. 2.3). So sind mesoskopische Leiter durch eine nichtlineare Spannungsabhängigkeit der elektrochemischen Kapazität  $C$  gekennzeichnet. Im Rahmen einer Hartree-Theory konnte gezeigt werden, dass sich  $C$  in guter Näherung gemäß  $C \propto \Delta V^{-1}$  invers proportional zur Spannungsdifferenz  $\Delta V$  zwischen den Elektroden verhält [Wan99]. Daher wird die Gate-Effektivität, die wiederum proportional zur Kapazität zwischen dem Gate und dem Kanal ist, über folgende Beziehung ausgedrückt:

$$\eta_{l,r} = \eta_{l,r}^* / (V_{gl,r} - V_{lim}), \quad (3.6)$$

mit dem Fit-Parameter  $V_{lim} < V_{th}$ . Gemäß Gl. (3.5) ist die Gate-Effektivität spannungsabhängig und wird umso größer, je kleiner die Differenz  $V_{gl,r} - V_{lim}$  ausfällt. Die Ausgangsspannung  $V_d$  ergibt sich schließlich über einen einfachen Spannungsteileransatz zu

$$V_d = V_{bias} / (1 + RG_{wire}). \quad (3.7)$$

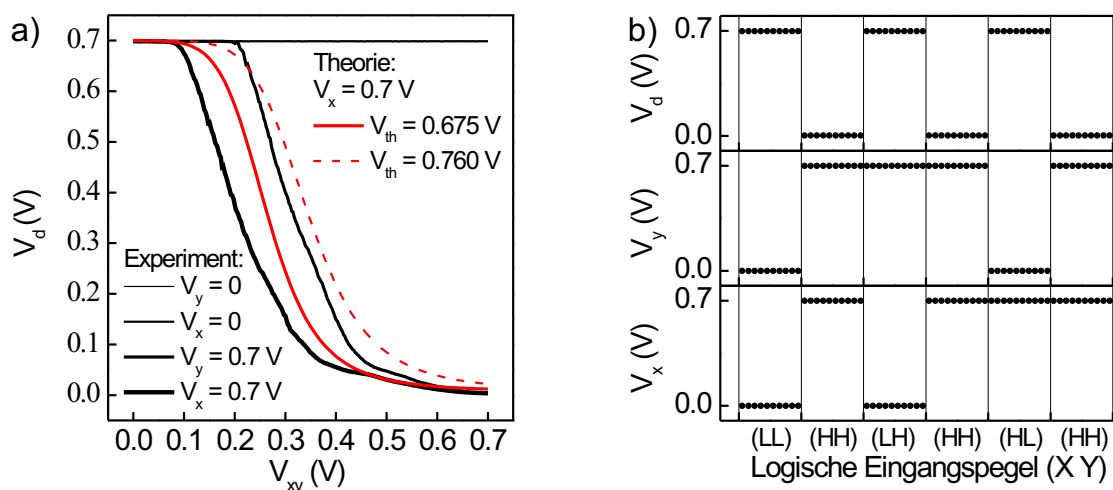
Die Gleichungen (3.5) bis (3.7) erlauben es nun, die Übertragungskennlinie eines Quantendraht-Transistors in Push-Pull-Konfiguration zu modellieren. Dies wurde für verschiedene Arbeitspunkte  $-0.1 \text{ V} < V_{wp} = V_{gl} + V_{gr} < 1.7 \text{ V}$  unter Verwendung der Parameter  $RG_0 = 15$ ,  $\eta_l^*/V_{sw} = \eta_r^*/V_{sw} = 3.3 \text{ V}^{-1}$ ,  $V_{th} = 0.625 \text{ V}$ ,  $V_{lim} = -1.3 \text{ V}$  und  $V_{bias} = 0.7 \text{ V}$  durchgeführt. In Abb. 3.13 b) sind die entsprechenden  $V_d(\Delta V_g)$ -Verläufe dargestellt. Die berechneten Kurven stimmen (qualitativ) mit dem experimentell ermittelten Verhalten des Quantendraht-Transistors (vgl. Abb. 3.13 a)) gut überein: Bei  $\Delta V_g = 0$  bildet sich für alle Werte von  $V_{wp}$  ein Minimum aus, dessen Lage sich mit steigendem  $V_{wp}$  hin zu kleineren Spannungen verschiebt. Weiterhin zeigen die Kurven erwartungsgemäß ein spiegelsymmetrisches Verhalten bzgl.  $\Delta V_g = 0$ , wobei  $V_d$  in einer für die spannungsabhängige Gate-Effektivität charakteristischen Weise mit größer werdendem  $\Delta V_g > 0$  deutlich ansteigt.

Die gezeigte Spannungsabhängigkeit der Gate-Effektivitäten erlaubt es, einen entsprechenden Quantendraht-Transistor als kompaktes NAND-Gatter einzusetzen, dessen Wahrheitstabelle in Tabelle 3.1 angegeben ist. Ein logisches NAND-Gatter ist dadurch gekennzeichnet, dass das binäre Ausgangssignal  $C = X \text{ NAND } Y$  H-Signal führt, falls mindestens an einem der beiden Eingänge L-Signal anliegt. Ein über seitliche Gates kontrollierter Quantendraht-Transistor in Source-Schaltung erfüllt intrinsisch diese Bedingung, da dessen Leitwert im Wesentlichen von der negativeren der beiden Gatespannungen bestimmt wird.

Um die prognostizierte logische NAND-Funktionalität zu demonstrieren, wurde zunächst die Übertragungskennlinie  $V_d(V_x, V_y)$  des Transistors bei einer asymmetrischen Ansteuerung der Gates aufgenommen. Die entsprechenden Messkurven sind in Abb. 3.14 a) dargestellt. Die Übertragungskennlinien wurden jeweils unter Variation einer Gatespannung bei konstanter Spannung am zweiten Gate aufgenommen. Aus den Messdaten ist ersichtlich, dass das Ausgangssignal unabhängig von der variierten Spannung an einem seitlichen Gate H-Pegel führt ( $V_d = 0.7 \text{ V}$ ), falls an dem anderen Gate L-Signal ( $V_{x,y} = 0$ ) anliegt. Demgegenüber ergibt sich ein invertierender Verlauf der Übertragungskennlinie, falls die konstant gehaltene Gatespannung dem H-Signal entspricht. Beispielsweise kann ein invertierendes Verhalten für  $V_y = 0.7 \text{ V}$

X	Y	C = X NAND Y
H	H	L
H	L	H
L	H	H
L	L	H

**Tab. 3.1:** Wahrheitstabelle eines NAND-Gatters mit den Eingängen  $X$  und  $Y$  sowie dem Ausgang  $C$ .



**Abb. 3.14:** a) Übertragungskennlinien eines Quantendraht-Transistors bei asymmetrischer Ansteuerung der seitlichen Gates. b) Demonstration der NAND-Funktionalität eines Quantendraht-Transistors.

und einer Variation von  $V_x$  zwischen 0 und 0.7 V beobachtet werden. Ein analoges Verhalten ergibt sich für  $V_x = 0.7$  V unter Variation von  $V_y$ . Hinsichtlich der logischen Funktionalität bedeutet dies, dass  $V_d$  nur dann dem logischen Wert L zugeordnet werden kann, falls beide Eingänge H-Signal führen. Das invertierende Verhalten ist in beiden Fällen mit  $V_y = 0.7$  V und einer Variation von  $V_x$  bzw. mit  $V_x = 0.7$  V und einer Variation von  $V_y$  mit einer Spannungsverstärkung verbunden, was die Kaskadierung mehrerer Gatter zu komplexen Schaltungen erlaubt. Die experimentellen Werte der maximalen differentiellen Verstärkung betragen hierbei  $g_{max,Y=H} = dV_d/dV_x|_{V_y=0.7\text{ V}} = -3.75$  bzw.  $g_{max,X=H} = dV_d/dV_y|_{V_x=0.7\text{ V}} = -3.41$ . Die leichte bereits in Push-Pull-Konfiguration identifizierte Spannungsabhängigkeit der Gate-Effektivitäten macht sich auch in der Übertragungskennlinie in Form unterschiedlicher Schwellenspannungen des Quantendrahts bzgl. des linken ( $V_{th,Y=H}$ ) und rechten ( $V_{th,X=H}$ ) seitlichen Gates bemerkbar, wobei  $V_{th,Y=H} > V_{th,X=H}$  gilt.

Neben den experimentellen Übertragungskennlinien wurde das  $V_d(V_x, V_y)$ -Verhalten mit-

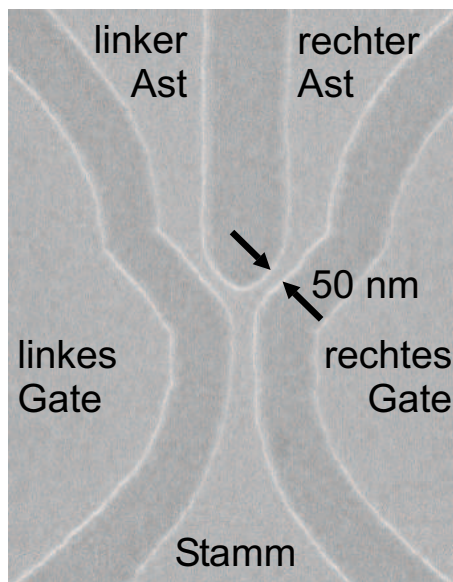
tels des oben eingeführten Formalismus als Funktion von  $V_y$  für  $V_x = 0.7$  V und den Schwellenspannungen  $V_{th} = 0.675$  V und  $V_{th} = 0.760$  V berechnet. Als Parameter dienten dabei  $RG_0 = 100$ ,  $\eta_l^*/V_s = \eta_r^*/V_s = 3.3$  V<sup>-1</sup>,  $V_{wp} = 1.9$  V,  $V_{lim} = -0.3$  V und  $V_{bias} = 0.7$  V. Während die Kurve für  $V_{th} = 0.675$  V etwa dem Mittel der experimentellen Verläufe entspricht, stellt die mit  $V_{th} = 0.760$  V assoziierte Kurve den bei gegebener Spannungsverstärkung optimalen Verlauf der Übertragungskennlinie hinsichtlich einer potentiellen Kaskadierung dar. Für  $V_{th} = 0.760$  V gilt nämlich  $V_d(V_x = 0.7$  V,  $V_y = 0.35$  V) =  $0.35$  V =  $V_{bias}/2$ , d.h., Eingangsspannungen  $V_y > 0.35$  V ( $V_y < 0.35$  V) werden tendenziell in höhere (niedrigere) Spannungen transformiert, was die Signalrestauration begünstigt.

Neben den Übertragungskennlinien des Quantendraht-Transistors bei asymmetrischer Ansteuerung der Gates wurde  $V_d$  auch als Funktion aller Kombinationen der logischen Eingangsspiegel aufgenommen, um die Wahrheitstabelle 3.1 in kompakter Form zu verifizieren. Abb. 3.14 b) zeigt sowohl den entsprechenden Verlauf des Ausgangssignals ( $V_d$ ) als auch der beiden Eingangssignale ( $V_x$  und  $V_y$ ) als Funktion der logischen Eingangsspiegel. Ordnet man einer Spannung  $V_{sig}$  den logischen Wert L (H) für  $V_{x,y} < 0.1$  V ( $V_{x,y} > 0.6$  V) zu, so erfüllt der untersuchte Transistor die Funktionalität eines NAND-Gatters. Durch die elektrisch induzierte Gate-Asymmetrie genügt es, lediglich eines der beiden Gates negativ zu beschalten, um den Quantendraht zu verarmen, d.h. H-Pegel am Ausgang zu erlangen. Eine negative Beschaltung beider Gates führt ebenfalls zu einer Verarmung des Quantendrahtes, während H-Pegel an beiden Eingängen in L-Pegel am Ausgang resultiert.

# Kapitel 4

## Verstärkendes Verhalten Y-förmiger Verzweigungen

Die Realisierung nanoelektronischer Verstärker ist essentiell für den Erfolg einer zukünftigen Nanoelektronik. In diesem Zusammenhang wird nun das Potential eines Y-Transistors als verstärkendes nanoelektronisches Bauteil vorgestellt. Hierbei erweist sich die Aufspaltung des Kanals in die beiden Äste als effizientes Mittel, um die Verstärkungseigenschaften eines Nanotransistors zu verbessern. Neben dem Einsatz des Y-Transistors als Differenzverstärker und bistabiler Schalter wird ein hoch effizienter interner Gatemechanismus vorgestellt, der es erlaubt, die für einen herkömmlichen FET gültige minimale Schaltspannung von  $k_B T/e$  zu unterschreiten.



**Abb. 4.1:** Elektronenmikroskopische Aufnahme eines Y-Transistors. Die Y-förmige Verzweigung mit einer Breite der Äste von lediglich 50 nm ist über 180 nm breite und 90 nm tiefe nasschemisch geätzte Gräben von den seitlichen Gates elektrisch isoliert.

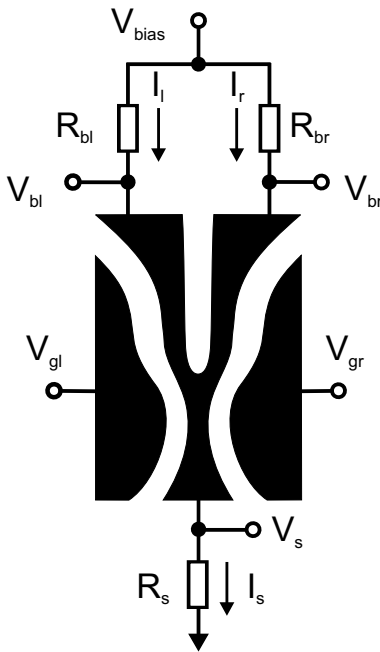
Die zu untersuchenden Y-Transistoren basieren wiederum auf dem zweidimensionalen Elektronengas modulationsdotierter GaAs/AlGaAs-Heterostrukturen und wurden mittels Elektronenstrahl-Lithographie und nasschemischen Ätztechniken hergestellt. Eine elektronenmikroskopische Aufnahme eines Y-Transistors ist in Abb. 4.1 dargestellt. Ausgehend von dem 1D-Stamm

spaltet sich der leitende Kanal entlang des Verzweigungsbereichs in den linken und rechten Ast mit einer Breite von lediglich 50 nm auf. Die Verzweigung ist durch 90 nm tiefe und 180 nm breite geätzte Gräben von dem linken bzw. rechten seitlichen Gate elektrisch isoliert. Im Rahmen der vorliegenden Arbeit wurden Y-Transistoren im Temperaturbereich zwischen  $T = 4.2$  K und Raumtemperatur in einer Reihe von Konfigurationen der äußeren Beschaltung und für Vorwärtsspannungen bis hin zu einigen Volt untersucht.

## 4.1 Der Y-Transistor als Differenzverstärker

### 4.1.1 Spannungsverstärkung und selbstinduziertes Schalten

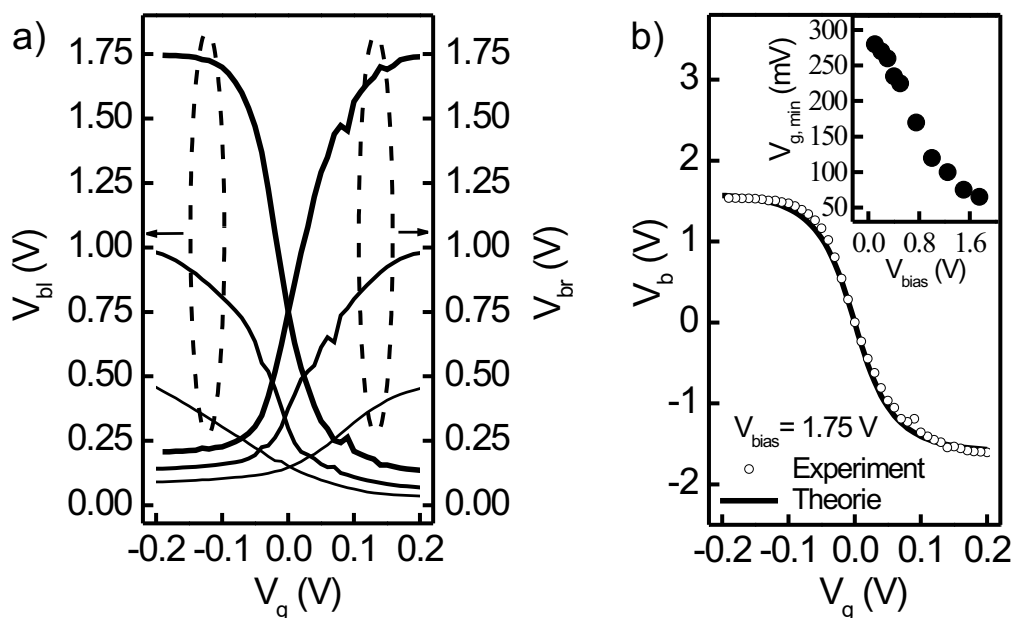
Ein Y-Transistor kann mittels einer externen Beschaltung, die schematisch in Abb. 4.2 gezeigt ist, als Differenzverstärker eingesetzt werden. In dieser Konfiguration wird die Vorwärtsspannung  $V_{bias}$  über serielle Widerstände  $R_{bl} = R_{br} = 10$  M $\Omega$  an die Äste des Y-Transistors angelegt. Der Stamm ist über einen Widerstand  $R_s = 120$  k $\Omega$  mit der Masse des Messaufbaus verbunden. Spannungsmessgeräte mit einem hohen Eingangswiderstand  $R_{in} > 10$  G $\Omega$  erlauben es, die Spannungen  $V_{bl}$  und  $V_{br}$  am Reservoir des linken bzw. rechten Astes zu detektieren. Die Messungen wurden im Heliumbad bei  $T = 4.2$  K durchgeführt. Im Folgenden wird gezeigt, dass sich die Schalteffizienz eines Differenzverstärkers auf der Basis eines Y-Transistors mit der Spannungsdifferenz zwischen dessen Ästen erhöht, was mit selbstinduziertem Schalten in Verbindung gebracht wird.



**Abb. 4.2:** Schematische Darstellung zur Anwendung des Y-Transistors als Differenzverstärker. Eine kleine Spannungsdifferenz zwischen den seitlichen Gates  $\Delta V_{gate} = V_{gl} - V_{gr}$  wird in eine größere Spannungsdifferenz zwischen den Ästen  $\Delta V_b = V_{bl} - V_{br}$  verstärkt.

Ein Differenzverstärker verstärkt eine Spannungsdifferenz  $\Delta V_{in}$  am Eingang in eine größere Spannungsdifferenz  $|\Delta V_{out}| > |\Delta V_{in}|$  an seinem Ausgang. Im Falle des Y-Transistors entspricht  $\Delta V_{in}$  der Spannungsdifferenz zwischen den seitlichen Gates, während  $\Delta V_{out}$  der





**Abb. 4.3:** Y-Transistor als Differenzverstärker. a) Spannung  $V_{bl,r}$  am linken bzw. rechten Ast über der Spannungsdifferenz  $\Delta V_g = V_{gl} - V_{gr} + V_{g,asym}$  an den Gates. b) Experimenteller und berechneter Verlauf der Spannungsdifferenz zwischen den Ästen ( $\Delta V_b = V_{bl} - V_{br}$ ) als Funktion der Spannungsdifferenz an den Gates für  $V_{bias} = 1.50$  V. Teilbild: Abhängigkeit der Schalteffizienz von der Vorwärtsspannung. Als qualitatives Maß für die Schalteffizienz ist die für ein Schalten von  $\Delta V_b = 0.5 V_{bias}$  hin zu  $\Delta V_b = -0.5 V_{bias}$  erforderliche Differenz der Gatespannungen  $\Delta V_{g,min}$  als Funktion von  $V_{bias}$  aufgetragen.

Spannungsdifferenz zwischen den Ästen zugeordnet wird. Zur Analyse der Differenzverstärkung eines Y-Transistors wurden daher die Spannungen  $V_{bl}$ ,  $V_{br}$  sowie  $V_s$  als Funktion der in Push-Pull-Konfiguration variierten Spannungsdifferenz zwischen den Gates aufgezeichnet<sup>1</sup>. In Abb. 4.3 a) sind die Ausgangsspannungen  $V_{bl}$  und  $V_{br}$  für drei Vorwärtsspannungen über  $\Delta V_g = V_{gl} - V_{gr} + V_{g,asym}$  aufgetragen<sup>2</sup>. Für  $\Delta V_g < -0.2$  V und  $V_{bias} = 1.75$  V werden die vom Stamm in den Verzweigungsbereich injizierten Elektronen vorzugsweise in den rechten Ast gelenkt. Der entsprechende Stromfluss führt gemäß  $V_{br} = V_{bias} - I_r R_b$  zu einer

<sup>1</sup>Die Spannung  $V_s$  erlaubt es, die sich aus der Stromerhaltung und für verschwindend kleine Leckströme zwischen den seitlichen Gates und der Y-förmigen Verzweigung ergebende Beziehung  $I_l + I_r + I_s = 0$  zu verifizieren. Die angegebene Beziehung war im Rahmen der Messgenauigkeit für alle angelegten Gatespannungen erfüllt, so dass ein unerwünschter Einfluss von Leckströmen auf die Verstärkungscharakteristik des Y-Transistors ausgeschlossen werden kann.

<sup>2</sup>Aus Gründen der Übersichtlichkeit wurde die Differenz der Gatespannungen um den Wert  $V_{g,asym} = -0.38$  V verschoben, der auf eine unbeabsichtigte elektrische Asymmetrie der Verzweigung zurückzuführen ist.

geringen Spannung am rechten Ast. Im Gegensatz dazu gilt für die Spannung am linken Ast  $V_{bl} = V_{bias} - I_l R_b \approx V_{bias}$ , da der Strom  $I_l$  im linken Ast als vernachlässigbar klein betrachtet werden kann. Mit steigendem  $\Delta V_g$  werden die injizierten Elektronen mehr und mehr in den linken Ast gelenkt. Für  $\Delta V_g > 0.2$  V haben sich die anfänglichen Verhältnisse umgekehrt, d.h.,  $V_{br} \approx V_{bias}$  und  $V_{bl} \rightarrow 0$ . Abbildung 4.3 a) zeigt, dass ein vergleichbares Schaltverhalten auch für Vorwärtsspannungen von  $V_{bias} = 1.00$  V und  $0.50$  V vorliegt. Jedoch gewinnt die Differenzverstärkung für wachsende Vorwärtsspannungen offenbar an Stärke, was durch steilere  $V_{bl,r}(\Delta V_g)$ -Verläufe zum Ausdruck kommt.

Die in Abb. 4.3 a) gewählte Darstellung der Ausgangsspannungen demonstriert, dass ein Y-Transistor in der gewählten Konfiguration Differenzverstärkung aufweist. Diese Eigenschaft kommt in Abb. 4.3 b) durch eine Auftragung der Spannungsdifferenz  $\Delta V_b = V_{bl} - V_{br}$  über  $\Delta V_g$  für  $V_{bias} = 1.75$  V deutlicher zum Ausdruck. Beispielsweise resultiert eine Variation der Gatespannungen von  $\Delta V_g = -0.1$  V hin zu  $0.1$  V in einer Änderung der Ausgangsspannung  $\Delta V_b$  um mehr als zwei Volt. Um die Vermutung einer spannungsabhängigen Effizienz der Differenzverstärkung zu untermauern, wurde im Teilbild der Abb. 4.3 b) die für ein Schalten von  $\Delta V_b$  zwischen  $0.5 V_{bias}$  und  $-0.5 V_{bias}$  erforderliche Änderung der Eingangsspannung  $V_{g,min}$  als ein qualitatives Maß für die Effizienz über  $V_{bias}$  aufgetragen. Eine kleine Spannung  $V_{g,min}$  kennzeichnet dabei eine hohe Effizienz der Verstärkung. Somit spiegelt der monoton fallende  $V_{g,min}(V_{bias})$ -Verlauf deutlich den Anstieg der Schalteffizienz mit steigender Vorwärtsspannung wider. Beispielsweise ist für  $V_{bias} = 1.75$  V lediglich eine Spannungsänderung  $V_{g,min} = 65$  mV für die vorgegebene Änderung des Ausgangssignals von  $1.75$  V erforderlich, wohingegen im Falle von  $V_{bias} = 0.5$  V eine Spannung von  $V_{g,min} = 225$  mV benötigt wird.

Zur theoretischen Analyse der Schalteffizienz werden zwei Parameter  $\gamma_l$  und  $\gamma_r$  eingeführt, um den Leitwert des linken und rechten Astes gemäß

$$G_l = G_{max} \frac{1 + \gamma_l}{2} \quad (4.1a)$$

und

$$G_r = G_{max} \frac{1 - \gamma_r}{2} \quad (4.1b)$$

zu berechnen. Die Konstante  $G_{max}$  gibt den maximalen Leitwert zwischen dem Stamm und einem der Äste für einen gegebenen Arbeitspunkt an. Im Rahmen der weiteren Analyse wird die Abhängigkeit der Schalteffizienz von der Vorwärtsspannung, welche die maximal erreichbare Spannungsdifferenz  $\Delta V_b$  vorgibt, untersucht. Hierbei bietet es sich an, formal den in Abschnitt 2.5 vorgestellten Ansatz heranzuziehen, der sowohl den Einfluss der seitlichen Gates als auch den Einfluss von Spannungsdifferenzen zwischen den Ästen auf das Schaltverhalten berücksichtigt. Eine gute Anpassung der experimentellen Daten gelingt über die folgenden, im Vergleich zu Gl. (2.13) leicht modifizierten Beziehungen für die Schaltparameter:

$$\gamma_l = \tanh \left\{ \frac{\eta_g(\Delta V_g - V_{wp}) + \eta_b \Delta V_b}{V_{sw}} \right\} \quad (4.2a)$$

und

$$\gamma_r = \tanh \left\{ \frac{\eta_g(\Delta V_g + V_{wp}) + \eta_b \Delta V_b}{V_{sw}} \right\}, \quad (4.2b)$$

mit den Gate-Effektivitäten der seitlichen Gates ( $\eta_g$ ) bzw. der Äste ( $\eta_b$ ). Die beiden Schaltparameter unterscheiden sich von dem in Abschnitt 2.5 definierten Parameter lediglich durch die Spannung  $V_{wp}$ , um welche die Gate-Spannungsdifferenzen verschoben sind.  $V_{wp}$  legt hierbei den Arbeitspunkt des Y-Transistors fest, der in Push-Pull-Konfiguration über die Summe der Gatespannungen  $V_{wp} = V_{gl} + V_{gr}$  eingestellt wird. Beispielsweise verschiebt sich der Kreuzungspunkt  $V_{bl} = V_{br}$  mit steigendem  $V_{wp}$  hin zu kleineren Werten von  $V_b$ , da der Gesamtleitwert des Y-Transistors ansteigt.

Die Ströme im linken und rechten Ast ergeben sich unter Berücksichtigung der Schaltparameter zu

$$I_l = \frac{1}{2} G (1 + \gamma_l)(V_{bl} - V_s) \quad (4.3a)$$

und

$$I_r = \frac{1}{2} G (1 - \gamma_r)(V_{br} - V_s). \quad (4.3b)$$

Weiterhin gilt für die Spannung am Stamm die Beziehung  $V_s = (I_l + I_r)/R_s$  mit  $I_{l,r} = (V_{bias} - V_{bl,r})/R_b$ , so dass die Gleichungen (4.3) in die folgende Form umgeschrieben werden können:

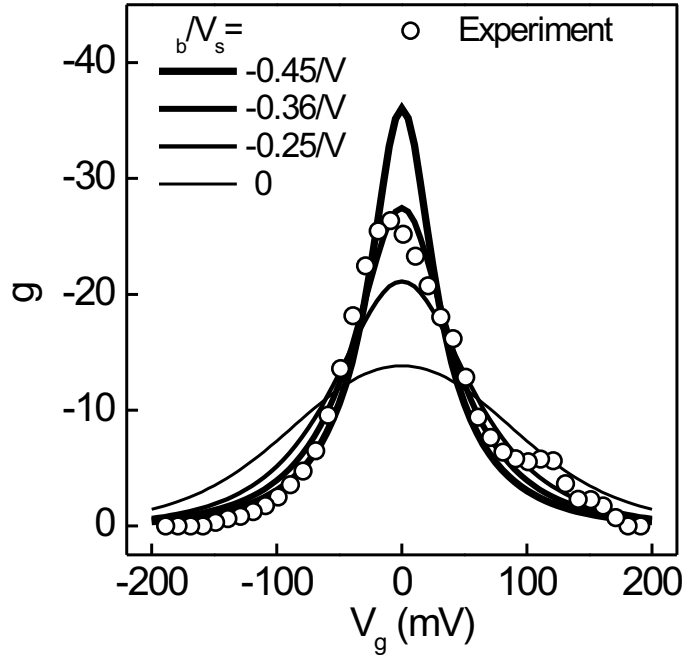
$$(V_{bias} - V_{bl})/R_b = G \frac{1 + \gamma_l}{2} \left\{ V_{bl} - (2V_{bias} - V_{bl} - V_{br}) \frac{R_s}{R_b} \right\} \quad (4.4a)$$

und

$$(V_{bias} - V_{br})/R_b = G \frac{1 - \gamma_r}{2} \left\{ V_{br} - (2V_{bias} - V_{bl} - V_{br}) \frac{R_s}{R_b} \right\}. \quad (4.4b)$$

Diese gekoppelten Gleichungen wurden numerisch unter einer Variation der Fit-Parameter  $\eta_g/V_{sw}$ ,  $\eta_b/V_{sw}$  und  $V_{wp}$  gelöst, um die experimentelle Übertragungskennlinie  $\Delta V_b(\Delta V_g)$  des Differenzverstärkers zu beschreiben. Die beste Anpassung der experimentellen Daten ergab sich für  $\eta_g/V_{sw} = 10.0/\text{V}$ ,  $\eta_b/V_{sw} = -0.36/\text{V}$ ,  $G = 1.16 \times 10^{-6} \text{ 1}/\Omega$  und  $V_{wp} = 0.1 \text{ V}$ . Die mit einer endlichen aber negativen Effektivität  $\eta_b/V_{sw} = -0.36/\text{V}$  berechnete Übertragungskennlinie ist in Abb. 4.3 b) für  $V_{bias} = 1.75 \text{ V}$  dargestellt und beschreibt den experimentell beobachteten Verlauf sehr gut. Dies deutet darauf hin, dass eine Spannungsdifferenz zwischen den Ästen tatsächlich die Effizienz der Differenzverstärkung beeinflusst.

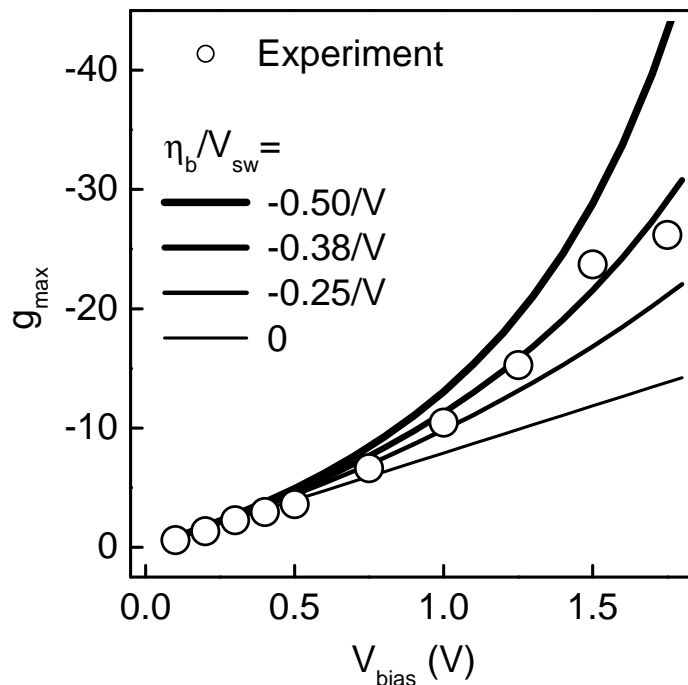
Um die Abhängigkeit der Schalteffizienz von der Vorwärtsspannung quantitativ zu untersuchen, wurde die differentielle Spannungsverstärkung  $g = d(\Delta V_b)/d(\Delta V_g)$  herangezogen, deren Verlauf in Abb. 4.4 über  $\Delta V_g$  aufgetragen ist. Neben den experimentellen Daten sind in der Abbildung auch Verläufe dargestellt, die für verschiedene Gate-Effektivitäten  $\eta_b/V_{sw} = 0, -0.25/\text{V}, -0.36/\text{V}, -0.45/\text{V}$  und die oben genannten Parameterwerte berechnet wurden.



**Abb. 4.4:** Differentielle Spannungsverstärkung  $g$  als Funktion der Spannungsdifferenz an den seitlichen Gates  $\Delta V_g$ . Die Kurven wurden für Gate-Effektivitäten zwischen  $\eta_b/V_{sw} = 0$  (keine kapazitive Kopplung der Äste) und  $\eta_b/V_s = -0.45/V$  berechnet.

Der Betrag der differentiellen Spannungsverstärkung  $|g|$  steigt in Übereinstimmung mit den experimentellen Daten mit abnehmendem  $|\Delta V_g|$  an, so dass sich ein ausgeprägtes Verstärkungsmaximum bei  $\Delta V_g = 0$  ausbildet. Der Y-Transistor ist durch eine maximale Spannungsverstärkung von  $g_{max} = -26.3$  für  $V_{bias} = 1.75$  V charakterisiert, während das eingeführte Modell für  $\eta_b/V_{sw} = 0$  eine maximale Verstärkung von lediglich  $-13.7$  voraussagt. Die Anpassung der experimentellen Daten mit einer Effektivität von  $\eta_b/V_{sw} = -0.36/V$  führt für ein gegebenes  $\eta_g$  hingegen zu einer Verdopplung der maximalen Verstärkung auf  $g_{max} = -27.4$  für  $V_{bias} = 1.75$  V.

Die kapazitive Kopplung der Äste erhöht die Effizienz der Differenzverstärkung insbesondere für hohe Vorwärtsspannungen. Um dies auch theoretisch zu analysieren, wurde die maximale differentielle Verstärkung für vier unterschiedliche Kopplungsstärken als Funktion der Vorwärtsspannung berechnet und mit den experimentellen Daten verglichen. In Abb. (4.5) ist der Verlauf der maximalen Verstärkung  $g_{max}$  als Funktion der Vorwärtsspannung dargestellt. Für Vorwärtsspannungen bis zu  $0.5$  V steigt  $g_{max}$  nahezu linear mit  $V_{bias}$  an. Im Gegensatz dazu ergibt sich für  $V_{bias} > 0.5$  V ein super-lineares Anwachsen der Verstärkung mit der Vorwärtsspannung, was den positiven und signifikanten Einfluss der intrinsischen Kopplung auf die



**Abb. 4.5:** Maximale differentielle Spannungsverstärkung  $g_{max}$  als Funktion der Vorwärtsspannung  $V_{bias}$ . Die experimentellen Daten ( $\circ$ ) sind gemeinsam mit Kurven dargestellt, die für unterschiedliche Gate-Effektivitäten  $\eta_b/V_{sw}$  berechnet wurden. Für  $\eta_b/V_{sw} = 0$  steigt  $g_{max}$  linear mit der Vorwärtsspannung. Demgegenüber wird in Übereinstimmung mit den experimentellen Daten ein nichtlineares Verhalten für eine endliche Effizienz des selbstinduzierten Schaltens ( $\eta_b/V_{sw} < 0$ ) vorausgesagt.

Effizienz des Y-Transistors vor allem im stark nichtlinearen Transportregime demonstriert.

Es ist interessant, die beobachtete super-lineare  $g_{max}(V_{bias})$ -Charakteristik mit dem in Abschnitt 2.5 eingeführten Prinzip des selbstinduzierten Schaltens zu vergleichen. Wesström untersuchte theoretisch den Einfluss von Differenzen zwischen den elektrochemischen Potentialen in den Ästen und den damit verbundenen Raumladungen auf das effektive laterale Schaltfeld im Verzweigungsbereich eines Y-Transistors. In seinen Betrachtungen berücksichtigte er endliche Zustandsdichten im Bereich der Äste und gelang zu der Abschätzung, dass durch Potentialdifferenzen zwischen den Ästen induzierte elektrische Felder das laterale Schaltfeld der seitlichen Gates übersteigen und somit maßgeblich die Schalteigenschaften eines Y-Transistors bestimmen sollten. Im Speziellen wurde ein positives Vorzeichen für die Effizienz des selbstinduzierten Schaltens  $\eta_b$  vorausgesagt.

Die im Rahmen dieser Arbeit gewonnenen experimentellen Ergebnisse bestätigen die theoretische Voraussage Wesströms insofern, dass Spannungsdifferenzen zwischen den Ästen das

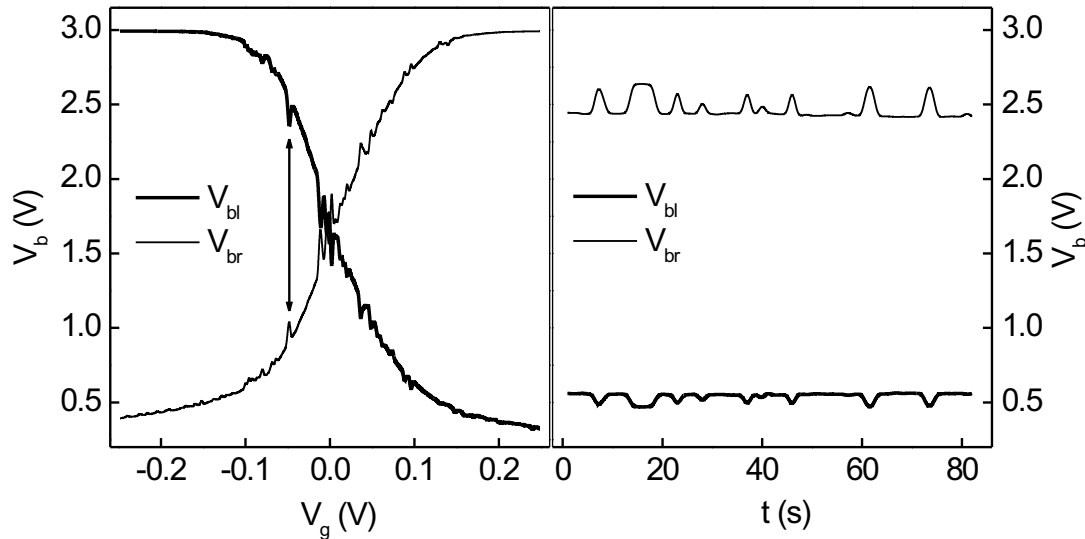
Schaltverhalten des Y-Transistors (positiv) beeinflussen. Im Gegensatz zu den theoretischen Voraussagen ergibt die Auswertung der Messdaten jedoch ein negatives Vorzeichen von  $\eta_b$ . In der gewählten Messkonfiguration würde eine positive Effizienz  $\eta_b$  vielmehr dem Einfluss der seitlichen Gates entgegenwirken und daher zu einer Abschwächung der Verstärkung führen. Tatsächlich lassen sich die vorliegenden Untersuchungen dahingehend interpretieren, dass Spannungsdifferenzen zwischen den Ästen das effektive Schaltfeld nicht über eine Differenz der elektrostatischen Potentiale nahe des Verzweigungsbereichs, sondern über eine Gate-Wirkung beeinflussen, die mit jener der seitlichen Gates vergleichbar ist: Es ist naheliegend, diesen Einfluss, der sich dahingehend äußert, dass positivere Spannungen an einem Ast den Leitwert des zweiten Astes erhöhen und somit die Spannungsdifferenz weiter ansteigen lassen, durch eine kapazitive Kopplung zwischen den beiden Ästen zu erklären. Diese kommt in der vorliegenden Konfiguration durch ein negatives Vorzeichen der Effizienz  $\eta_b$  zum Ausdruck.

#### 4.1.2 Korrelations- und Rauschcharakteristik

Die verstärkenden Eigenschaften des Y-Transistors beruhen in der gewählten Messkonfiguration (vgl. Abb. 4.2) auf einer Ablenkung der vom Stamm injizierten Elektronen in einen der beiden Äste. Dies wird durch eine geeignete Spannungsdifferenz an den seitlichen Gates ausgelöst und über die Kopplung der Äste in Form des selbstinduzierten Schaltens unterstützt. Neben den gezielten, über die Gatespannungen initiierten Variationen des elektrostatischen Potentialverlaufs im Bereich der Verzweigung tragen jedoch auch lokale, mit statistischem Charakter behaftete Fluktuationen der Ladungsträgerkonfiguration zu Änderungen der Ausgangsspannungen  $V_{bl}$  und  $V_{br}$  bei. Nähere Untersuchungen zeigen, dass ein Y-Transistor in diesem Zusammenhang sowohl als Sonde als auch als Verstärker für lokale elektrische Fluktuationen zum Einsatz kommen kann.

Die Rauschcharakteristik wurde in Push-Pull-Konfiguration untersucht. Abb. 4.6 (linkes Teilbild) zeigt die entsprechenden Ausgangsspannungen als Funktion der Spannungsdifferenz  $\Delta V_g = \Delta V_{gate} + V_{asym}$  für  $V_{bias} = 3.0$  V und  $V_{asym} = 0.244$  V. Wiederum zeichnet sich der Y-Transistor durch eine hohe Spannungsverstärkung aus. So wird beispielsweise eine Spannungsdifferenz  $\Delta V_g$  von lediglich 0.1 V in eine Spannungsdifferenz an den Ästen von  $|V_{bl} - V_{br}| > 2.0$  V verstärkt. Neben dem ausgeprägten Verstärkungsverhalten des Y-Transistors sind deutlich Fluktuationen der Ausgangsspannungen erkennbar. Als Besonderheit weisen die Fluktuationen einen gegenphasigen Charakter bezüglich der Spannungsänderung am linken und rechten Ast auf, was im linken Teilbild der Abb. 4.6 exemplarisch für  $\Delta V_g = -48$  mV gekennzeichnet ist. Bei dieser Eingangsspannung ist die Abnahme von  $V_{bl}$  mit einem Anstieg von  $V_{br}$  verbunden.

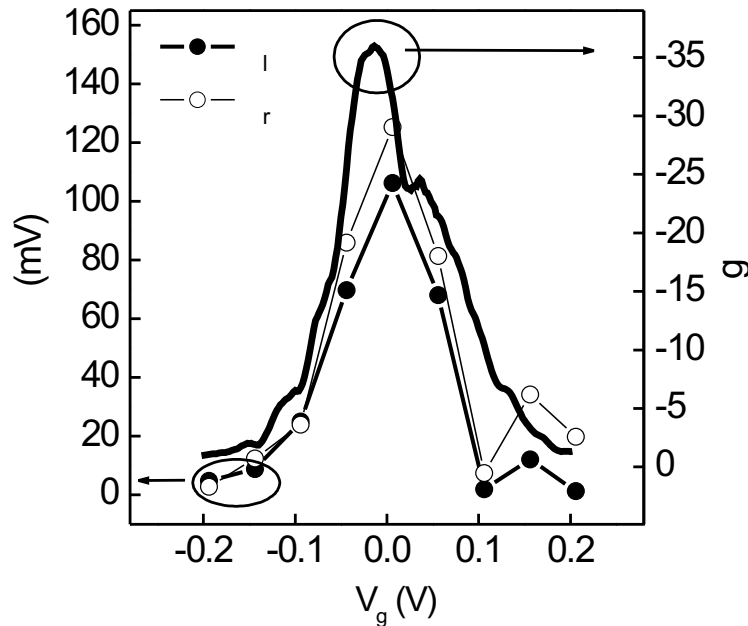
Um die Spannungsfluktuationen näher zu untersuchen, wurden im Rahmen zeitaufgelöster Messungen  $V_{bl}$  und  $V_{br}$  für unterschiedliche Spannungsdifferenzen  $\Delta V_g$  als Messparameter aufgenommen. Für  $\Delta V_g = 110$  mV ergab sich das im rechten Teilbild von Abb. 4.6 dargestellte Verhalten. Sowohl die Spannung am linken Ast als auch die Spannung am rechten Ast fluktuieren im Wesentlichen zwischen zwei diskreten Werten. Wieder tritt der gegenphasige Charakter der Fluktuationen, welcher auf die kapazitive Kopplung der Äste zurückgeführt wird, deut-



**Abb. 4.6:** Rauschcharakteristik eines Y-Transistors als Differenzverstärker. Linkes Teilbild: Ausgangsspannungen  $V_{bl}$  und  $V_{br}$  am Reservoir des linken bzw. rechten Astes über der Spannungsdifferenz  $\Delta V_g = V_{gl} - V_{gr} + V_{g,asym}$  variiert in Push-Pull-Konfiguration für  $V_{bias} = 3.0$  V. Rechtes Teilbild: Verlauf der Ausgangsspannungen  $V_{bl}$  und  $V_{br}$  als Funktion der Zeit für  $V_{bias} = 3.0$  V und  $\Delta V_g = const = 0.11$  V. Die Spannungsfuktuationen treten gegenphasig auf, was auf eine effektive kapazitive Kopplung der Äste hindeutet.

lich zum Vorschein. Da die Gatewirkung der Äste auf die Schalteigenschaften der Y-förmigen Verzweigung offenbar mit dem Einfluss der seitlichen Gates vergleichbar ist, reduziert eine Abnahme von  $V_{bl}$  den Leitwert des rechten Astes und somit auch den Strom  $I_r$  durch selbstinduziertes Schalten. Der damit verbundene Anstieg von  $V_{br} = V_{bias} - R_{br}I_r$  äußert sich in den experimentell beobachteten gegenphasigen Spannungsfuktuationen zwischen  $V_{bl}$  und  $V_{br}$ .

Eine nähere Betrachtung der Spannungsverläufe im linken Teilbild der Abb. 4.6 zeigt, dass die Fluktuationen im Bereich des Symmetriepunktes  $V_{bl} = V_{br}$  die stärkste Ausprägung aufweisen. Qualitativ wird dies durch eine statistische Analyse der zeitabhängigen Messungen bestätigt. Abb. 4.7 gibt hierzu die Standardabweichungen der Spannungen  $V_{bl}$  ( $\sigma_l$ ) und  $V_{br}$  ( $\sigma_r$ ) wider, die im Zeitintervall  $0 \leq t \leq 101$  s für verschiedene Gatespannungen  $\Delta V_g$  extrahiert wurden. Beide Standardabweichungen nehmen im Sättigungsbereich der Verstärkung ( $|\Delta V_g| > 0.15$  V) Werte kleiner 20 mV an. Mit zunehmender differentieller Verstärkung  $g$ , d.h. für kleiner werdendes  $|\Delta V_g|$ , nimmt auch die Amplitude der Rauschsignale zu und macht sich in einem deutlichen Anstieg der Standardabweichungen  $\sigma_l$  und  $\sigma_r$  für  $|\Delta V_g| \rightarrow 0$  bemerkbar. In diesem Bereich der maximalen Verstärkung erweist sich der Y-Transistor offenbar als sehr sensitiv gegenüber Än-



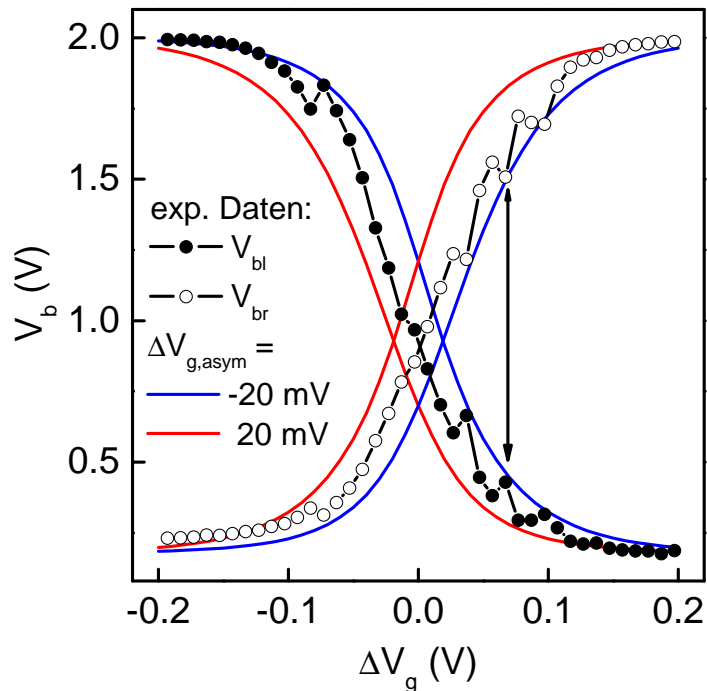
**Abb. 4.7:** Standardabweichungen  $\sigma_l$  und  $\sigma_r$  der Ausgangsspannungen  $V_{bl}$  und  $V_{br}$  sowie die differentielle Spannungsverstärkung  $g$  als Funktion der Spannungsdifferenz  $\Delta V_g$  für  $V_{bias} = 3.0$  V.

derungen der Ladungsträgerkonfiguration nahe seines Verzweigungsbereichs.

Die in Abb. 4.6 (rechtes Teilbild) dargestellten Fluktuationen der Spannungen zwischen wenigen diskreten Werten geben einen Hinweis auf den quantisierten Charakter der involvierten physikalischen Größen [Dek91, Cob92, Nis02]. Fluktuationen dieser Art werden in der Literatur als *Random Telegraph Noise* (RTN) bezeichnet. RTN konnte beispielsweise im Leitwert eines Quantenpunkt-Kontakts beobachtet werden [Cob92]. In diesem Fall wurde RTN auf so genannte *Hopping*-Ereignisse zwischen lokalisierten Zuständen zurückgeführt. Hierbei tunneln Elektronen aus den metallischen Gate-Kontakten auf unterschiedlichen Wegen über Störstellen, die in den oberflächennahen Schichten einer modulationsdotierten Heterostruktur lokalisiert sind, in den leitenden eindimensionalen Kanal. Die daraus resultierende unterschiedliche Besetzung der Störstellen beeinflusst das effektive elektrische Feld im Bereich des Kanals und macht sich auf diese Weise in diskreten Leitwertfluktuationen bemerkbar.

Ein ähnlicher Mechanismus kann herangezogen werden, um das beim Y-Transistor beobachtete RTN zu erklären. Im Gegensatz zum Quantenpunkt-Kontakt sind die Gates bei einem Y-Transistor jedoch durch nasschemisch geätzte Gräben von den zu kontrollierenden Kanälen getrennt. Somit ist es naheliegend, das beim Y-Transistor beobachtete RTN mit Hopping-Ereignissen zwischen Oberflächenzuständen im Bereich der geätzten Gräben in Verbindung zu





**Abb. 4.8:** Experimenteller Verlauf der Ausgangsspannungen  $V_{bl}$  und  $V_{br}$  zusammen mit der berechneten Einhüllenden als Funktion der Spannungsdifferenz  $\Delta V_g = V_{gl} - V_{gr} + V_{g,asym}$  ( $V_{bias} = 2.0$  V).

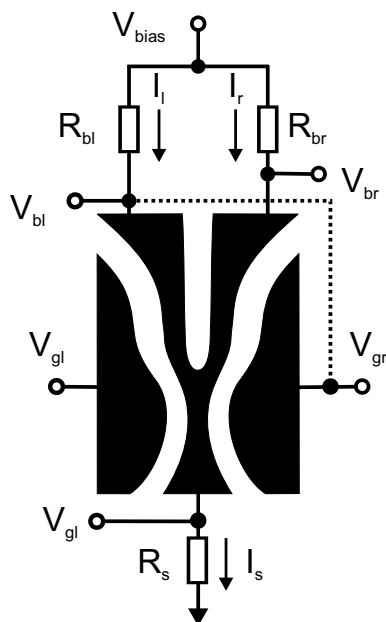
bringen. Es wird angenommen, dass sich die erwähnten Hopping-Ereignisse formal in Fluktuationen der effektiven Gatespannungsdifferenz berücksichtigt werden können. Dies wird in Abb. 4.8 veranschaulicht, welche sowohl experimentelle als auch mit dem in Abschnitt 4.1 eingeführten Formalismus berechnete Ausgangsspannungen über der Spannungsdifferenz  $\Delta V_g = V_{gl} - V_{gr} + V_{g,asym}$  für  $V_{bias} = 2.0$  V zeigt. Bei der Berechnung wurde die Gatespannungsdifferenz um den Parameter  $\Delta V_{g,asym}$  verschoben. Die berechneten Kurven stellen die Einhüllende der experimentellen Spannungsverläufe dar und wurden für  $\Delta V_{g,asym} = \pm 20$  mV berechnet. Offenbar lassen sich die beobachteten Fluktuationen für ein gegebenes  $\Delta V_g$  also auf Änderungen der effektiven Gatespannung bzw. des lateralen elektrischen Feldes durch lokale Variationen der Ladungsträgerkonfiguration im Bereich der geätzten Gräben zurückführen.

## 4.2 Der Y-Transistor mit externer Rückkopplung

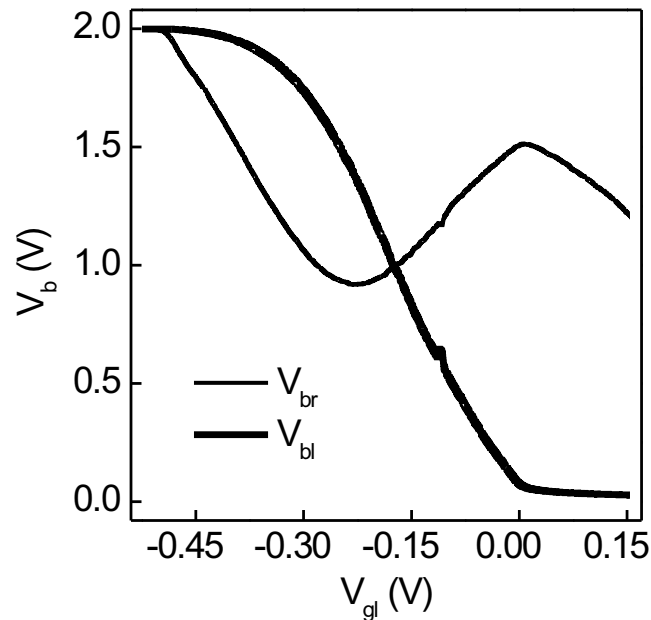
Für eine geeignete äußere Beschaltung kann das selbstinduzierte Schalten ausgenutzt werden, um eine effektive positive Rückkopplung von Spannungsvariationen an den Gates hervorzurufen. Diese Art von Rückkopplung wird bei Verstärkern häufig dazu verwendet, ein bistabiles Schaltverhalten zu generieren. Im Falle eines symmetrischen Y-Transistors ist die Rückkopplung durch das selbstinduzierte Schalten jedoch zu schwach ausgeprägt, um bei einer Ansteuerung des Y-Transistors durch die seitlichen Gates ein bistabiles Schaltverhalten zu beobachten. Das selbstinduzierte Schalten kann allerdings durch eine externe Rückkopplung derart unterstützt werden, dass eine Bistabilität in der Schaltcharakteristik auftritt.

### 4.2.1 Der Y-Transistor als nanoelektronischer Schmitt-Trigger

Verstärker und Schalter sind bezüglich der Kaskadierung von (logischen) Grundeinheiten von großer Bedeutung. Ein idealer digitaler Schalter weist hierbei ein bistabiles Schaltverhalten auf, wobei dessen Ausgangssignal über ein entsprechendes Eingangssignal von einem stabilen Zustand (L) in einen zweiten stabilen Zustand (H) geschaltet werden kann. Der bistabile Schaltcharakter in Verbindung mit einer Schalthysterese ist kennzeichnend für eine als Schmitt-Trigger (ST) bekannte elektronische Grundschaltung [Mil83]. Ein ST, dessen besonderes Schaltverhalten im Zusammenhang mit dem Effekt der *stochastischen Resonanz* vielfach untersucht wurde [Gam91, Mar98, vR00], verbleibt im L-Zustand, solange sich das Eingangssignal  $V_{in}$  unterhalb einer Schaltschwelle  $V_{in} < V_{th,up}$  befindet, und schaltet nahezu instantan in den H-Zustand, sobald die Schwelle  $V_{in} = V_{th,up}$  durchschritten wird. Der H-Zustand wird beibehalten bis das Eingangssignal eine zweite Schaltschwelle  $V_{in} = V_{th,down} < V_{th,up}$  unterschreitet, bei der der Ausgang in den L-Zustand übergeht. Somit ergibt sich eine Schalthysterese  $V_H = V_{th,up} - V_{th,down}$ .



**Abb. 4.9:** Schematische Darstellung der Messkonfiguration zur Demonstration des bistabilen Schaltverhaltens eines Y-Transistors mit externer Rückkopplung. Die externe Rückkopplung wird über eine elektrische Verbindung zwischen dem linken Ast und dem rechten Gate realisiert (gestrichelt eingezeichnet).

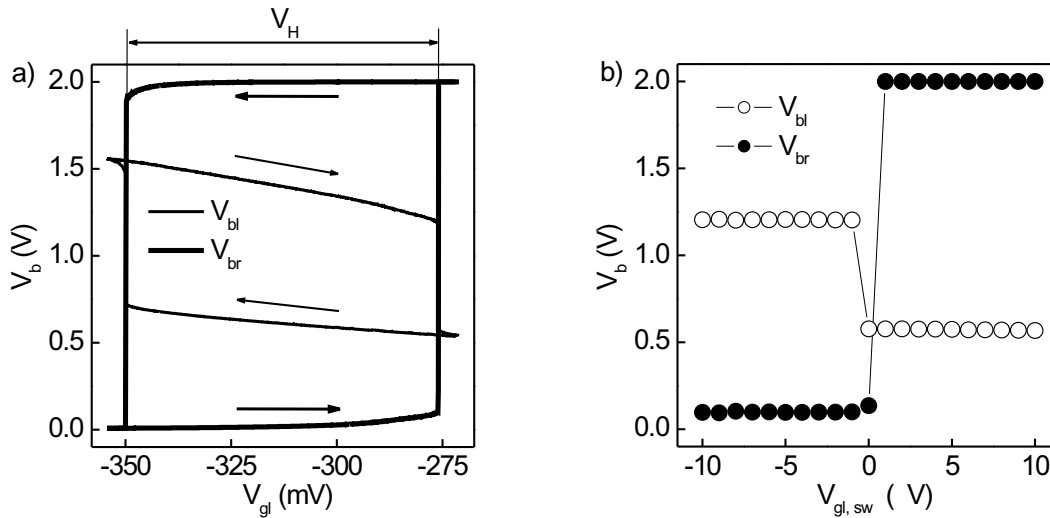


**Abb. 4.10:** Spannungen  $V_{bl}$  und  $V_{br}$  am linken bzw. rechten Ast über der Spannung  $V_{gl}$  am linken Gate gemessen im Push-Fix-Konfiguration mit  $V_{gr} = 0.45$  V.

ST sind sowohl in analogen als auch in digitalen Schaltungen weit verbreitet, um beispielsweise analoge Signale in digitale Signale zu transformieren oder den Störabstand von digitalen Signalen zu erhöhen. Aus diesem Grund bilden ST attraktive Ausgangsstufen für logische nanoelektronische Bauelemente. Obwohl ein Verstärker mit einer bistabilen Ausgangscharakteristik also ein attraktives und vielfältig einsetzbares Bauteil darstellt, wurde bislang kein nanoelektronisches Pendant zu einem auf Transistoren basierenden elektronischen ST gefunden.

Die Schaltcharakteristik des Y-Transistors mit externer Rückkopplung wurde über den in Abb. 4.9 skizzierten Messaufbau untersucht. Die Vorwärtsspannung  $V_{bias}$  wurde über zwei Widerstände  $R_{bl} = R_{br} = 10$  M $\Omega$  an den Y-Transistor angelegt, dessen Stamm über  $R_s$  mit der Masse des Messaufbaus verbunden war. Der Y-Transistor wurde mit der Spannung  $V_{gl}$  am linken Gate kontrolliert, wobei die externe Rückkopplung durch die elektrische Verbindung zwischen dem linken Ast und dem rechten Gate eingeführt wurde. Spannungsmessgeräte dienen zur Detektion der Spannungen  $V_{bl}$  und  $V_{br}$  am linken bzw. rechten Ast.

Über eine Referenzmessung wurde der Y-Transistor zunächst ohne externe Rückkopplung in Push-Fix-Konfiguration charakterisiert. Hierbei wurde die Spannung am linken Gate variiert, während die Spannung am rechten Gate konstant auf  $V_{gr} = 0.45$  V gehalten wurde. In Abb. 4.10 sind die entsprechenden Spannungen  $V_{bl}$  und  $V_{br}$  über der Gatespannung  $V_{gl}$  für  $V_{bias} = 2.0$  V aufgetragen. Für  $V_{gl} = -0.5$  V sind beide Äste hochohmig ( $V_{bl} = V_{br} = V_{bias}$ ). Mit stei-



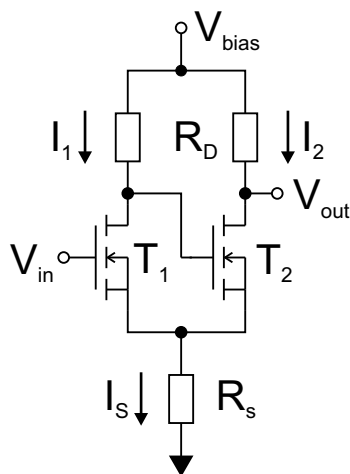
**Abb. 4.11:** Demonstration des bistabilen Schaltverhaltens eines Y-Transistors mit externer Rückkopplung ( $V_{bias} = 2.0$  V). a) Mit einer Schalthysterese  $V_H$  verbundenes Schaltverhalten der Spannungen  $V_{bl}$  und  $V_{br}$  als Funktion der Eingangsspannung  $V_{gl}$ . b) Schaltvorgang vom unteren stabilen Zustand des ST in den oberen stabilen Zustand unter einer Variation der Eingangsspannung in Schritten von lediglich  $1 \mu\text{V}$ .  $V_{bl}$  und  $V_{br}$  sind über der Spannung  $V_{gl,sw} = V_{gl} - V_{th,up}$  aufgetragen.

gender Spannung  $V_{gl}$  nehmen anfangs  $V_{bl}$  und  $V_{br}$  ab, da ein Anstieg der Gatespannung  $V_{gl}$  sowohl den Leitwert des linken Astes als auch den Leitwert des Stamms erhöht. Oberhalb einer Eingangsspannung von  $-0.23$  V setzt eine starke Abnahme von  $V_{bl}$  ein, die durch eine differentielle Spannungsverstärkung  $dV_{bl}/dV_{gl}$  von bis zu  $-7.8$  charakterisiert ist. Im Gegensatz zu dem monoton abnehmenden Verlauf von  $V_{bl}$  als Funktion von  $V_{gr}$  bildet sich im Falle der  $V_{br}(V_{gl})$ -Abhängigkeit bei  $V_{gl} = -0.23$  V ein ausgeprägtes Minimum aus. Der Leitwert zwischen dem Stamm und dem rechten Ast steigt also zunächst mit  $V_{gl}$  an, um für  $V_{gl} > -0.23$  V mit steigender Gatespannung wieder kleiner zu werden. Bei einer Eingangsspannung von  $V_{gl} \approx 0$ , ab welcher eine weitere Erhöhung von  $V_{gl}$  die Spannung am linken Ast nur noch schwach beeinflusst, kann ein lokales Maximum im  $V_{bl}(V_{gl})$ -Verlauf beobachtet werden. Für  $V_{gl} > 0$  bestimmt die Zunahme der Gesamtleitfähigkeit wieder das Verhalten der Struktur, und sowohl  $V_{bl}$  als auch  $V_{br}$  sinken mit steigender Gatespannung. Die lokalen Extrema in der  $V_{br}(V_{gl})$ -Charakteristik spiegeln in der gewählten Konfiguration wiederum den Einfluss der kapazitiven Kopplung zwischen den Ästen auf das Schaltverhalten des Y-Transistors wider.

In Push-Fix-Konfiguration ist der erkennbare gegenseitige Einfluss der Äste zu schwach, um ein bistabiles Schalten zu initiieren. Wird der Y-Transistor jedoch mit externer Rückkopplung betrieben, so ändert sich das Schaltverhalten grundlegend. Dies zeigen Spannungsverläufe

von  $V_{bl}$  und  $V_{br}$ , die im Modus externer Rückkopplung aufgenommen wurden und in Abb. 4.11 als Funktion von  $V_{gl}$  für  $V_{bias} = 2.0$  V und  $R_s = 5.6$  k $\Omega$  dargestellt sind. Die Gatespannung  $V_{gl}$  wurde von  $-0.354$  V nach  $-0.270$  V und wieder zurück zum Ausgangswert gefahren. Bei  $V_{gl} = -0.354$  V weist der linke Ast einen geringen Leitwert auf, während der rechte Ast niederohmig ist, da die Gatespannung  $V_{gr} = V_{bl} = 1.55$  V deutlich über seiner Schwellenspannung liegt. Mit steigender Eingangsspannung sinkt  $V_{bl}$ , da sich der Leitwert des linken Astes erhöht. Gleichzeitig steigt  $V_{br}$  bis zu einer Gatespannung von  $V_{gl} = -0.276$  V moderat an. Bei dieser Gatespannung erreicht der Y-Transistor die obere Schaltschwelle  $V_{th,up} = -0.276$  V und der Ausgang schaltet abrupt von  $V_{br} = 0.227$  V nach  $V_{br} = 2.00$  V. Gleichzeitig erfährt  $V_{bl}$  eine Reduktion hin zu  $0.572$  V. Variiert man die Gatespannung in entgegengesetzter Richtung, so schaltet der Y-Transistor bei der unteren Schaltschwelle  $V_{gl} = V_{th,down} = -0.350$  V ebenso abrupt in den ursprünglichen Zustand zurück. Somit ergibt sich eine Schalthysterese von  $V_H = 74$  mV, die deutlich den bistabilen Schaltcharakter des Y-Transistors im Modus externer Rückkopplung widerspiegelt (vgl. Abschnitt 2.6). In diesem Schmitt-Trigger-Modus ist es selbst bei einer Schrittweite der Eingangsspannung von lediglich  $1$   $\mu$ V nicht möglich, den Umschaltvorgang aufzulösen. Dies wird in Abb. 4.11 veranschaulicht, in der  $V_{br}$  als Funktion von  $V_{gate,sw} = V_{gl} - V_{th,up}$  aufgetragen ist. Hier findet das Umschalten vom L-Zustand in den H-Zustand sprunghaft zwischen  $V_{gate,sw} = 0$  und  $V_{gate,sw} = 1$   $\mu$ V statt.

Um einen tieferen Einblick in den bistabilen Schaltmechanismus zu erlangen, wurde die Abhängigkeit der Schalthysterese  $V_H$  im Hinblick auf die Stromkopplung durch den gemeinsamen Source-Widerstand  $R_s$  untersucht und mit einem herkömmlichen, auf FETs basierenden ST verglichen. Hierzu wurden Schaltkurven des Y-Transistors mit externer Rückkopplung für verschiedene Source-Widerstände aufgenommen und die jeweilige Schalthysterese  $V_H$  extrahiert. Der Verlauf der Schalthysterese ist in Abb. 4.14 a) als Funktion von  $R_s$  für  $V_{bias} = 2.0$  V aufgetragen. Die Schalthysterese steigt linear mit dem Source-Widerstand von  $V_H = 56$  mV für  $R_s = 100$   $\Omega$  bis hin zu  $V_H = 136$  mV für  $R_s = 1$  M $\Omega$ .



**Abb. 4.12:** Schematische Darstellung eines auf zwei FETs basierenden Schmitt-Triggers. Die Stromkopplung über den gemeinsamen Source-Widerstand  $R_s$  führt zu einer endlichen Schalthysterese.

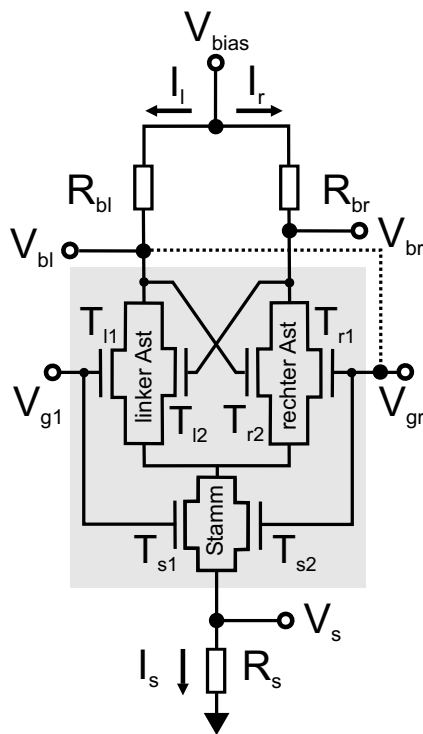
Ein ähnliches  $V_H(R_S)$ -Verhalten ist auch für einen konventionellen Schmitt-Trigger mit einem gemeinsamen Source-Widerstand  $R_s$  zu erwarten. Eine solche Schaltung ist in Abb. 4.12

schematisch dargestellt. Der Drain-Kontakt des Eingangstransistors  $T_1$  ist mit dem Gate-Kontakt des Ausgangstransistors  $T_2$  verbunden, welcher somit durch das invertierte und verstärkte Eingangssignal  $V_{d1} = V_{g2}$  angesteuert wird. Die positive Rückkopplung des Ausgangssignals  $V_{out}$  auf den Eingang wird durch die Stromkopplung über den gemeinsamen Source-Widerstand erzielt und resultiert in einer Schalthysterese, die sich folgendermaßen begründen lässt: Ausgehend von einer Spannung  $V_{in} \ll V_{th,up}$  am Eingang des ST steigt  $I_s$  und  $V_s = R_s I_s = R_s(I_1 + I_2)$  mit der Eingangsspannung, sobald  $V_{in} - V_s$  die Schwellenspannung von  $T_1$  erreicht. Gleichzeitig nimmt  $V_{d1}$  bzw.  $V_{g2}$  mit steigender Eingangsspannung ab, so dass  $T_2$  bei  $V_{in} = V_{th,up}$  hochohmig wird und in den oberen stabilen Zustand mit  $V_{out} \approx V_{bias}$  ( $I_2 \approx 0$ ) schaltet. Dies hat wiederum zur Konsequenz, dass  $V_s$  abnimmt und somit die effektive Gate-Spannung  $V_{gs,1} = V_{in} - V_s$  bei gleicher Eingangsspannung größer wird. Um den ST wieder in den Ausgangszustand zu schalten, muss die Eingangsspannung zu einer niedrigeren Spannung  $V_{th,down} < V_{th,up}$  gefahren werden. Folglich tritt eine Schalthysterese  $V_H = V_{th,up} - V_{th,down}$  auf.

Eine Simulation der elektrischen Eigenschaften des herkömmlichen ST (Abb. 4.12) wurde mit dem Programm *PSpice*<sup>©</sup> für  $R_D = 10 \text{ k}\Omega$ ,  $V_{bias} = 5.0 \text{ V}$  und Widerstände  $R_s$  zwischen  $1 \text{ }\Omega$  und  $3 \text{ k}\Omega$  durchgeführt. Für die Transistoren  $T_1$  und  $T_2$  kam dabei der n-Kanal-Anreicherungstyp *IRF150* zum Einsatz. Das bistabile Verhalten der Schaltung wird in dem Teilbild der Abb. 4.14 b) ersichtlich, in welchem die Ausgangsspannung  $V_{out}$  als Funktion der Eingangsspannung  $V_{in}$  für  $R_s = 1 \text{ k}\Omega$  aufgetragen ist. Wie bei der Schaltcharakteristik eines mit externer Rückkopplung betriebenen Y-Transistors ergibt sich auch hier eine Schalthysterese  $V_{H,FET}$ : Während das Umschalten vom unteren stabilen Zustand in den oberen stabilen Zustand bei  $V_{in} = 3.44 \text{ V}$  stattfindet, muss die Eingangsspannung bis auf  $3.05 \text{ V}$  reduziert werden, um wieder in den Ausgangszustand zurückzuschalten. Gemäß des oben erläuterten Mechanismus der Stromkopplung hängt die Schalthysterese von dem gemeinsamen Source-Widerstand  $R_s$  ab, was in Abb. 4.14 gezeigt wird. Die Schalthysterese steigt mit wachsendem  $R_s$  wie beim Y-Transistor nahezu linear an. Der wesentliche Unterschied beider Verläufe liegt im Verhalten für  $R_s \rightarrow 0$ . Im Gegensatz zu der Transistorschaltung, bei der  $V_{H,FET}$  mit kleiner werdendem  $R_s$  gegen Null geht, bleibt im Falle des Y-Transistors auch für verschwindend kleine  $R_s$  eine endliche Schalthysterese  $V_{H,YT}$  erhalten.

Wie bei der Transistorschaltung resultiert die Stromkopplung beim Y-Transistor darin, dass die effektive Spannung am linken seitlichen Gate bei dem Umschalten zwischen den stabilen Zuständen eine Änderung proportional zu  $R_s$  erfährt, in dessen Folge  $V_{H,YT}$  linear mit  $R_s$  ansteigt. Hingegen wird der konstante Anteil der Hysterese  $V_{H,YT}|_{R_s \rightarrow 0}$  mit dem selbstinduzierten Schalten in Folge der kapazitiven Kopplung der Äste in Verbindung gebracht. In Analogie zu dem konventionellen ST könnte auch ein weiterer (interner) serieller Source-Widerstand zur Erklärung des konstanten Anteils der Schalthysterese über eine Stromkopplung angeführt werden. Hierbei wäre jedoch ein serieller Widerstand von etwa  $700 \text{ k}\Omega$  zu berücksichtigen, der die in Betracht kommenden Beiträge des 2DEGs oder der Kontaktwiderstände von einigen hundert Ohm bis hin zu wenigen  $\text{k}\Omega$  um zwei Größenordnungen übersteigt.

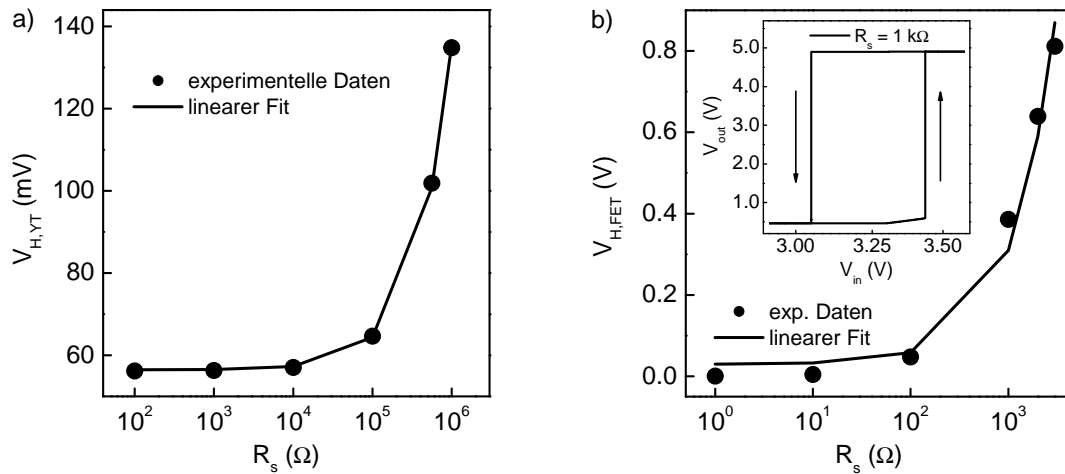
Der Einfluss des selbstinduzierten Schaltens auf das Hystereseverhalten wird anhand der in



**Abb. 4.13:** Ersatzschaltung eines Y-Transistors (grau unterlegt) in Kombination mit der Beschaltung in Schmitt-Trigger-Konfiguration. Die einzelnen Sektionen der Y-förmigen Verzweigung werden jeweils über zwei parallel geschaltete n-Kanal FETs dargestellt.

Abb. 4.13 b) skizzierten Ersatzschaltung (grau unterlegter Bereich) diskutiert. In dem gewählten Ansatz werden die Äste und der Stamm vereinfachend jeweils durch zwei parallel geschaltete FETs beschrieben, wobei Spannungen an den seitlichen Gates sowohl die elektrischen Eigenschaften des entsprechenden Astes als auch des Stamms beeinflussen. Zusätzlich wird die kapazitive Kopplung der Äste über die Transistoren  $T_{l2}$  und  $T_{r2}$  berücksichtigt, welche jeweils durch die Spannung am gegenüberliegenden Ast angesteuert werden. Die FETs in der Ersatzschaltung des Y-Transistors entsprechen n-Kanal-Anreicherungstypen mit unterschiedlichen Schwellenspannungen und verschiedener Steilheit. So hängt die Schwellenspannung u.a. von der Breite des zu steuernden Kanals und die Steilheit von der Stärke der kapazitiven Kopplung zwischen dem Gate und dem assoziierten Kanal ab. Die Schwellenspannung steigt andererseits mit abnehmender Kanalbreite.

Berücksichtigt man die in Abb. 4.13 eingeführte Ersatzschaltung, so kann das bistabile Schaltverhalten bei externer Rückkopplung folgendermaßen erklärt werden (vgl. Abb. 4.11). Für  $V_{gl} = -0.275$  V werden die Transistoren  $T_{l,1}$  und  $T_{s,1}$  über ihrer Schwellenspannung betrieben und am linken Ast stellt sich eine Spannung  $V_{bl} = 0.54$  V ein. Diese Spannung liegt unterhalb der Schwellenspannung der Transistoren  $T_{r,1}$ ,  $T_{r,2}$  und  $T_{s,2}$ , d.h.,  $V_{br} = V_{bias} = 2.0$  V ( $I_r = 0$ ). Die Spannung  $V_{br} = 2.0$  V ist wiederum deutlich über der Schwellenspannung von  $T_{l,2}$  angesiedelt, so dass dessen Kanal bei  $V_{gl} = -0.275$  V niederohmig ist. Mit kleiner werdender Gatespannung  $V_{gl}$  nimmt der Leitwert der Transistoren  $T_{s,1}$  und  $T_{l,1}$  ab, und  $V_{bl}$  steigt an. Bei  $V_{gl} \approx -0.3$  V überschreitet  $V_{bl}$  schließlich die Schwellenspannung der Transistoren  $T_{s,2}$ ,  $T_{r,1}$  und  $T_{r,2}$ . Infolge dessen setzt ein Stromfluss im rechten Ast ein, und  $V_{br}$  nimmt leicht ab, bis  $V_{th,down} = -0.350$  V erreicht wird. Hier ist eine weitere Reduktion der Gatespannung mit



**Abb. 4.14:** Abhängigkeit der Schalthysterese eines ST vom Source-Widerstand  $R_s$ . a) Schalthysterese  $V_{H,YT}$  eines nanoelektronischen ST als Funktion von  $R_s$ . b) Schalthysterese eines konventionellen, über FETs realisierten ST als Funktion von  $R_s$ . Teilbild: Schaltcharakteristik des konventionellen ST.

einer abrupten Abnahme des Stromes  $I_l$  verbunden, so dass die höhere Spannung am linken Ast den Leitwert der Transistoren  $T_{r1}$ ,  $T_{s2}$  und  $T_{r2}$  deutlich ansteigen lässt. Der ST schaltet also in seinen unteren stabilen Zustand mit  $V_{br} \rightarrow 0$ . Vermittelt über die Kopplung der Äste wird  $T_{l2}$  dadurch hochohmig, was wiederum  $V_{bl}$  ansteigen lässt. Die entsprechende Spannungsänderung muss schließlich durch eine Gatespannung  $V_{gl} > -0.350$  V kompensiert werden, um wieder in den ursprünglichen (oberen) stabilen Zustand des ST umzuschalten. Dies tritt bei  $V_{gl} = V_{th,up} = -0.276$  V verbunden mit  $V_{H,YT} = 74$  mV ein. In der Ersatzschaltung ist die Schalthysterese somit in dem Aussteuern des Transistors  $T_{l2}$  durch  $V_{br}$  begründet, was beim Y-Transistor dem selbstinduzierten Schalten entspricht.

## 4.2.2 Der Y-Transistor als bistabiles System

Da der ausgeprägte bistabile Schaltcharakter des nanoelektronischen ST eng mit der kapazitiven Kopplung der Äste verbunden ist, sollte das bistabile Verhalten mit zunehmender Kopplung ansteigen. Aufbauend auf die in Abschnitt 2.6 vorgestellte Theorie der nichtlinearen Dynamik und den in Abschnitt 4.1 eingeführten Formalismus zur Beschreibung des selbstinduzierten Schaltens soll nun mittels einer Modellrechnung untersucht werden, wie sich die Stärke der Kopplung auf das Schaltverhalten eines mit externer Rückkopplung betriebenen Y-Transistors auswirkt.

Wie bei der Modellierung der Verstärkungseigenschaften in Abschnitt 4.1 werden Schalt-



parameter eingeführt, um den Einfluss der Gate- aber auch der Ast-Spannungen auf das Schaltverhalten des Y-Transistors zu beschreiben:

$$\gamma_l(V_{gl}, V_{bl}, V_{br}) = \tanh \left\{ \frac{\eta_g(V_{gl} - V_{th,l} - V_{bl} - V_{wp}) + \eta_b(V_{bl} - V_{br})}{V_{sw}} \right\}, \quad (4.5a)$$

$$\gamma_r(V_{gl}, V_{bl}, V_{br}) = \tanh \left\{ \frac{\eta_g(V_{gl} - V_{th,l} - V_{bl} + V_{wp}) + \eta_b(V_{bl} - V_{br})}{V_{sw}} \right\}. \quad (4.5b)$$

Ein Vergleich mit Gl. (4.2) zeigt, dass die externe Rückkopplung durch die Substitution von  $\Delta V_g = V_{gl} - V_{gr}$  durch  $\Delta V_g = V_{gl} - V_{bl}$  berücksichtigt wird, wobei die Gatespannung  $V_{gl}$  auf eine Schwellenspannung  $V_{th,l}$  bezogen ist. Interessanterweise kann ein Y-Transistor mit externer Rückkopplung als nichtlineares dynamisches System angesehen werden, wie es in Abschnitt 2.6 eingeführt wurde. Die Spannung  $V_{br}$  wird hierbei mit der Systemvariablen  $u$  identifiziert. Bei einem nichtlinearen dynamischen System hängt der Verlauf der Systemvariablen für  $t \rightarrow \infty$  in der Regel stark von den Startbedingungen ab. Insbesondere ist es von Interesse, ob sich in diesem Grenzfall stabile Zustände, d.h. Fixpunkte des Systems, einstellen, bzw. welcher Fixpunkt in Abhängigkeit der Startbedingungen angenommen wird. Um dies zu untersuchen, bietet es sich an, die Gleichungen (4.4a) und (4.4b) iterativ für verschiedene Startbedingungen und Systemparameter zu lösen. Unter der Voraussetzung  $R_s = 0$  werden bei jedem Iterationsschritt  $i$  zunächst die Spannungen an dem linken und rechten Ast berechnet, die sich aus den Werten des vorangegangenen Iterationsschrittes  $i - 1$  ergeben:

$$V_{bl,tmp}[i] = V_{bias} \left\{ 1 + R_{bl} G \frac{1 + \gamma_l(V_{gl}, V_{bl}[i-1], V_{br}[i-1])}{2} \right\}^{-1} \quad (4.6a)$$

und

$$V_{br,tmp}[i] = V_{bias} \left\{ 1 + R_{br} G \frac{1 - \gamma_r(V_{gl}, V_{bl}[i-1], V_{br}[i-1])}{2} \right\}^{-1}. \quad (4.6b)$$

In einem zweiten Schritt werden die neuen Werte der Spannungen  $V_{bl}$  und  $V_{br}$  gemäß

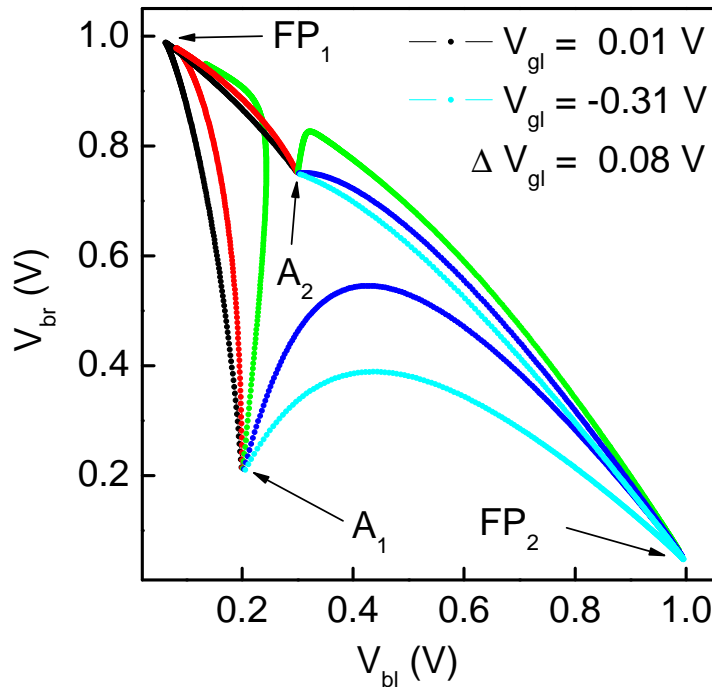
$$V_{bl}[i] = V_{bl}[i-1] + \kappa^{-1}(V_{bl,tmp}[i] - V_{bl}[i-1]) \quad (4.7a)$$

und

$$V_{br}[i] = V_{br}[i-1] + \kappa^{-1}(V_{br,tmp}[i] - V_{br}[i-1]) \quad (4.7b)$$

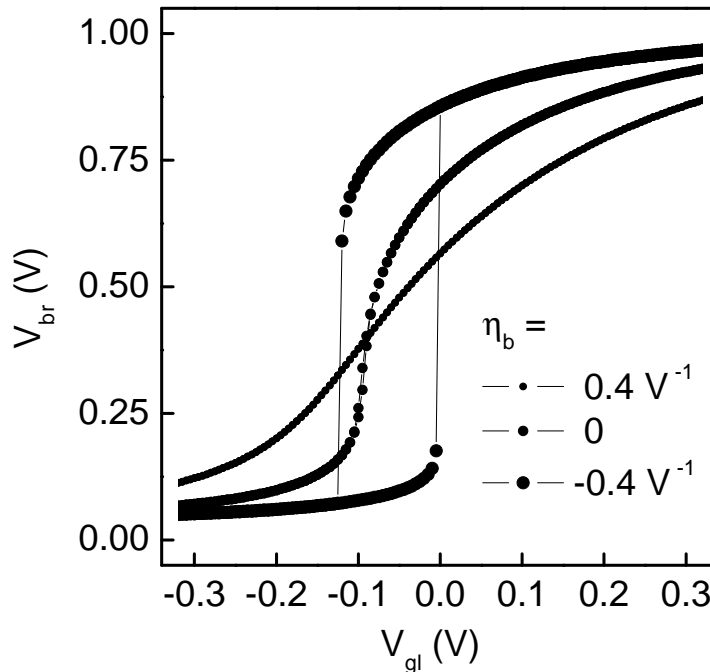
berechnet. Hierbei ist die Konstante  $\kappa$  ein Maß für die Dämpfung der Dynamik des Systems und beschreibt somit beispielsweise den Einfluss parasitärer Kapazitäten auf die zeitliche Entwicklung des Systems.

Zur Analyse des Systems wurde der zeitliche Verlauf der Spannungen  $V_{bl}$  und  $V_{br}$  für zwei Anfangsbedingungen  $V_{bl}[0] = V_{br}[0] = 0.20 \text{ V}$  ( $A_1$ ) bzw.  $V_{bl}[0] = 0.30 \text{ V}$  und  $V_{br}[0] = 0.75 \text{ V}$  ( $A_2$ ) unter Variation der Gatespannung  $V_g$  für folgende Parameterwerte berechnet:  $\eta_g/V_{sw} = 3.0 \text{ V}^{-1}$ ,  $\eta_b/V_{sw} = -0.40 \text{ V}^{-1}$ ,  $V_{bias} = 1.0 \text{ V}$ ,  $R_{bl} = R_{br} = 10 \text{ M}\Omega$ ,  $G = 2.5 \times 10^{-6} \Omega^{-1}$ ,



**Abb. 4.15:** Berechnetes Phasenraumdiagramm eines Y-Transistors mit externer Rückkopplung für zwei Anfangsbedingungen ( $A_1$  und  $A_2$ ) unter Variation der Gatespannung  $V_{gl}$ .

$\kappa = 50$ ,  $V_{wp} = 0.60$  V und  $V_{th,l} = -0.50$  V. Das entsprechende Phasenraumdiagramm, in welchem die zeitliche Entwicklung der Spannungen  $V_{br}$  und  $V_{bl}$  für die zwei Anfangsbedingungen ( $A_1$  und  $A_2$ ) und unterschiedliche Systemparameter  $V_{gl}$  veranschaulicht wird, ist in Abb. 4.15 dargestellt. Das System ist durch zwei stabile Fixpunkte  $FP_1$  und  $FP_2$  gekennzeichnet, gegen welche die Zustandsvariablen  $V_{br}$  und  $V_{bl}$  für große Zeiten bzw. große  $i$  streben. Die Auftragung zeigt weiterhin, dass die Lage der Fixpunkte von  $V_{gl}$  abhängt, wobei  $FP_1$  beispielsweise mit steigendem  $V_{gl}$  hin zu größeren  $V_{br}$  und kleineren  $V_{bl}$  schiebt. Ein Vergleich mit den grundlegenden Betrachtungen in Abschnitt 2.6 macht deutlich, welche Auswirkungen die Gatespannung auf das dynamische System hat. In gleichem Maße wie eine Variation des Systemparameters  $\lambda$  den Verlauf des Potentials  $F(u)$  ändert und zu dem in Abb. 2.8 dargestellten Übergang von einem monostabilen (Teilbild a) zu einem bistabilen Verhalten (Teilbild c)) führt, beeinflusst die Gatespannung das Schaltverhalten des Y-Transistors. Ein ausgeprägtes bistabiles Verhalten lässt sich beispielsweise für  $V_{gl} = -0.15$  V (grüne Linie) beobachten. Für diese Gatespannung hängt es von der Anfangsbedingung ab, welcher der beiden Fixpunkte  $FP_1$  oder  $FP_2$  für  $t \rightarrow \infty$  angenommen wird: Während die Anfangsbedingung  $A_1$  zu dem Fixpunkt  $FP_1$  führt, tendiert das System für die Anfangsbedingung  $A_2$  hin zu dem Fixpunkt  $FP_2$ . Weiterhin zeigt es sich, dass Spannungen  $V_{gl} < -0.15$  V in einem monostabilen Verhalten resultieren,



**Abb. 4.16:** Berechnete  $V_{br}(V_{gl})$ -Verläufe eines Y-Transistors im Schaltmodus externer Rückkopplung für  $\eta_g = 2.0 \text{ V}^{-1}$ .

und die Trajektorie im Phasenraum tendenziell hin zu  $FP_2$  verlaufen lassen. Für  $V_{gl} > -0.15 \text{ V}$  wird hingegen bevorzugt der monostabile Fixpunkt  $FP_1$  angestrebt.<sup>3</sup>

Das beobachtete Schaltverhalten des Y-Transistors mit externer Rückkopplung entspricht den Eigenschaften des oben analysierten dynamischen Systems für große Zeiten als Funktion der Gatespannung. Die Simulation dieser Eigenschaften erlaubt es, den Einfluss der kapazitiven Kopplung der Äste auf das bistabile Schaltverhalten des Y-Transistors zu untersuchen. Hierzu wurden  $V_{bl} = 1.0 \text{ V}$  und  $V_{br} = 0$  als Startbedingung für den negativsten Wert der Gatespannung gewählt und die Werte von  $V_{bl}$  und  $V_{br}$  für  $t \rightarrow \infty$  gemäß Gleichungen (4.7) iterativ berechnet<sup>4</sup>, um das Schaltverhalten bei steigenden Gatespannungen zu simulieren. Für alle weiteren Gate-

<sup>3</sup>Auf dem in diesem Abschnitt vorgestellten Modell basiert das Titelbild dieser Arbeit. Hierzu wurde der betrachtete Phasenraum zunächst in  $100 \times 100$  Zellen gleicher Größe eingeteilt. Das Zentrum jeder Einzelzelle wurde daraufhin als Anfangsbedingung zur Berechnung von 100 Phasenraumtrajektorien für diskrete Gatespannungen zwischen  $-0.35 \text{ V}$  und  $0.15 \text{ V}$  mit einer Iterationstiefe von 100 herangezogen. Insgesamt wurden also  $10^6$  Trajektorien mit je 100 Einzelpunkten berechnet. Weiterhin wurde jeder Einzelzelle eine natürliche Zahl zugeordnet, die um jeweils Eins erhöht wird, wenn ein Punkt einer Phasenraumtrajektorie in ihr zum Liegen kommt. Das Titelbild kam durch eine Auftragung dieser Zuordnungszahl als Funktion der Position im Phasenraum in logarithmischer Darstellung zu Stande, wobei Zellen niedriger (hoher) Zuordnungszahl blau (rot) gekennzeichnet sind. Somit können die beiden roten Bereiche im Titelbild mit Fixpunkten des Systems identifiziert werden.

<sup>4</sup>In der Praxis war es ausreichend, die Iteration lediglich bis  $i = 30$  auszuführen.

spannungen wurden jeweils die zuvor berechneten Spannungen  $V_{bl}$  und  $V_{br}$  als Startwerte der Iteration herangezogen. Das Schaltverhalten bei kleiner werdenden Gatespannungen wurde in gleicher Weise mit der Anfangsbedingung  $V_{bl} = 0$  und  $V_{br} = 1.0$  V berechnet.

Das auf diese Weise simulierte Schaltverhalten ist in Abb. 4.16 für  $\eta_b/V_s = 0.4$  V<sup>-1</sup>, 0 und  $-0.4$  V<sup>-1</sup> in Form der  $V_{br}(V_{gl})$ -Abhängigkeit dargestellt ( $\eta_g/V_s = 2.0$  V<sup>-1</sup>). Wie bereits bei dem in Abschnitt 4.1 diskutierten selbstinduzierten Schalten wird auch hier der Einfluss der über  $\eta_b$  berücksichtigten kapazitiven Kopplung der Äste auf das Schaltverhalten deutlich. Für  $\eta_b/V_s = 0.4$  V<sup>-1</sup> wirkt eine Spannungsdifferenz zwischen den Ästen dem elektrischen Feld der seitlichen Gates entgegen, was in dem flachen Verlauf der Schaltkurve  $V_{br}(V_{gl})$  zum Ausdruck kommt. Eine Änderung der Effektivität von  $\eta_b/V_s = 0.4$  V<sup>-1</sup> hin zu kleineren Werten führt zu einem deutlichen Anstieg der Schalteffizienz und spiegelt sich in der erhöhten maximalen differentiellen Verstärkung  $g_{max,ST} = (dV_{br}/dV_{gl})_{max}$  wider. Diese steigt von  $g_{max,ST} = 2.1$  für  $\eta_b/V_s = 0.4$  V<sup>-1</sup> auf  $g_{max,ST} = 14.0$  für  $\eta_b/V_s = 0$ . Für negative  $\eta_b$  kommt schließlich das selbstinduzierte Schalten zum Tragen, was in Analogie zu dem Experiment in einem bistabilen Schalten mündet und mit einer Schalthysterese verbunden ist.

### 4.2.3 Der Y-Transistor als statisches Speicherelement

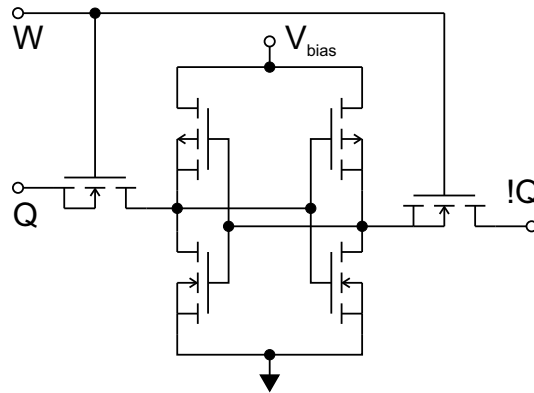
In der modernen integrierten Mikroelektronik werden statische Speicherelemente (SRAM<sup>5</sup>) über FETs realisiert. Hierbei werden zumeist MOSFETs eingesetzt, die über eine Vielzahl technologischer Prozesse hergestellt werden. Die Fabrikation umfasst u.a. mehrere Belichtungsschritte sowie die Dotierung der Kontaktbereiche und das Aufbringen des Gateoxides.

Wie in Abb. 4.17 gezeigt, besteht eine SRAM-Zelle in der Regel aus zwei über Interconnects<sup>6</sup> verbundenen CMOS-Transistorpaaren, die über eine gegenseitige Rückkopplung in einem bistabilen Schaltmodus betrieben werden. Mindestens ein weiterer FET wird benötigt, um die SRAM-Zelle zum Beschreiben und Auslesen an Daten- bzw. Adressleitungen zu koppeln. Die stetige Miniaturisierung der Mikroelektronik hat neben der Erforschung neuer Transistorkonzepte auch eine Suche nach alternativen Konzepten für statische Speicherelemente initiiert, zumal diese in der aktuellen Prozessorgeneration bereits mehr als die Hälfte der benötigten Chip-Fläche beanspruchen. Beispielsweise wurde kürzlich eine nanoelektronische SRAM-Zelle auf der Basis von Kohlenstoff-Nanoröhrchen präsentiert [Bac01].

Im Rahmen dieser Arbeit wurde die externe Beschaltung des Y-Transistors erstmals auf eine Weise erweitert, die es erlaubt, diesen als aktiven Teil einer neuartigen statischen Speicherzelle einzusetzen. Hierzu wurden beide Äste auf das jeweils gegenüberliegende Gate gekoppelt (rote bzw. blaue Verbindung in Abb. 4.18). Diese Kopplung gewährleistet, dass ein zum Zeitpunkt  $t_0$  durch ein entsprechendes Signal an einem der beiden Gates initiiertes Anfangszustand statisch bis zu einem weiteren Schaltsignal bei  $t_1 > t_0$  erhalten bleibt. Wird beispielsweise bei  $t = t_0$  ein positiver Spannungspuls auf das linke Gate gegeben, so stellt sich im linken Ast ein Stromfluss ein, und die Spannung  $V_{IQ}$  an diesem Ast nimmt ab. Dies reduziert wiederum die Spannung am

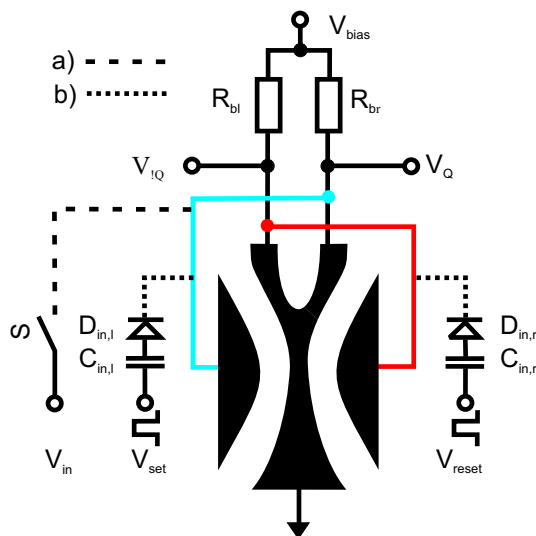
<sup>5</sup>Engl.: Static Random Access Memory

<sup>6</sup>Leitungen über mehrere Metallschichten



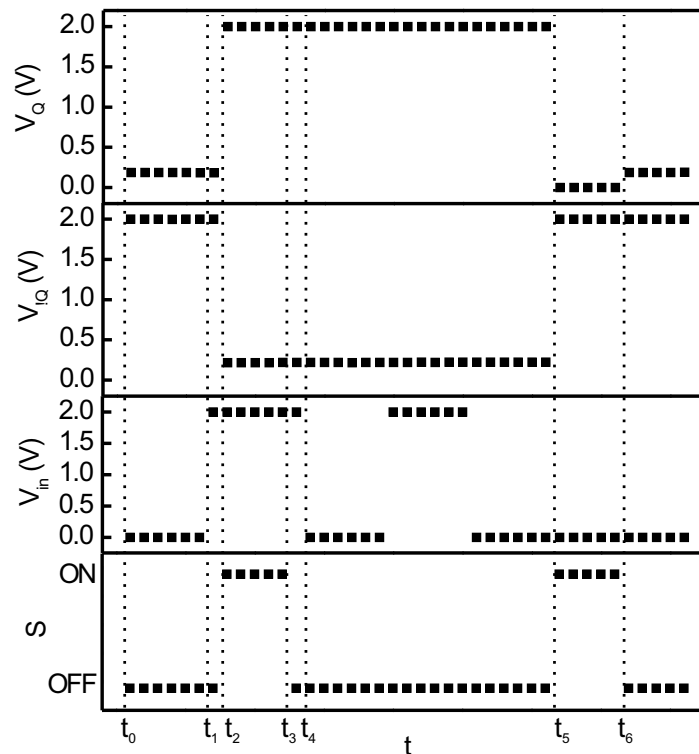
**Abb. 4.17:** Schematische Darstellung einer SRAM-Zelle basierend auf 6 FETs.

rechten Gate und resultiert in einem Anstieg der Spannung  $V_Q$ . Durch die externe Rückkopplung (blaue Verbindung in Abb. 4.18) wird schließlich der Stromfluss im linken Ast stabilisiert. Somit schaltet ein kurzer positiver Spannungspuls am linken Gate die Speicherzelle in den Zustand  $!Q = L$  ( $V_Q \rightarrow 0$ ) und  $Q = H$  ( $V_Q \rightarrow V_{bias}$ ). Das Rücksetzen der Speicherzelle geschieht in analoger Weise durch einen positiven Spannungspuls am rechten Gate, welcher zu  $!Q = H$  ( $V_Q \rightarrow V_{bias}$ ) und  $Q = L$  ( $V_Q \rightarrow 0$ ) führt. Ebenso lässt sich die Speicherzelle durch ein kurzes L- bzw. H-Signal an lediglich einem der beiden Gates von einem stabilen Speicherzustand in den komplementären Speicherzustand überführen.



**Abb. 4.18:** Schematische Darstellung zur Demonstration der Anwendung eines Y-Transistors als aktives Element einer SRAM-Zelle (Beschriftung a)) bzw. eines RS-Flop-Flops (Beschriftung b)).

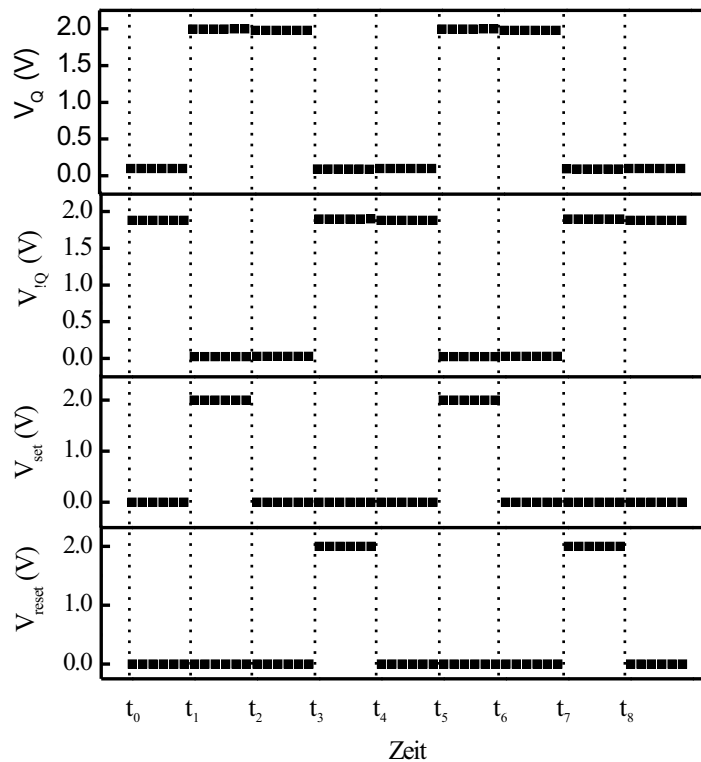
Die Analyse der Speichercharakteristik eines Y-Transistors erfolgte über die in Abb. 4.18 schematisch gezeigte Beschaltung bei  $T = 4.2$  K. Die Versorgungsspannung  $V_{bias}$  wurde über zwei Widerstände  $R_{bl} = R_{br} = 10$  M $\Omega$  an die beiden Äste der Y-förmigen Verzweigung angelegt. Der Stamm der Verzweigung war mit der Masse des Messaufbaus verbunden, auf deren Potential alle Spannungen bezogen sind. Die für den bistabilen Schaltcharakter notwendige positive Rückkopplung wurde durch eine Kopplung der Ast-Kontakte auf den jeweils gegen-



**Abb. 4.19:** Einsatz des Y-Transistors als aktives Element einer SRAM-Zelle. Die Spannungen an dem linken ( $V_{IQ}$ ) und rechten ( $V_Q$ ) Ast sind über einer zeitlichen Sequenz des Eingangssignals  $V_{in}$  und dem Status  $S$  des Relais aufgetragen.

überliegenden Gate-Kontakt realisiert. Je nach externer Beschaltung kann der Y-Transistor als Speichereinheit einer SRAM-Zelle fungieren (Konfiguration a) in Abb. 4.18) oder als RS-Flip-Flop eingesetzt werden (Konfiguration b) in Abb. 4.18). Für den SRAM-Betrieb wurde ein Relais ( $S$ ) benutzt, um das Datensignal  $V_{in}$  an das linke seitliche Gate zu koppeln. Das RS-Flip-Flop wird durch zwei Eingangssignale  $V_{set}$  and  $V_{reset}$  gesetzt bzw. zurückgesetzt. In diesem Fall transformiert die externe Beschaltung, die einem RC-Differenzglied ( $C_{in} = 68$  nF,  $R_{bl} = R_{br} = 10$  M $\Omega$ ) entspricht, rechteckförmige Eingangssignale in kurze positive Triggerpulse. Die Dioden  $D_{in,l,r}$  unterdrücken negative Triggerpulse ausgelöst durch die fallende Flanke der Eingangssignale. Die gespeicherte Information (Spannung am linken und rechten Ast) wird über Spannungsmessgeräte detektiert.

Das Verhalten des Y-Transistors als aktive Einheit einer SRAM-Zelle wird anhand Abb. 4.19 erläutert. In dieser Abbildung sind die komplementären Ausgangssignale  $V_Q$  und  $V_{IQ}$  (obere Teilbilder) über einer zeitlichen Sequenz des Eingangssignals  $V_{in}$  und dem Status des Relais  $S$  (untere Teilbilder) aufgetragen. Das Relais entspricht hierbei dem über das Adresssignal  $W$



**Abb. 4.20:** Einsatz des Y-Transistors als aktives Element eines RS-Flip-Flops. Die Spannungen an dem linken ( $V_{!Q}$ ) und rechten ( $V_Q$ ) Ast des Y-Transistors sind über einer zeitlichen Sequenz der Eingangssignale  $V_{set}$  und  $V_{reset}$  aufgetragen.

gesteuerten linken Transistor in Abb. 4.17. Ein H-Signal an  $W$  (Relais geschlossen,  $S = \text{ON}$ ) erlaubt es, das Speicherelement zu beschreiben. Die gespeicherte Information bleibt erhalten, falls  $W = L$  gilt (Relais offen,  $S = \text{OFF}$ ). Als Ausgangszustand bei  $t = t_0$  wurde  $V_{in} = 0$  ( $IN = L$ )<sup>7</sup>,  $S = \text{OFF}$ ,  $V_{!Q} = 2.0 \text{ V}$  ( $!Q = \text{H}$ ) und  $V_Q = 0.19 \text{ V}$  ( $Q = \text{L}$ ) gewählt. Das Eingangssignal wechselt bei  $t = t_1$  zu  $IN = \text{H}$ , was sich zunächst nicht auf die Signale  $Q$  und  $!Q$  auswirkt. Bei  $t = t_3$  wird das Relais aktiviert ( $S \rightarrow \text{ON}$ ), und das SRAM schaltet in den Zustand  $Q = \text{H}$  und  $!Q = \text{L}$ . Zu dem Zeitpunkt  $t = t_4$  wird das Relais deaktiviert, und das SRAM behält den gegenwärtigen Zustand ( $Q = \text{H}$ ,  $!Q = \text{L}$ ) bei, bis das Relais bei  $t = t_5$  wieder aktiviert wird. Zu diesem Zeitpunkt gilt  $IN = L$  und das SRAM schaltet in den Zustand  $Q = \text{L}$  und  $!Q = \text{H}$ , welcher erhalten bleibt, nach dem das Relais bei  $t = t_6$  deaktiviert wurde ( $S \rightarrow \text{OFF}$ ).

Die Eigenschaften des Y-Transistors als aktives Element eines RS-Flip-Flops werden anhand Abb. 4.20 erläutert. Hier sind die Steuersignale  $V_{reset}$  und  $V_{set}$  (untere Teilbilder) sowie

<sup>7</sup>Eine Spannung  $V_x$  wird als logisch L (H) gewertet, falls gilt  $V_x < 0.25 \text{ V}$  ( $V_x > 1.75 \text{ V}$ ).

die Ausgangssignale  $V_Q$  und  $V_{!Q}$  (obere Teilbilder) als Funktion der Zeit aufgetragen. Die rechteckförmigen Steuersignale werden durch die externe Beschaltung differenziert und als positive Triggerpulse auf das jeweilige Gate weitergegeben. Bei  $t = t_0$  befindet sich das Flip-Flop in dem Ausgangszustand  $!Q = H$  ( $V_{!Q} = 1.88 \text{ V}$ ) und  $Q = L$  ( $V_Q = 0.10 \text{ V}$ ). Das Flip-Flop wird bei  $t = t_1$  durch die positive Flanke des Steuersignals  $V_{set}$  gesetzt, d.h., es stellt sich der Speicherzustand  $!Q = L$  und  $Q = H$  ein. Die negative Flanke des Steuersignals bei  $t = t_2$  und  $t = t_4$  wirkt sich in Folge der gleichrichtenden Eigenschaften der Eingangsdiode nicht auf den Speicherzustand aus, welcher statisch gespeichert ist. Zum Zeitpunkt  $t = t_3$  setzt die positive Flanke des Steuersignals  $V_{reset}$  das Flip-Flop zurück in den Ausgangszustand ( $!Q = H$ ,  $Q = L$ ), während bei  $t = t_5$  und  $t = t_7$  das Flip-Flop wiederum erfolgreich gesetzt bzw. zurückgesetzt wird.

Die vorgestellten Messungen zeigen, dass ein Y-Transistor durch eine geeignete äußere Beschaltung in einfacher Weise als aktives Element einer statischen Speicherzelle eingesetzt werden kann. Neben der Funktionalität als Speicher erfüllt eine solche Zelle wichtige Voraussetzungen für die schaltungstechnische Integration. So verfügt sie neben gleichen Eingangs- und Ausgangspegeln über hohe Eingangswiderstände, verstärkende Eigenschaften und kann zudem mit geringen Versorgungsspannungen betrieben werden<sup>8</sup>.

### 4.3 Der Y-Transistor als Verstärker mit interner Rückkopplung

Nachdem in Abschnitt 4.1 eine kapazitive Kopplung der Äste zunächst indirekt über das selbst-induzierte Schalten identifiziert wurde, ist es Gegenstand dieses Abschnittes, den gegenseitigen Einfluss der Äste nicht über Spannungsvariationen an den seitlichen Gates sondern direkt durch gezielte Spannungsvariationen an den Ästen nachzuweisen.

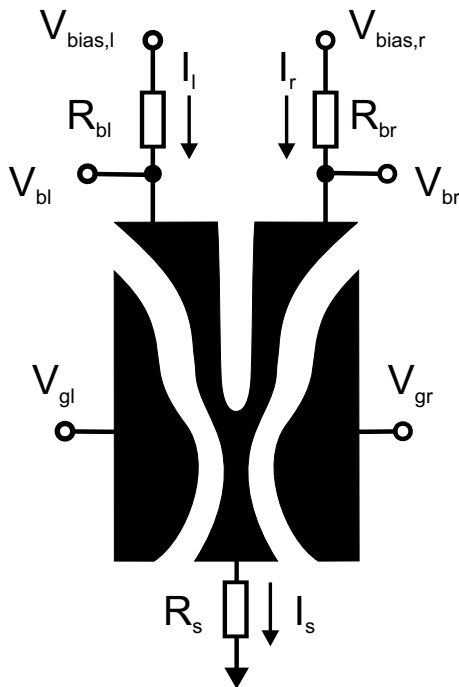
#### 4.3.1 Der symmetrische Y-Transistor als invertierender Verstärker

Gesteuert über Spannungsvariationen an einem als Gate fungierenden Ast kann eine Y-förmige Verzweigung als einfacher Nanotransistor angesehen werden, dessen Kanal der Sektion zwischen dem Stamm und dem zweiten Ast entspricht. Da der als Gate eingesetzte Ast in diesem speziellen Fall nicht durch einen geätzten Graben von dem Kanal getrennt ist, wird der hier vorliegende Gate-Mechanismus im Folgenden als *internes Gating* bezeichnet.

Die gewählte Messkonfiguration für den experimentellen Zugang zum internen Gating ist in Abb. 4.21 schematisch dargestellt. Die Vorwärtsspannungen  $V_{bias,l}$  und  $V_{bias,r}$  werden unabhängig voneinander über serielle Widerstände  $R_{bl}$  und  $R_{br}$  an den linken und rechten Ast der Y-förmigen Verzweigung angelegt, deren Stamm über den Widerstand  $R_s$  mit der Masse des

<sup>8</sup>Das bistabile Schaltverhalten wurde für Versorgungsspannungen bis hin zu lediglich  $V_{bias} = 0.7 \text{ V}$  beobachtet.



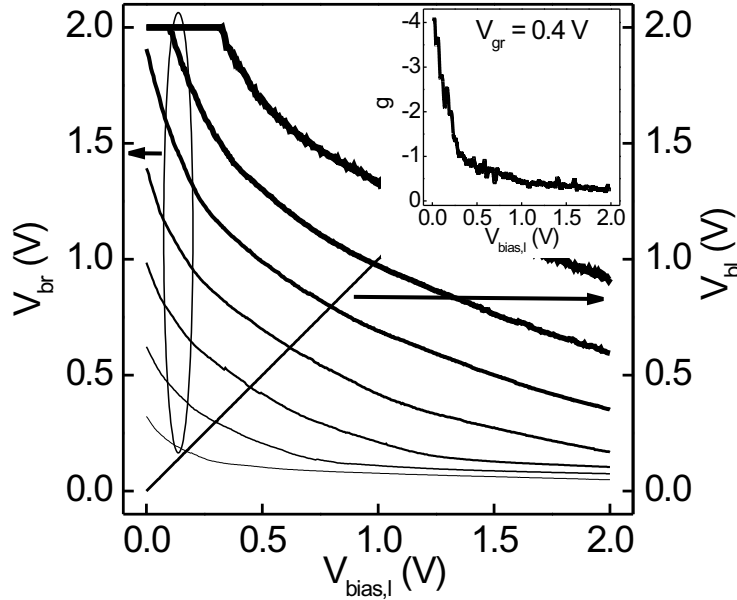


**Abb. 4.21:** Schematische Darstellung der Messkonfiguration zur Untersuchung interner Gating-Eigenschaften eines Y-Transistors. Dieser wird über Variationen der Spannungen an einem der Äste gesteuert. Die Gatespannungen  $V_{gl}$  und  $V_{gr}$  legen den Arbeitspunkt des Y-Transistors fest.

Messaufbaus verbunden ist. Über die Spannungen am linken und rechten Gate ( $V_{gl}$  und  $V_{gr}$ ) wird der Arbeitspunkt des Y-Transistors definiert. Die Ströme in den einzelnen Sektionen ( $I_l$ ,  $I_r$  und  $I_s$ ) der Verzweigung können über den Spannungsfall am jeweiligen Widerstand ( $R_{bl}$ ,  $R_{br}$  und  $R_s$ ) berechnet werden. Soweit nicht anders angegeben wurden die Messungen bei einer Temperatur von  $T = 4.2$  K in flüssigem Helium durchgeführt.

Zunächst wurde die Übertragungskennlinie  $V_{br}(V_{bias,l})$  des Y-Transistors für verschiedene Arbeitspunkte aufgenommen ( $R_{bl} = R_{br} = 10$  M $\Omega$ ,  $R_s = 56$  k $\Omega$ ). In Abb. 4.22 sind die entsprechenden Abhängigkeiten  $V_{br}(V_{bias,l})$  sowie  $V_{bl}(V_{bias,l})$  für  $V_{gr}$  zwischen 0.2 und 0.8 V und konstantes  $V_{gl} = -0.4$  V illustriert. Die Spannung  $V_{gl}$  wurde stark negativ gewählt, so dass in dem gewählten Bereich der Gatespannungen der Stromfluss im linken Ast vernachlässigbar klein war<sup>9</sup>, was sich in der linearen  $V_{bl}(V_{bias,l})$ -Charakteristik mit  $V_{bl} = V_{bias,l}$  widerspiegelt. Da die kapazitive Kopplung zwischen dem linken Ast und der Verzweigung mit steigender Eingangsspannung  $V_{bl}$  zu einem Anstieg der Ladungsträgerkonzentration im Verzweigungsbereich und somit auch des Leitwertes  $G_{sr}$  führt, wird für alle Arbeitspunkte ein invertierendes Verhalten von  $V_{br}$  bezüglich  $V_{bl}$  beobachtet. Die Verläufe für verschiedene  $V_{gr}$  unterscheiden sich nur unwesentlich in ihrer Form. Sie sind jedoch gegeneinander verschoben, wobei die Ausgangsspannung  $V_{br}$  für ein gegebenes  $V_{bias,l}$  mit steigender Spannung  $V_{gr}$  hin zu kleineren Spannungen wandert. Über  $V_{gr}$  kann also die Grundleitfähigkeit des Verzweigungsbereichs eingestellt werden, welche mit  $V_{gr}$  ansteigt und sich für ein gegebenes  $V_{bias,l}$  in einem erhöhten Stromfluss  $I_r$  bzw. einer niedrigeren Spannung  $V_{br}$  niederschlägt. Der hinsichtlich der erreichbaren Spannungsverstärkung optimale Arbeitspunkt des invertierenden Verstärkers ergibt sich

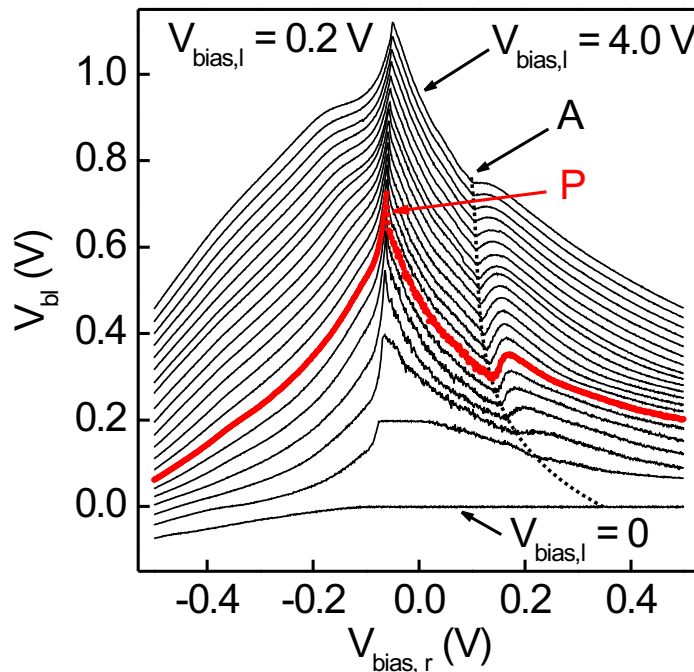
<sup>9</sup>Durch die negative Spannung  $V_{gl}$  wird die Y-Verzweigung entlang des linken Astes verarmt, d.h., es bildet sich lokal eine Potentialbarriere aus, die die Transmissionswahrscheinlichkeit  $T_{sl} = T_{ls}$  und somit auch  $I_l$  reduziert.



**Abb. 4.22:** Y-Transistor als invertierender Verstärker. Die Spannungen am linken und rechten Ast sind für verschiedene, durch die Spannung am rechten Gate definierte Arbeitspunkte als Funktion der Eingangsspannung  $V_{bias,l}$  aufgetragen ( $V_{gl} = -0.4$  V).  $V_{gr}$  wurde zwischen 0.2 V (breiteste Linie) und 0.8 V (dünnste Linie) mit einer Schrittweite von 0.1 V variiert. Teilbild: Verstärkungscharakteristik für  $V_{gr} = 0.4$  V.

in der gezeigten Konfiguration für  $V_{br} = 0.4$  V. Wie in dem Teilbild der Abb. 4.22 zu erkennen ist, weist der Y-Transistor für diesen Arbeitspunkt eine differentielle Spannungsverstärkung  $g = dV_{br}/dV_{bias,l}$  von  $-4$  bei  $V_{bias,l} \approx 0$  auf, die mit der eines Quantendraht-Transistors vergleichbar ist (vgl. Abschnitt 3.2). Interessanterweise kann wiederum eine starke Abhängigkeit der differentielle Spannungsverstärkung  $g$  von der Gatespannung  $V_{bias,l}$  beobachtet werden. So steigt  $|g|$  mit abnehmender Spannung  $V_{bias,l} \rightarrow 0$  überproportional an.

Um diese starke  $g(V_{bias,l})$ -Abhängigkeit näher zu untersuchen, wurde eine weitere Messserie durchgeführt, bei der auch negative Spannungen an dem rechten, als Gate fungierenden Ast angelegt wurden. Diese Messserie wurde für  $R_{bl} = 10$  M $\Omega$ ,  $R_{br} = 100$  k $\Omega$ ,  $R_s = 12$  k $\Omega$  und konstante Spannungen an den seitlichen Gates durchgeführt. Als Parameter diente die Vorwärtsspannung  $V_{bias,l}$  am linken Ast, die in Schritten von 0.2 V zwischen 0 und 4.0 V variiert wurde. In Abb. 4.23 sind die entsprechenden experimentellen Übertragungskennlinien dargestellt. Die Kurven weisen einige unerwartete Merkmale auf. Insbesondere bildet sich eine resonanzartige Spannungsspitze bei  $V_{bias,r} \approx -60$  mV aus. Im Falle von  $V_{bias,l} = 0$  tritt Gleichrichtung auf, d.h., ein Stromfluss im linken Ast kann nur für negative Spannungen  $V_{bias,r} \lesssim -120$  mV



**Abb. 4.23:** Übertragungskennlinie eines Y-Transistors als Verstärker. Die Versorgungsspannung  $V_{bias,l}$  wurde zwischen 0 und 4.0 V variiert. Als prägnantes Merkmal ergibt sich die resonanzartige Spannungsspitze bei  $V_{bias,r} \approx -60$  mV, die im Falle  $V_{bias,l} = 1.2$  V (rote Kurve) mit  $P$  gekennzeichnet ist.

detektiert werden. Dieses Verhalten ähnelt der in Abschnitt 2.7 im Zusammenhang mit der ballistischen Gleichrichtung beschriebenen elektrischen Asymmetrie einer Y-förmigen Verzweigung [Wei99, Xu02]. Eine grundlegende Änderung der Übertragungskennlinie stellt sich für positive  $V_{bias,l}$  ein. So kann neben einer Verschiebung der Kurven hin zu höheren  $V_{bl}$  eine prägnante Änderung der Kurvenform beobachtet werden. Im Gegensatz zu  $V_{bias,l} = 0$  resultieren für  $V_{bias,l} = 0.2$  V auch positive  $V_{bias,r}$  in einem endlichen Stromfluss im linken Ast, der mit steigendem  $V_{bias,r} > 19$  mV zunimmt und mit einer Abnahme von  $V_{bl}$  verbunden ist. Im Intervall  $-76$  mV  $< V_{bias,r} < 19$  mV gilt  $V_{bl} = V_{bias,l} - R_{bl}I_l = 0.2$  V, d.h.,  $I_l$  ist vernachlässigbar klein. Bei einer Eingangsspannung  $V_{bias,r} = -76$  mV setzt erneut ein Stromfluss im linken Ast ein, der mit abnehmender Eingangsspannung  $V_{bias,r}$  ansteigt. Im Gegensatz zu  $V_{bias,l} = 0$  geschieht dies zunächst mit positiver Krümmung  $d^2V_{bl}/dV_{bias,r}^2 > 0$ , welche zusammen mit  $V_{bl}$  bei  $V_{bias,r} = 0.35$  V ihr Vorzeichen wechselt.

Mit steigender Spannung  $V_{bias,l} > 0.2$  V entwickelt sich eine ausgeprägte Spannungsspitze bei  $V_{bias,r} \approx -60$  mV. Die Position der Spitze, die im Folgenden als  $V_p$  bezeichnet wird, hängt dabei von der jeweiligen Vorwärtsspannung am linken Ast ab, d.h.  $V_p = V_p(V_{bias,l})$ .

Bemerkenswert ist der starke Anstieg im Bereich der positiven Flanke von  $V_{bl}$  für Vorwärtsspannungen  $V_{bias,l} > 0.6$  V. Dies ist durch den Pfeil  $P$  exemplarisch für die rot dargestellte Messkurve gekennzeichnet, die  $V_{bias,l} = 1.2$  V zugeordnet ist. Weiterhin fallen die als  $A$  gekennzeichneten lokalen Minima von  $V_{bl}$  bei  $V_{bias,r} \approx 0.12$  V auf, deren jeweilige Position und Ausprägung ebenfalls von  $V_{bias,l}$  abhängt. Während  $V_p$  mit steigendem  $V_{bias,l}$  hin zu positiveren Werten schiebt, nimmt die Spannung  $V_{bias,r} = V_A$ , bei der das lokale Minimum von  $V_{bl}$  auftritt, mit steigender Vorwärtsspannung am linken Ast ab.

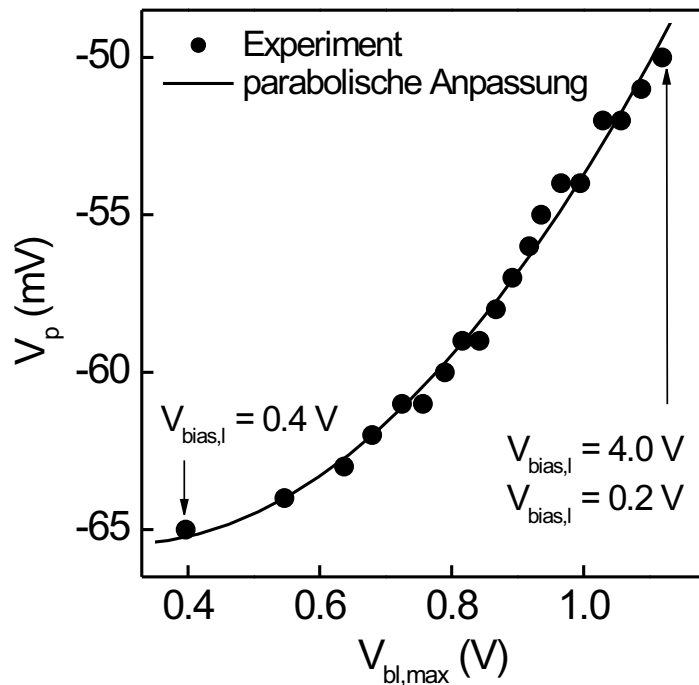
Zur weiteren Analyse der Übertragungskennlinie wird die Verschiebung von  $V_p$  mit der Parameterspannung  $V_{bias,l}$  untersucht. Wie sich weiter unten herausstellen wird, ist diese Verschiebung auf einen Rückkopplungsmechanismus zurückzuführen, der zu einem bistabilen Schaltverhalten auch ohne jegliche weitere (externe) Rückkopplung führen kann. Zunächst zeigt es sich, dass zwischen  $V_p$  und der Spannung  $V_{bl,max} = V_{bl}(V_{bias,r} = V_p)$  ein parabolischer Zusammenhang vorliegt. Dieses Verhalten ist in Abb. 4.24 veranschaulicht, in der  $V_p$  als Funktion von  $V_{bl,max}$  für  $V_{bias,l}$  zwischen 0.4 V und 4.0 V aufgetragen ist ( $\Delta V_{bias,l} = 0.2$  V).  $V_p$  steigt von -65 mV bei  $V_{bl,max} = 0.4$  V hin zu  $V_p = -50$  mV für  $V_{bl,max} = 1.1$  V und kann in dem gezeigten Spannungsbereich gemäß

$$V_p(V_{bl}) = V_{p0} + \beta_a V_{bl} + \beta_b V_{bl}^2 \quad (4.8)$$

beschrieben werden. Die Polynom-Koeffizienten  $V_{p0}$ ,  $\beta_a$  und  $\beta_b$  wurden über die Anpassung der experimentellen Daten zu  $V_{p0} = -63$  mV,  $\beta_a = -1.4 \times 10^{-2}$  und  $\beta_b = 2.4 \times 10^{-2} \text{ V}^{-1}$  bestimmt.

Als besonderes Charakteristikum der  $V_{bl}(V_{bias,r})$ -Abhängigkeit wird der stark nichtlineare Verlauf im Bereich der Spannungsspitze bei  $V_{bias,r} = V_p$  gewertet. Um dieses Merkmal näher zu analysieren, wurde der Verlauf für  $V_{bias,l} = 1.2$  V herangezogen. In Abb. 4.25 sind die entsprechenden Spannungen  $V_{bl}$  (oberes Teilbild) und  $V_{br}$  (unteres Teilbild) in Abhängigkeit von  $V_{bias,r}$  aufgetragen. Während  $V_{br}$  im unteren Teilbild für  $V_{bias,r} > V_p$  der Eingangsspannung identisch folgt, kommt es für  $V_{bias,r} < V_p$  zu einer deutlichen Abweichung ( $V_{br} > V_{bias,r}$ ), die mit abnehmendem  $V_{bias,r}$  an Stärke gewinnt. Der Stromfluss im rechten Ast ist also für  $V_{bias,r} > V_p$  vernachlässigbar klein, während ein von der Eingangsspannung abhängiger Injektionsstrom  $I_r$  im Bereich  $V_{bias,r} < V_p$  beobachtet wird. Zwei unterschiedliche Mechanismen bestimmen offenbar den gegenseitigen Einfluss der Äste, je nachdem ob  $V_{bias,r}$  größer oder kleiner als  $V_p$  ist. Es liegt nahe, im Folgenden zwischen dem Gating-Regime ( $V_{bias,r} > V_p$ ,  $I_l \approx 0$ ) und dem Injektions-Regime ( $V_{bias,r} < V_p$ ,  $I_l \neq 0$ ) zu unterscheiden, was in Abb. 4.25 durch Pfeile verdeutlicht wird. Interessanterweise sind im Bereich des Übergangs von dem Injektions- hin zu dem Gating-Regime, d.h. in unmittelbaren Umgebung der Spannungsspitze, kleine Änderungen von  $V_{br}$  mit enormen Änderungen von  $V_{bl}$  verbunden. So wurde eine entsprechende Spannungsverstärkung  $g = dV_{bl}/dV_{br}$  von bis zu 64 im Injektions-Regime bzw. -139 im Gating-Regime bestimmt.

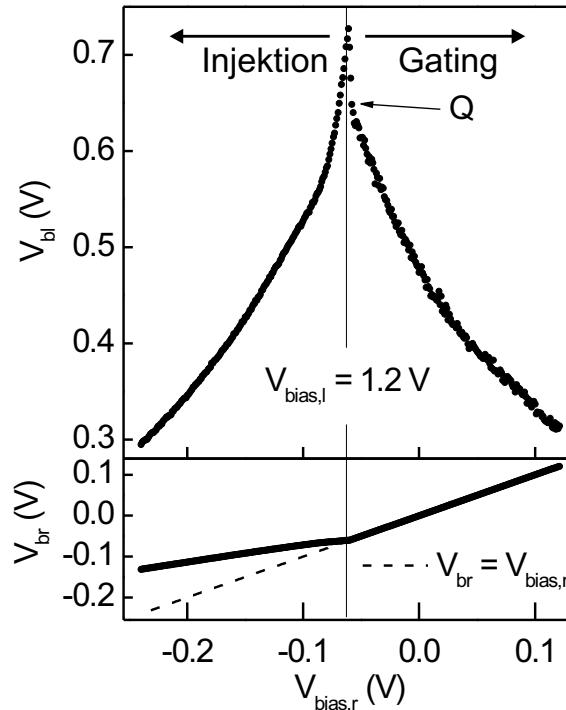
Für eine qualitative Diskussion der vorgestellten Beobachtungen wurden die Elektronenverteilung in der Y-förmigen Verzweigung für vier unterschiedliche Spannungen  $V_{bias,r}$  in Abb. 4.26 schematisch dargestellt. Schwarze Pfeile illustrieren den Elektronenfluss, wobei deren Stärke



**Abb. 4.24:** Zusammenhang zwischen der Lage ( $V_p$ ) und der Höhe der Spannungsspitze ( $V_{bl,max}$ ) in der Übertragungskennlinie des Y-Transistors. Die aus den experimentellen  $V_{bl}(V_{bias,r})$ -Verläufen extrahierten Werte lassen sich gut mit einem Polynom zweiten Grades beschreiben.

ein Maß für die zugehörige Stromstärke ist. Für stark positive Eingangsspannungen (Teilbild a)) ist der linke Ast niederohmig und über den Stamm injizierte Elektronen werden vorzugsweise in diesen abgelenkt. Aufgrund des DIBL kommt es weiterhin zu einer Absenkung der Potentialbarriere entlang des rechten Astes, so dass auch im diesem Ast endlicher Stromfluss detektiert werden kann. Bei  $V_{bias,r} = V_A$  vollzieht sich der Übergang zum Gating-Regime mit  $I_r = 0$ , in Folge dessen die kapazitive Kopplung zwischen dem rechten Ast und dem Verzweigungsbereich zunimmt (vgl. Gl. (2.7)). Dies ist mit einer Umverteilung des Elektronenflusses im Verzweigungsbereich hin zum linken Ast verbunden und erklärt die in Abb. 4.23 mit  $A$  gekennzeichnete Nichtlinearität in der Übertragungskennlinie. Die Position  $V_A$  des lokalen Minimums wandert dabei in Konsistenz mit der oben diskutierten  $V_p(V_{bl,max})$ -Abhängigkeit mit steigender Vorwärtsspannung  $V_{bias,l}$  hin zu kleineren Eingangsspannungen<sup>10</sup>. Teilbild b) gibt die Verhältnisse im Gating-Regime mit  $V_{bias,r} \gg V_p$  wider. Mit abnehmender Eingangsspannung bevölkern Elektronen mehr und mehr den rechten Ast und reduzieren den Leitwert zwischen dem Stamm und dem linkem Ast, was mit einem Anstieg der Ausgangsspannung  $V_{bl}$  verbunden ist.

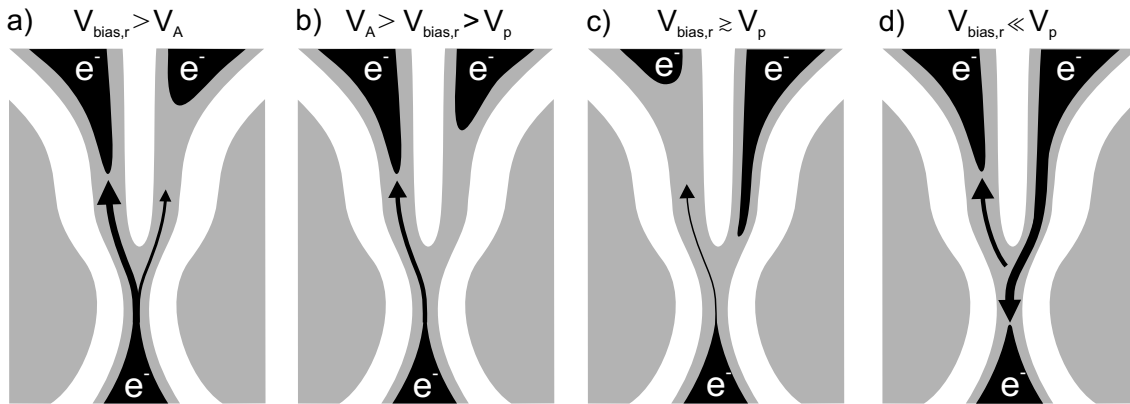
<sup>10</sup>Im Bereich positiver Eingangsspannungen sinkt der Einsatzpunkt ( $V_A$ ) der Injektionsströme im rechten Ast mit abnehmender Höhe der Potentialbarriere entlang dieses Astes.



**Abb. 4.25:** Spannungen  $V_{bl}$  und  $V_{br}$  am linken bzw. rechten Ast des Y-Transistors als Funktion der Eingangsspannung für  $V_{bias,l} = 1.2$  V. In Anlehnung an die Stromverhältnisse im rechten Ast wird zwischen dem Injektions-Regime ( $I_l \neq 0$ ) und dem Gating-Regime ( $I_l \approx 0$ ) unterschieden.

Im weiteren Verlauf der Übertragungskennlinie dringen Elektronen bis hin zu dem Verzweigungsbereich vor (siehe Abb. 4.26 c)). Aufgrund der abstoßenden Coulomb-Wechselwirkung der Elektronen kommt es daher zu einer Verarmung des Verzweigungsbereichs, so dass der Leitwert  $G_{sl}$  stark abnimmt und  $V_{bl}$  entsprechend ansteigt. Dadurch werden Elektronen aus dem linken Ast abgezogen, was wiederum die Penetration von Elektronen in den rechten Ast begünstigt und in Form einer internen Rückkopplung positiv auf den Eingang zurück wirkt. Unterhalb von  $V_{bias,r} = V_p$  übersteigt das elektrochemische Potential im rechten Ast schließlich die Höhe der Potentialbarriere und heiße Elektronen werden ballistisch vom rechten Ast in den Verzweigungsbereich injiziert (siehe Abb. 4.26 d)). Der überwiegende Teil des Injektionsstroms, der mit abnehmender Spannung  $V_{bias,r}$  ansteigt, fließt über die Stammsektion ab. Lediglich ein geringer Prozentsatz der injizierten Elektronen wird in den linken Ast gestreut, wobei das Verhältnis  $I_l/I_r$  mit sinkendem  $V_{bias,r}$  abnimmt.

Berücksichtigt man das angesprochene, von der Eingangsspannung abhängige Eindringen von Elektronen in den rechten Ast, so kann man den  $V_{bl}(V_{bias,r})$ -Verlauf im Gating-Regime, also insbesondere auch den steilen Anstieg nahe  $V_p$  über eine spannungsabhängige Gate-Effektivität



**Abb. 4.26:** Schematische Darstellungen zum internen Gating. Die Elektronenverteilung im Verzweigungsbereich ist für drei Eingangsspannungen gezeigt: a) Elektronenverteilung für stark positive Eingangsspannungen, b) Elektronenverteilung im Gating-Regime, c) Elektronenverteilung im Gating-Regime vor dem Übergang zum Injektions-Regime, d) Elektronenverteilung im Injektions-Regime. Schwarze Pfeile illustrieren den Elektronenfluss, wobei ihre Breite ein Maß für die Stromstärke darstellt.

$\eta_{br} = \eta_{br}(V_{br})$  des rechten Astes beschreiben. Im Gating-Regime, das durch einen vernachlässigbar kleinen Strom im rechten Ast gekennzeichnet ist, kann weiterhin der Spannungsfall an  $R_{br}$  vernachlässigt werden, so dass im Folgenden vereinfachend  $V_{br} = V_{bias,r}$  gesetzt wird. Weiterhin ergibt sich die Spannung am linken Ast aus

$$V_{bl} = V_{bias,l} - R_{bl}I_l = V_{bias,l} - R_{bl}G_{sl}(V_{bl} - V_{st}). \quad (4.9)$$

Der Leitwert  $G_{sl}$  wird über das interne Gating maßgeblich durch die Spannung am rechten Ast bestimmt. Diese Abhängigkeit kann durch den Schaltparameter  $\gamma_{ig}$  ausgedrückt werden, der dem in Kapitel 4.1 eingeführten Schaltparameter  $\gamma$  (vgl. Gl. (2.13)) ähnelt

$$\begin{aligned} G_{sl} &= \frac{1}{2} G (1 + \gamma_{ig}) \\ &= \frac{1}{2} G \left[ 1 + \tanh \left\{ \frac{\eta_{br}(V_{br} - V_{th}) + c_{wp}}{V_{sw}} \right\} \right]. \end{aligned} \quad (4.10)$$

Hier entspricht  $G$  dem maximalen Leitwert der Verzweigungssektion zwischen dem Stamm und dem linken Ast. Die Konstante  $c_{wp}$  berücksichtigt den Einfluss der seitlichen Gates auf den Arbeitspunkt des Y-Transistors. Die Schwellenspannung  $V_{th}$  gibt die Spannung  $V_{br}$  an, oberhalb (unterhalb) derer  $V_{br}$  den über die seitlichen Gates definierten Leitwert  $G_{sl}$  erhöht (reduziert).  $V_{sw}$  wertet den Einfluss der effektiven Gatespannung auf den Schaltparameter.

Wesström beschreibt die Schalteffektivität über eine Kombination der geometrischen Kapazität und der Quantenkapazität [Wes99]. Wie in Abb. 4.26 skizziert, ist die Penetration von Elektronen in den rechten Ast eine Funktion der Spannung  $V_{br}$ . Es wird angenommen, dass sich

damit in erster Linie die Quantenkapazität des rechten Astes mit abnehmender Eingangsspannung  $V_{bl} > V_p$  erhöht. Zusätzlich reduziert der Anstieg von  $V_{bl}$  bei abnehmender Eingangsspannung die Höhe der Potentialbarriere entlang des rechten Astes, was sich ebenfalls in einer erhöhten Zustandsdichte bzw. Quantenkapazität niederschlägt. Beide Einflüsse erhöhen die Gate-Effektivität  $\eta_{br}$ , die sich proportional zur Kapazität zwischen dem rechten Ast und dem Verzweigungsbereich verhält [Chr96, Wes99], und können herangezogen werden, um den starken Anstieg von  $V_{bl}$  in unmittelbarer Nähe der Spannungsspitze zu erklären. In Anlehnung an theoretische Betrachtungen zur Abhängigkeit mesoskopischer Kapazitäten [Wan99] von der angelegten Vorwärtsspannung und als Erweiterung von Wesströms Analyse des selbstinduzierten Schaltens [Wes99] wird die Effektivität  $\eta_{br}$  daher im Rahmen eines einfachen Ansatzes durch

$$\eta_{br} = \eta_{sr} + \eta_{lr} = \eta_{sr}^*/(V_{br} - V_p(V_{bl})) + \eta_{lr} \quad (4.11)$$

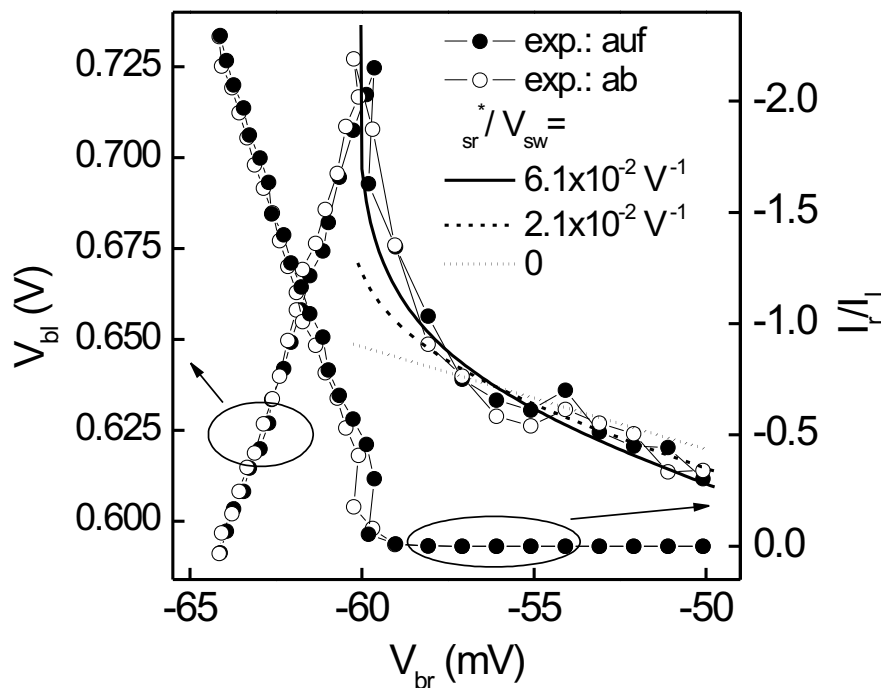
ausgedrückt. Die Effektivitäten  $\eta_{sr}$  und  $\eta_{lr}$  berücksichtigen hierbei einen von der Spannung  $V_{br}$  unabhängigen Gate-Einfluss sowie den stark spannungsabhängigen Einfluss des rechten Astes auf den Leitwert  $G_{sl}$ . Die Gleichungen (4.8) bis (4.11) erlauben es nun, den  $V_{bl}(V_{br})$ -Verlauf im Gating-Regime theoretisch zu beschreiben. Dies wurde numerisch mit der Näherung  $V_{st} = 0$  und den Fit-Parametern  $G$ ,  $\eta_{sr}/V_{sw}$ ,  $\eta_{lr}$ ,  $V_{th}$  und  $c_{wp}/V_{sw}$  durchgeführt. Die beste Anpassung der experimentellen Daten gelang mittels  $G = 4.0 \times 10^{-7} \Omega^{-1}$ ,  $\eta_{sr}^*/V_{sw} = 4.5 \times 10^{-2} \text{ V}^{-1}$ ,  $\eta_{lr}/V_{sw} = 6.1 \text{ V}^{-1}$ ,  $V_{th} = 56.1 \text{ mV}$  und  $c_{wp}/V_{sw} = -1.0/\text{V}$ . Um den Einfluss der spannungsabhängigen Gate-Effektivität zu veranschaulichen, zeigt Abb. 4.27 neben der experimentellen Übertragungskennlinie des Y-Transistors auch den für drei Kopplungsstärken  $\eta_{sr}^*/V_{sw}$  berechneten Verlauf. Vernachlässigt man den Beitrag der spannungsabhängigen Kopplung ( $\eta_{sr}^*/V_{sw} = 0$ , gepunktete Linie), so kommt es nicht zu dem experimentell beobachteten steilen Anstieg von  $V_{bl}$  nahe  $V_{br} = V_p$ . Im Gegensatz dazu steigt  $V_{bl}$  für  $V_{br} \rightarrow V_p$  bei endlicher Gate-Effektivität  $\eta_{sr}^*/V_{sw} > 0$  mit abnehmendem  $V_{br}$  in Übereinstimmung mit den experimentellen Daten steil an.

Ein interessantes Merkmal der Gleichung (4.11) stellt die funktionelle Abhängigkeit der Gate-Effektivität  $\eta_{sr}$  von  $V_{bl}$  gemäß Gl. (4.8) dar, welche die eingangs erwähnte positive intrinsische Rückkopplung beschreibt. Die Ausgangsspannung wirkt nämlich auf den Eingang zurück, indem sie laut Gl. (4.8) über  $V_p$  die Effektivität  $\eta_{sr} \propto (V_{br} - V_p(V_{bl}))^{-1}$  beeinflusst, welche ihrerseits als Argument des Schaltparameters den Verlauf der Übertragungskennlinie bestimmt. Ist nun die durch eine kleine Variation der Eingangsspannung  $\Delta V_{br}$  ausgelöste und über die interne Rückkopplung vermittelte Absenkung der Barriere im rechten Ast mit  $\Delta E_{Ast,r} = -e\Delta V_p = -e\eta_{rueck} \Delta V_{bl}$  größer als die Änderung  $\Delta \mu_{br} = -e\Delta V_{br}$  des chemischen Potentials im Reservoir des rechten Astes, was mathematisch über die Bedingung

$$dE_{Ast,r}/d\mu_{br} = dV_p/dV_{bl} \times dV_{bl}/dV_{br} = \eta_{rueck} \times g \lesssim -1 \quad (4.12)$$

mit  $\eta_{rueck} = dV_p/dV_{bl}$  und  $g = dV_{bl}/dV_{br}$  ausgedrückt werden kann, so wird vorausgesagt, dass es ohne jede weitere (externe) Rückkopplung zu einem bistabilen Schaltverhalten kommen sollte.





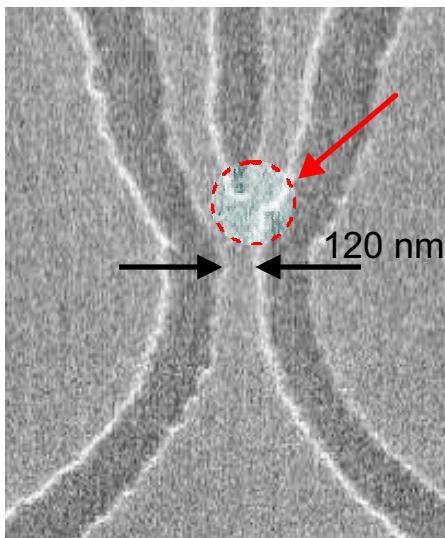
**Abb. 4.27:** Übertragungskennlinie des Y-Transistors sowie der Quotient der Ströme  $I_r/I_l$  als Funktion der Spannung  $V_{br}$ . Beide Größen sind für eine Variation der Spannung  $V_{br}$  von negativen zu positiven Werten ( $\bullet$ ) und umgekehrt ( $\circ$ ) dargestellt. Die für drei Werte der Gate-Effizienz  $\eta_{sr}^*/V_{sw}$  berechneten Kurven verdeutlichen den Einfluss der von der Eingangsspannung abhängigen kapazitiven Kopplung zwischen dem rechten Ast und dem Verzweigungsbereich auf den Verlauf der Übertragungskennlinie.

Anhand Abb. 4.27, in welcher neben  $V_{bl}$  auch das Verhältnis der Ströme  $I_r/I_l$  für eine Variation der Eingangsspannung von negativen zu positiven Werten ( $\bullet$ ) und umgekehrt ( $\circ$ ) aufgetragen ist, wird diese Voraussage mit dem experimentellen Befund verglichen. Numerisch wurde eine maximale Spannungsverstärkung von  $g_{max} = -50$  bei  $V_{bl} \approx 0.7$  V extrahiert. Zusätzlich ist es möglich, den Rückkopplungsparameter  $\eta_{rueck}$  durch die Ableitung von Gl. (4.8) nach  $V_{bl}$  zu berechnen. Bei  $V_{bl} = 0.7$  V ergibt sich  $\eta_{rueck} = 0.020$ , was zusammen mit der maximalen Spannungsverstärkung in  $\eta_{rueck} \times g_{max} = -1$  resultiert. Entsprechend der oben angeführten theoretischen Überlegungen sollte dies bereits zu einem bistabilen Schaltcharakter führen. Tatsächlich kann für  $V_{bl}$  und  $I_r/I_l$  in Abb. 4.27 eine Hysterese beobachtet werden, die jedoch mit  $V_H \approx 1$  mV sehr klein ausfällt.

Gemäß Abschnitt 2.6 ist die endliche Schalthysterese kennzeichnend für bistabiles Schalten. Ein ausgeprägtes bistabiles Schaltverhalten konnte in dem untersuchten symmetrischen

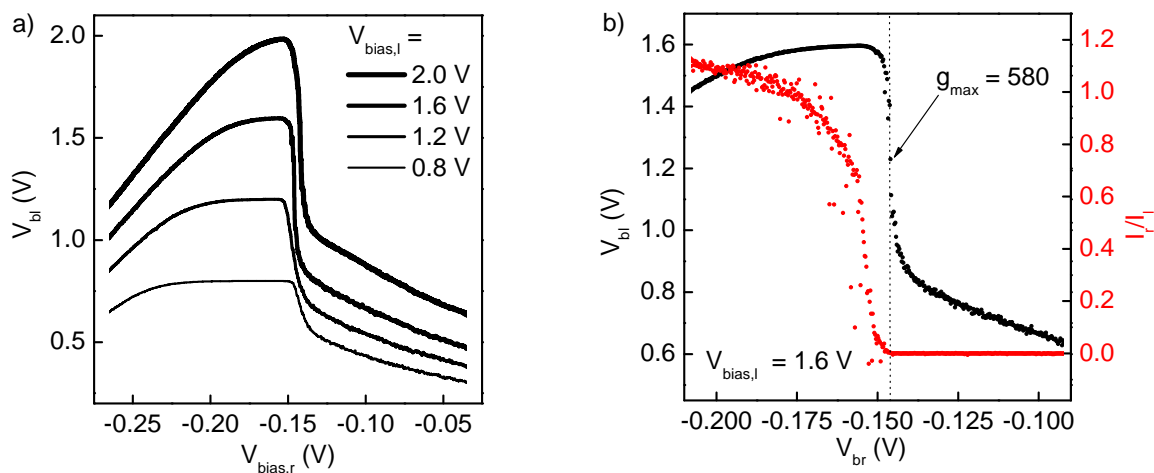
Y-Transistor jedoch nicht beobachtet werden. Dies wird der Abhängigkeit der mesoskopischen Kapazität zwischen dem rechten Ast und dem Verzweigungsbereich von den Transmissionseigenschaften des rechten Astes zugeschrieben. Gemäß Gl. (2.7) reduziert eine endliche Transmissionswahrscheinlichkeit des rechten Astes nämlich die Kapazität  $C_{br}$  ( $R < 1$ ), was wiederum die erreichbare Gate-Effektivität  $\eta_{sr}$  und somit auch die maximale Spannungsverstärkung nach oben begrenzt [Chr96]. Infolge der endlichen Transmissionswahrscheinlichkeit kommt es bei  $V_{br} = V_p$  vielmehr zu einem Übergang des rein kapazitiven Gatings zu einem Stromkontrollierten Regime, in dem der Injektionsstrom vom rechten Ast schließlich den Verlauf der Übertragungskennlinie dominiert. Hierbei kann das Stromverhältnis  $I_r/I_l \gtrsim 0.1$  als Abbruchbedingung für das kapazitive Gating gewertet werden. Es wäre daher von großem Interesse, einen Nanotransistor zu realisieren, der durch eine hohe und zugleich möglichst dünne Gatebarriere Leckströme unterdrückt aber dennoch die für das bistabile Verhalten essentielle intrinsische Rückkopplung aufweist.

### 4.3.2 Der asymmetrische Y-Transistor als bistabiler Schalter



**Abb. 4.28:** Elektronenmikroskopische Aufnahme eines asymmetrischen Y-Transistors. Die Asymmetrie zwischen dem linken und rechten Ast, die sich in prägnanter Form in den elektrischen Eigenschaften widerspiegelt, ergibt sich durch die rot gekennzeichnete Verengung in unmittelbarer Nähe des Verzweigungsbereichs.

Im Rahmen der Nanostrukturierung wurde ein asymmetrischer Y-Transistor realisiert, der eine nahezu ideale Besonderheit hinsichtlich des internen Gatings aufweist. Dieser Y-Transistor ist in Abb. 4.28 in Form einer elektronenmikroskopischen Aufnahme dargestellt, in welcher das spezielle Merkmal der Struktur nämlich die künstliche lokale Verengung des rechten Astes in unmittelbarer Nähe des Verzweigungsbereiches rot gekennzeichnet ist. Diese Verengung führt lokal eine Potentialbarriere ein, die im Vergleich zu einem symmetrischen Y-Transistor ein verbessertes Leckstromverhalten und zugleich eine starke kapazitive Ankopplung des rechten Astes an den Verzweigungsbereich bei ähnlicher Rückkopplungseffektivität ermöglichen sollte. Den Betrachtungen des vorherigen Abschnittes folgend wird erwartet, dass die mit der lokalen Verengung verbundenen elektrischen Vorteile ein bistabiles Schaltverhalten des asymmetrischen Y-Transistors ermöglichen.



**Abb. 4.29:** Asymmetrischer Y-Transistor als Spannungsverstärker. a) Übertragungskennlinie  $V_{bl}(V_{bias,r})$  für vier Versorgungsspannungen  $V_{bias,l} = 0.8, 1.2, 1.6$  und  $2.0$  V. b) Übertragungskennlinie des Verstärkers und das Verhältnis  $I_r/I_l$  zwischen dem Strom im linken und rechten Ast des Y-Transistors als Funktion der Spannung  $V_{br}$  für  $V_{bias,l} = 1.6$  V.

Der asymmetrische Y-Transistor wurde hinsichtlich des internen Gatings über die in Abbildung 4.21 skizzierte Messkonfiguration untersucht. Um einen direkten Vergleich mit den Ergebnissen des symmetrischen Y-Transistor (vgl. Abschnitt 4.3.1) zu ermöglichen, wurde wiederum eine Messserie durchgeführt, bei der  $V_{bias,l}$  als Parameter zwischen 0.8 und 2.0 V variiert und  $V_{bl}$  sowie  $V_{br}$  als Funktion von  $V_{bias,r}$  aufgenommen wurden. Die entsprechenden Übertragungskennlinien sind in Abb. 4.29 a) dargestellt. Analog zu dem symmetrischen Y-Transistor (vgl. Abb. 4.23) kann von positiven Gatespannungen her kommend für alle Parameterspannungen ein invertierendes Verhalten von  $V_{bl}$  in Bezug auf die Eingangsspannung  $V_{bias,r}$  beobachtet werden. Dieses invertierende Verhalten mündet bei  $V_{bias,r}$  jeweils in einem sehr steilen Anstieg von  $V_{bl}$  bei abnehmender Eingangsspannung. Der Anstieg fällt verglichen mit dem symmetrischen Y-Transistor insbesondere für  $V_{bias,l} = 1.6$  V deutlich stärker aus. Für diese Parameterspannung ergibt sich eine maximale differentielle Spannungsverstärkung  $g_{max} = (dV_{bl}/dV_{bias,r})_{max}$  von -580, die etwa eine Größenordnung über der für den symmetrischen Y-Transistor detektierten liegt. Im weiteren Verlauf der Messkurven hin zu stärker negativen Eingangsspannungen nimmt die differentielle Verstärkung ab, wobei jeweils ein Spannungsplateau unterschiedlicher Breite mit  $V_{bl} = V_{bias,l}$  zu beobachten ist. Bei einer weiteren Reduktion der Eingangsspannung weisen die  $V_{bl}(V_{bias,r})$ -Verläufe einen nichtinvertierenden Charakter mit einer maximalen differentiellem Verstärkung in der Größenordnung von 10 auf.

Ein Vergleich mit Abb. 4.23 zeigt weiterhin, dass der Bereich der Eingangsspannung, in welchem das starke interne Gating auftritt beim asymmetrischen Y-Transistor um etwa 100 mV hin zu stärker negativen Spannungen ( $V_{bias,r} \approx -0.15$  V) verschoben ist, was auf eine höhere Barriere zwischen dem rechten Ast und dem Verzweigungsbereich hindeutet. Außerdem

kommt es nicht zu der für den symmetrischen Y-Transistor beobachteten charakteristischen Spannungsspitze. Vielmehr scheint sich der Übergang in das Injektions-Regime eher kontinuierlich zu vollziehen. Weiterhin setzt ein merklicher Stromfluss im rechten Ast erst ein, nachdem der Bereich höchster Verstärkung hin zu negativen Eingangsspannungen durchlaufen wurde. Dies wird anhand Abb. 4.29 b) veranschaulicht, in welcher die Übertragungskennlinie sowie das Verhältnis der Ströme  $I_r/I_l$  für  $V_{bias,l} = 1.6$  V zum direkten Vergleich mit Abb. 4.27 wieder über  $V_{br}$  aufgetragen wurden. Insbesondere wird das im vorangegangenen Abschnitt als Abbruchbedingung für das starke kapazitive Gating angegebene Verhältnis von  $I_r/I_l$  erst bei einer Eingangsspannung erreicht, für die der Kanal des Transistors bereits nahezu hochohmig ist. Diese Beobachtungen lassen darauf schließen, dass die mit der in Abb. 4.28 rot gekennzeichneten Einschnürung verbundene Potentialbarriere eine effektive kapazitive Ankopplung des rechten Astes an den Verzweigungsbereich erlaubt, und gleichzeitig Leckströme in dem für den invertierenden Verstärker relevanten Bereich der Eingangsspannung  $V_{bias,r} > -150$  mV unterdrückt.

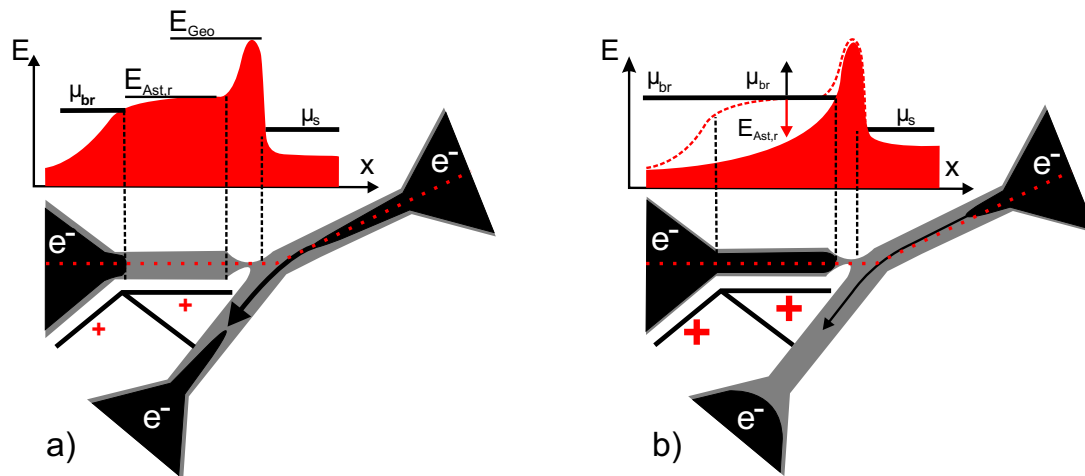
Im Gegensatz zu dem symmetrischen Y-Transistor wirkt sich hier die Spannung am linken Ast jedoch nicht signifikant in Form einer Verschiebung auf die Position der maximalen Verstärkung aus (vgl. Abb. 4.24). Dennoch sollte die Spannung am linken Ast den Potentialverlauf entlang des rechten Astes, welcher in Abb. 4.30 zur weiteren Diskussion qualitativ für zwei Eingangsspannungen veranschaulicht ist, über die kapazitive Kopplung beeinflussen: Auch beim asymmetrischen Y-Transistor wird angenommen, dass ein Anstieg von  $V_{bl}$  die Barriere entlang des rechten Astes reduziert und somit die Penetration von Elektronen in diesen begünstigt. Jedoch verhindert die mit der geometrischen Einschnürung verbundene lokale Barriere, dass Elektronen für vergleichbare Eingangsspannungen in den Verzweigungsbereich injiziert werden (vgl. Abb. 4.30 b)). Ein Anstieg von  $V_{bl}$  bei gegebener Spannung  $V_{bias,r}$  erhöht somit die Zustandsdichte im rechten Ast und gemäß Gl. (2.7) auch dessen Quantenkapazität. Wie in Abschnitt 4.3 bereits diskutiert wurde, sollte diese interne positive Rückkopplung - die Ausgangsspannung  $V_{bl}$  wirkt auf den Eingang konstruktiv zurück - bei ausreichend hoher Verstärkung zu einem bistabilen Schaltverhalten des Y-Transistors führen.

Eine genaue Aussage über den Einfluss der Spannung am linken Ast auf die Höhe der Ast-Barriere bzw. der lokalen geometrischen Barriere würde aufwendige numerische Berechnungen erfordern, in denen der Potentialverlauf in selbstkonsistenter Weise über die Lösung der Poisson-Gleichung berechnet wird. Als qualitatives Richtmaß kann jedoch folgender Zusammenhang festgehalten werden

$$E_{Ast,r,max} < E_{Geo,max}, \quad \text{und} \quad dE_{Ast,r}/dE_{Geo} > 1, \quad (4.13)$$

wobei  $E_{Ast,r,max}$  das Maximum der Barriere entlang des Astes und  $E_{Geo,max}$  die Barrierenhöhe im Bereich der lokalen Einschnürung bezeichnen. Die Variablen  $dE_{Ast,r}$  und  $dE_{Geo}$  stellen die Reduktion der jeweiligen Barriere mit zunehmendem  $V_{bl}$  infolge der internen Rückkopplung dar. Somit gilt auch für den asymmetrischen Y-Transistor die Bedingung 4.12 für das bistabile Schalten.

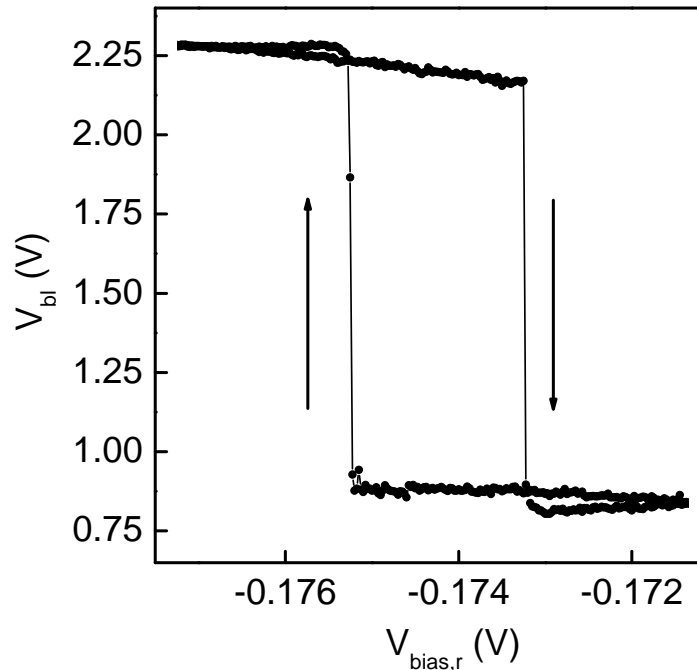
Tatsächlich konnte dieses besondere Verhalten bei einem asymmetrischen Y-Transistor nach



**Abb. 4.30:** Schematische Darstellungen zur internen Rückkopplung. Der Potentialverlauf entlang der gepunkteten Linie zwischen der Stamm-Sektion und dem rechten Ast ist für zwei Eingangsspannungen  $V_{bias,r}$  qualitativ skizziert. a) Potentialverlauf für  $V_{bias,r} \gg V_{gmax}$ . b) Potentialverlauf für  $V_{bias,r} \approx V_{gmax}$ .

einer Optimierung des Arbeitspunktes beobachtet werden. Eine entsprechende Messkurve ist in Abb. 4.31 dargestellt. Ausgehend von  $V_{bias,r} = -0.171$  V steigt  $V_{bl}$  zunächst mit abnehmender Eingangsspannung leicht an, um bei  $V_{bias,r} = -0.1752$  V abrupt von 0.88 V nach 2.25 V in den oberen stabilen Zustand zu schalten. Das Schalten in den ursprünglichen Zustand mit  $V_{bl} \approx 0.83$  V geschieht ebenso abrupt bei  $V_{bias,r} = -0.1732$  V. Wie bereits bei dem Y-Transistor mit externer Rückkopplung ist das bistabile Schalten auch hier mit einer Schalthysterese verbunden (vgl. Abschnitt 4.2). Der Wert der Schalthysterese fällt jedoch mit  $V_H = 2$  mV deutlich geringer aus, was auf eine geringere Rückkopplungseffektivität im Falle des internen Gatings schließen lässt.

Einen tieferen Einblick in den Mechanismus der internen Rückkopplung erlangt man über temperaturabhängige Messungen der Übertragungskennlinie, die zwischen  $T = 14$  und 300 K für  $V_{bias,l} = 2.5$  V durchgeführt wurden. Für Temperaturen unterhalb von 20 K konnte dabei ein bistabiles, mit einer Hysterese verbundenes Schaltverhalten beobachtet werden. Die Schalthysterese nimmt mit steigender Temperatur ab und geht im Übergangsbereich vom bistabilen Schalten hin zu einem von hoher Spannungsverstärkung geprägtem invertierendem Verhalten zwischen  $T = 18$  und 20 K gegen Null. Um dieses Übergangsverhalten zu veranschaulichen, wurde der  $I_l(V_{bias,r})$ -Verlauf exemplarisch für  $T = 18$  und 20 K in Abb. 4.32 a) bzw. b) aufgetragen. Bei der mit  $T = 18$  K assoziierten Kurve ist das bistabile Verhalten deutlich zu erkennen. Hier ist das Schalten zwischen den beiden stabilen Zuständen mit einer Stromänderung von etwa 50 nA und einer Hysterese von  $V_H = 0.3$  mV verbunden. Erhöht man die Temperatur auf 20 K, so ergibt sich die in Abb. 4.32 b) dargestellte Abhängigkeit des Kanalstroms  $I_l$  von  $V_{bias,r}$ . Bei dieser Temperatur ist die Schalthysterese gänzlich verschwunden und der Strom folgt der Eingangsspannung auf monotone Weise, was für den gewählten Arbeitspunkt mit einer Span-

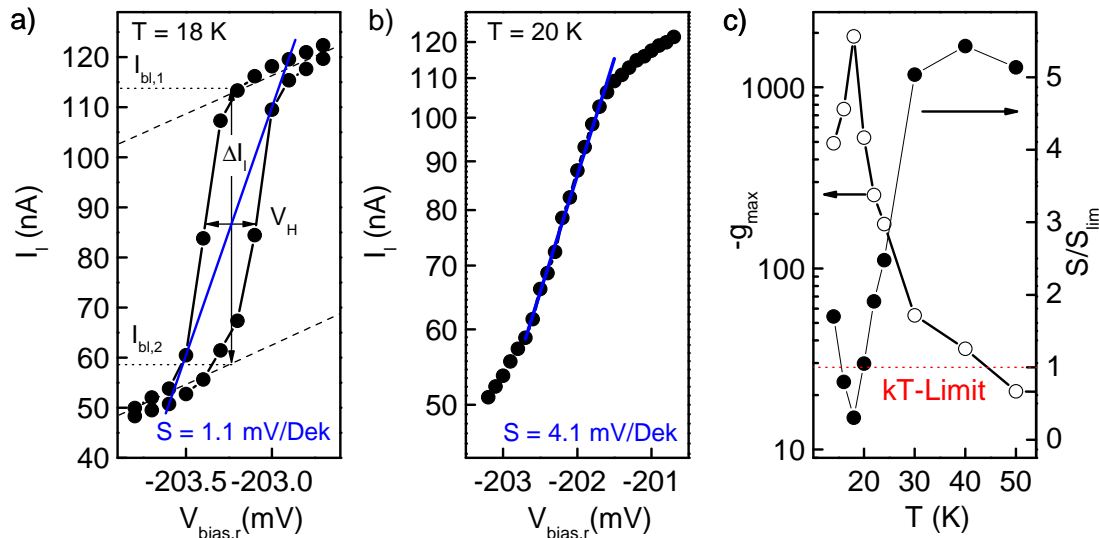


**Abb. 4.31:** Bistabiles Schaltverhalten eines asymmetrischen Y-Transistors durch interne Rückkopplung.

nungsverstärkung von  $g_{max} = -530$  verbunden ist. Wie Abb. 4.32 c) zeigt, steigt die maximale Spannungsverstärkung im bistabilen Bereich<sup>11</sup> von -491 bei  $T = 14$  K bis auf einen Wert von -1900 bei  $T = 18$  K, um in dem rein verstärkenden Bereich stetig von  $g_{max} = -530$  bei  $T = 20$  K bis auf einen Wert von -8 bei Raumtemperatur (nicht gezeigt) abzunehmen.

Die in Abb. 4.32 c) gezeigte Temperaturabhängigkeit der maximalen Spannungsverstärkung eignet sich zur Verifizierung des Bistabilitätskriteriums (4.12). Nimmt man an, dass sich  $\eta_{rueck}$  nicht mit der Temperatur ändert, so bestimmt allein die erreichbare Verstärkung  $g_{max}$  den Übergang vom invertierenden Verhalten des Y-Transistors hin zum bistabilen Schalten. Für  $g_{max}$  wird im Gegensatz zu  $\eta_{rueck}$  eine starke Temperaturabhängigkeit erwartet, da die Steilheit und somit auch  $g_{max}$  laut Gl. (2.27) linear mit der Beweglichkeit der Elektronen im Kanal korreliert sind. Die Beweglichkeit eines 2DEG nimmt wiederum stark mit steigender Temperatur ab [Nog96], was eine effektive Kontrolle der Verstärkung über die Temperatur erlaubt. So kann die Verstärkung im invertierenden Bereich der Übertragungskennlinie gezielt von  $g_{max} = -8$  bei Raumtemperatur bis hin zu -530 bei  $T = 20$  K variiert werden, ohne ein bistabiles Schaltverhalten zu beobachten. Dies stellt sich bei  $T = 18$  K ein, und ist durch eine Schalthysterese

<sup>11</sup>Im bistabilen Bereich wurde die Spannungsverstärkung über den Quotienten aus dem mit der Stromänderung  $\Delta I_l$  assoziierten Spannungshub  $V_{hub} = \Delta I_l R_{bl}$  und der Schalthysterese  $V_H$  definiert:  $g_{max} = -\Delta I_l R_{bl} / V_H$ .



**Abb. 4.32:** Temperaturabhängigkeit der Übertragungskennlinie eines asymmetrischen Y-Transistors. a) Strom-Spannungs-Charakteristik für  $T = 18$  K. Das bistabile Verhalten ist durch eine Schalthysterese gekennzeichnet. b) Strom-Spannungs-Charakteristik für  $T = 20$  K. Es liegt rein verstärkendes Verhalten vor. c) Maximale Spannungsverstärkung und der Quotient aus der experimentell ermittelten Schaltspannung und dem thermischen Limit als Funktion der Temperatur. Das für konventionelle Transistoren geltende thermische Limit wird im verstärkenden Bereich ( $T = 20$  K) erreicht und im Falle des bistabilen Schaltens ( $T = 16$ , und  $18$  K) sogar unterschritten.

gekennzeichnet, die mit sinkender Temperatur größer wird. Es liegt also nahe, den Wert von  $g_{max} = -530$  als kritische Verstärkung anzunehmen, oberhalb derer bistabiles Schalten auftritt. Aus Gl. (4.12) ergibt sich somit eine Rückkopplungseffektivität von  $\eta_{rueck} \gtrsim 2 \times 10^{-3}$ . Diese Effektivität ist deutlich geringer als die für den symmetrischen Y-Transistor extrahierte, die etwa eine Größenordnung über diesem Wert angesiedelt ist. Als mögliche Erklärung für diesen Befund kann angeführt werden, dass der Potentialverlauf entlang des rechten Astes im Vergleich zu dem symmetrischen Y-Transistor hier durch den 'fixierenden' Einfluss der geometrische Barriere schwächer auf Änderungen der Spannung am linken Ast reagiert.

Zu einer alternativen Abschätzung der Rückkopplungseffektivität gelangt man in einfacher Weise über die Auswertung der Schalthysterese. Der Wert der Hysterese entspricht der Spannung, die aufgebracht werden muss, um die Änderung des elektrostatischen Potentials entlang des rechten Astes auszugleichen, zu der es in Folge der internen Rückkopplung beim Schalten von einem stabilen Zustand in den anderen kommt. In dem konkreten Fall für  $T = 14$  K ergibt diese Auswertung  $\eta_{rueck} \approx V_H/V_{hub} = 2.0$  mV/823 mV =  $2.4 \times 10^{-3}$ . Dieser Wert

ist in guter Übereinstimmung mit dem über die Temperaturserie gewonnenen Ergebnis von  $\eta_{rueck} \gtrsim 2 \times 10^{-3}$  und bestätigt somit die Interpretation des bistabilen Schaltens über die interne Rückkopplung.

Die hohe, aus der internen Rückkopplung resultierende Schalteffizienz des asymmetrischen Y-Transistors macht diesen interessant für die technische Anwendung. Im Gegensatz zu einem klassischen FET sollte theoretischen Betrachtungen folgend für einen monomodigen Y-Transistor kein thermisches Limit der Schaltspannung existieren, wenn seine Funktion auf der Modenausbreitung der Elektronen beruht [Pal93]. In der vorliegenden Beschaltung werden die Elektronen jedoch wie bei einem FET über die Gatewirkung des rechten Astes in der Nähe des Verzweigungsbereichs reflektiert bzw. in den linken Ast transmittiert. In diesem Zusammenhang wurde untersucht, ob die zum Schalten benötigte Spannung bzw. die Subthreshold-Steigung beim Y-Transistor das thermischen Limit von  $k_B T/e$  unterschreiten kann.

Für einen FET im Subthreshold-Bereich gilt gemäß Gl. (2.32) folgender Zusammenhang zwischen dem Drainstrom  $I_d$  und der Gatespannung  $V_g$

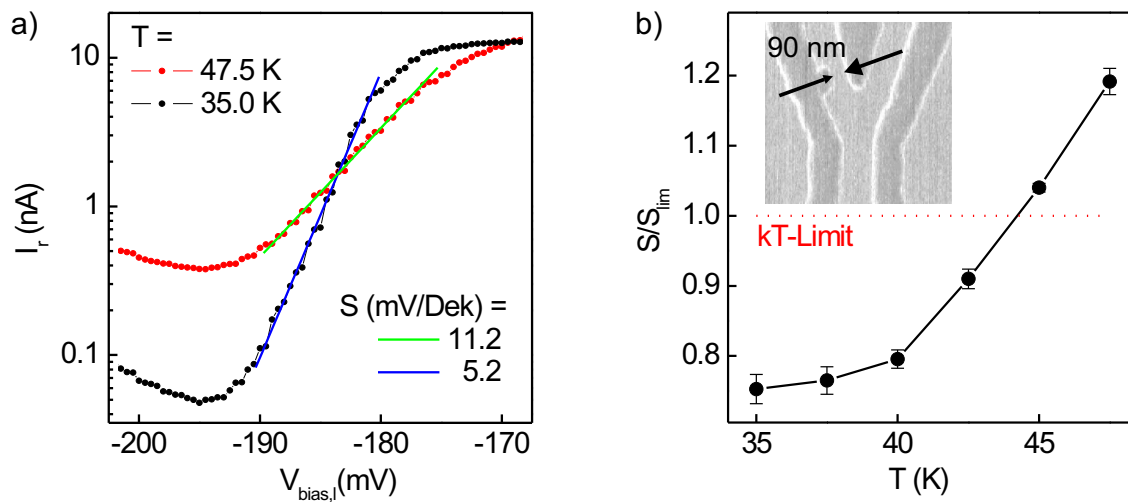
$$I_d \sim \exp[e(V_g - V_{th})/k_B T] \quad (4.14)$$

mit der Schwellenspannung  $V_{th}$ . Wendet man diese Gleichung auf die vorliegende Beschaltung des Y-Transistors an, so korrespondiert  $I_d$  mit dem Strom im linken Ast und  $V_g$  der Eingangsspannung. Bei den kontinuierlichen Ausgangskennlinien der Temperaturserie für  $20 \leq T \leq 50$  K) wurde  $I_{bl}$  auf einer logarithmischen Skala über der Eingangsspannung (vgl. Abb. 4.32 b)) als Funktion der Eingangsspannung aufgetragen, um über einen Fit des linearen Verlaufes die Subthreshold-Steigung  $S$  zu extrahieren. Für die bistabilen Kurven ist diese Definition von  $S$  aufgrund des diskontinuierlichen  $I_l(V_{bias,r})$ -Verlaufes nicht anwendbar. Stattdessen wurde eine mit der Subthreshold-Steigung vergleichbare Größe über  $S = V_H \ln(10)/\ln(I_{bl,1}/I_{bl,2})$  definiert<sup>12</sup>, wobei sich die Schaltströme  $I_{bl,1}$  und  $I_{bl,2}$  jeweils aus dem Schnittpunkt der in Abb. 4.32 a) gestrichelt eingezeichneten linearen Extrapolation der  $I_d(V_{bias,r})$ -Verläufe in den stabilen Bereichen und der Eingangsspannung im zentralen Punkt der Hystereseschleife ergeben. Die somit extrahierten Werte für  $S$  wurden in Abb. 4.32 c) auf das thermische Limit  $S_{lim} = \ln(10)k_B T/e$  normiert über der Temperatur aufgetragen. Bei  $T = 50$  K liegt die Schaltspannung des Y-Transistors mit  $S = 50$  mV/Dek um einen Faktor 5 über dem thermischen Limit von  $S_{lim} = 9.7$  mV/Dek. Unterhalb von  $T = 30$  K kommt es zu einem deutlichen Anstieg der Verstärkung, was im Zusammenspiel mit der internen Rückkopplung in einer starken Abnahme der Schaltspannung resultiert. Diese nähert sich im Verstärkungsbereich mit abnehmender Temperatur auf lineare Weise dem thermischen Limit, welches für  $T = 20$  K, also kurz vor dem Übergang zum bistabilen Schaltverhalten, erreicht wird. Im bistabilen Bereich unterschreitet die Schaltspannung sogar das thermische Limit für  $T = 18$  und  $16$  K, um bei  $T = 14$  K wieder über dem thermischen Limit  $S_{lim}$  zu liegen.

Untersuchungen an einem weiteren asymmetrischen Y-Transistor, der in Abb. 4.33 b) in Form einer elektronenmikroskopischen Aufnahme dargestellt ist, bestätigen dieses interessante

<sup>12</sup>Der Term  $\ln(10)/\ln(I_{bl,1}/I_{bl,2})$  berücksichtigt, dass die mit der Schalthysterese verbundene Stromänderung  $\Delta I_b$  keine gesamte Dekade überdeckt.





**Abb. 4.33:** Subthreshold-Verhalten eines asymmetrischen Y-Transistors für Temperaturen zwischen 35.0 und 47.5 K. a) Logarithmische Darstellung des Kanalstroms als Funktion der Eingangsspannung für  $T = 35.0$  und 47.5 K. b) Vergleich der experimentellen Subthreshold-Steigung  $S$  mit dem thermischen Limit von  $S_{lim} = \ln(10)k_B T/e$  als Funktion der Temperatur. Teilbild: Elektronenmikroskopische Aufnahme des untersuchten asymmetrischen Y-Transistors mit einer Verengung im Bereich des linken Astes.

Ergebnis. Die Asymmetrie ergibt sich bei diesem Y-Transistor aus der 90 nm breiten Verengung im Bereich des linken Astes. Bei geeigneter Wahl des Arbeitspunktes kann ein bistabiles Schaltverhalten bei Temperaturen  $T \lesssim 20$  K und Vorwärtsspannungen von wenigen 100 mV beobachtet werden (nicht gezeigt). Wiederum wurde der Y-Transistor hinsichtlich seiner Schaltspannung im Rahmen einer temperaturabhängigen Messserie charakterisiert. Hierbei wurde die Übertragungskennlinie  $V_{br}(V_{bias,l})$  für Temperaturen zwischen 35.0 und 47.5 K bei einer Vorwärtsspannung von  $V_{bias,r} = 300$  mV aufgenommen und der Kanalstrom  $I_r$  als Funktion der Eingangsspannung  $V_{bias,l}$  berechnet. Exemplarisch ist dieser Strom für  $T = 35.0$  und 47.5 K in Abb. 4.33 a) in logarithmischer Darstellung gezeigt. In beiden Fällen kann ein typisches Subthreshold-Verhalten mit einer bereichsweisen linearen Abhängigkeit des logarithmierten Kanalstroms von der Eingangsspannung in einem rein verstärkenden Regime beobachtet werden. Der Kanalstrom nimmt jeweils mit sinkender Eingangsspannung unterhalb einer Schwellenspannung von -177 mV (-180 mV) bei  $T = 47.5$  K ( $T = 35.0$  K) stark ab, wobei die Steigung bei  $T = 35$  K deutlich höher ausfällt. Im weiteren Verlauf der Kennlinien, d.h. für  $V_{bias,l} \lesssim -195$  mV, steigt der Kanalstrom wieder an, was auf Injektionsströme aus dem linken Ast zurückgeführt wird. Die Injektionsströme limitieren den Kanalstrom nach unten und fallen für  $T = 47.5$  K deutlich stärker aus. Die lineare Anpassung der gezeigten Verläufe ergibt eine Subthreshold-Steigung von  $S = 11.2$  mV/Dek für  $T = 47.5$  K bzw.  $S = 5.2$  mV/Dek für  $T = 35.0$  K. Auf gleiche Weise wurde die Subthreshold-Steigung auch für die weiteren

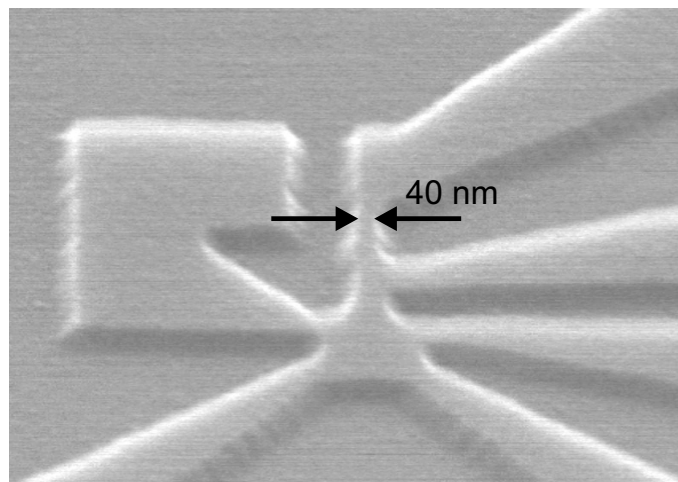
Messungen extrahiert und in Abb. 4.33 b) auf das thermische Limit normiert als Funktion der Temperatur aufgetragen. Während die Subthreshold-Steigung mit  $S/S_{lim} = 1.2$  für  $T = 47.5$  K das thermischen Limit noch nicht erreicht, durchläuft sie dieses unterhalb von  $T = 45$  K, um schließlich für  $T = 35$  K mit  $S = 5.2$  mV/Dek einen Wert deutlich unterhalb des theoretischen Limits von  $S_{lim} = 7.0$  mV/Dek anzunehmen.

Im direkten Vergleich mit dem Quantendraht-Transistor, bei dem die Schaltspannung bei  $T = 4.2$  K im ballistischen Verstärkungsbereich um einen Faktor 6 über dem thermischen Limit liegt (vgl. Abschnitt 3.2), zeigt sich die mit der Aufspaltung des Drain-Kontakts erzielbare Effizienzsteigerung beim Y-Transistor mit  $S/S_{lim} \lesssim 1$  besonders deutlich. Dies ist insbesondere deshalb beachtenswert, als das Gate bzw. der rechte Ast im Falle des asymmetrischen Y-Transistors auf einer Länge von lediglich wenigen 10 nm an den stromführenden Kanal angekoppelt ist, während die seitlichen Gates beim Quantendraht-Transistor über die gesamte Kanallänge (kapazitiv) angekoppelt sind.

## Kapitel 5

# Logische Gatter basierend auf verzweigten Kanalstrukturen

Die intensive Forschung im Bereich der Nanoelektronik wird maßgeblich durch den Bedarf an kompakten und verlustleistungsarmen logischen Schaltelementen in der digitalen Elektronik vorangetrieben. Da die Mikroelektronik bei einer weiteren Skalierung konventioneller Bauteile in den Sub-100 nm Bereich bald an ihre physikalischen Grenzen hinsichtlich quantenmechanischer Effekte wie dem Auftreten von Tunnelströmen durch den Kanal oder der Wärmeentwicklung stoßen wird, stehen neben der Optimierung vorhandener Technologien vor allem neuartige Bauteilkonzepte im Blickpunkt aktueller Forschungsaktivitäten. In diesem Kapitel werden kompakte logische Gatter und Schaltungen vorgestellt, die konsequent den ballistischen Charakter des Elektronentransports in mesoskopischen Strukturen ausnutzen. Als Beispiel einer logischen Schaltung ist in Abb. 5.1 ein planarer nanoelektronischer Halb-Addierer mit einer Kanalbreite von 40 nm in Form einer elektronenmikroskopischen Aufnahme in seitlicher Ansicht dargestellt.



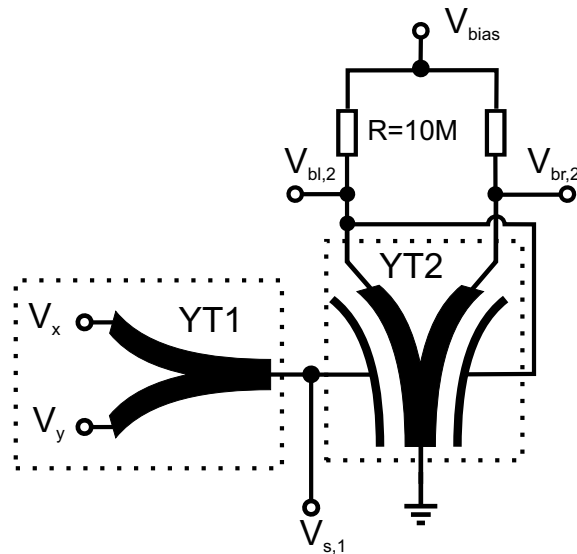
**Abb. 5.1:** Elektronenmikroskopische Aufnahme eines planaren Halb-Addierers (seitliche Ansicht) mit Kanalbreiten von lediglich 40 nm.

## 5.1 Nanoelektronisches AND/NAND-Gatter

Im Hinblick auf die Realisierung einer neuartigen Logikfamilie spielt insbesondere die NAND-Verknüpfung eine wichtige Rolle, da alle komplexen logischen Operationen auf die Kombination einer endlichen Anzahl dieser Grundverknüpfung zurückgeführt werden können. Eine Y-förmige Verzweigung erfüllt aufgrund der ballistischen Gleichrichtung intrinsisch die logische AND-Funktionalität. Andererseits kann ein Y-Transistor als verstärkendes Element mit Schmitt-Trigger-Charakteristik eingesetzt werden, um wohl definierte Ausgangspegel zu erlangen. Im Folgenden wird gezeigt, dass durch die Kombination einer Y-förmigen Verzweigung mit einem Y-Transistor ein kompaktes AND/NAND-Gatter mit ausgezeichneten guten elektrischen Eigenschaften realisiert werden kann.

### 5.1.1 Kombiniertes AND/NAND-Gatter

Das AND/NAND-Gatter wurde zunächst über zwei individuelle Y-Transistoren (YT1 und YT2) auf eine Weise realisiert, wie sie in Abb. 5.2 illustriert ist. Die beiden Eingangsspannungen  $V_y$  und  $V_x$  werden an den linken und rechten Ast von YT1 angelegt, dessen Gatespannungen konstant auf 1.4 V gehalten wurden (nicht gezeigt). Der Stamm von YT1 wurde extern mit dem linken seitlichen Gate von YT2 verbunden, welcher als Y-Transistor in Schmitt-Trigger-Konfiguration betrieben wurde. Somit bildet das Ausgangssignal  $V_{s,1}$  von YT1 das Eingangssignal  $V_{gl,2}$  von YT2. Am linken (rechten) Ast von YT2 kann schließlich  $V_{bl,2} \hat{=} X \text{ NAND } Y$  ( $V_{br,2} \hat{=} X \text{ AND } Y$ ) abgegriffen werden. Sämtliche Messungen wurden bei einer Vorwärtsspannung von  $V_{bias} = 1.5 \text{ V}$  und einer Temperatur von  $T = 4.2 \text{ K}$  durchgeführt.



**Abb. 5.2:** Schematische Darstellung des kombinierten AND/NAND-Gatters bestehend aus zwei Y-Transistoren. Die Spannungen  $V_{bl,2}$  und  $V_{br,2}$  bilden die Ausgangssignale des logischen Gatters mit den Eingangssignalen  $V_x$  and  $V_y$ .

Die logische Funktionalität des kombinierten AND/NAND-Gatters beruht auf der ballistischen Gleichrichtung in nanoelektronischen Y-Verzweigungen, die in Kapitel 2.7 vorgestellt wurde. Die Gleichrichtung äußert sich dahingehend, dass die Spannung  $V_{s,1}$  am Stamm in Folge der ballistischen Injektion von Elektronen in den Verzweigungsbereich hin zu der negativeren

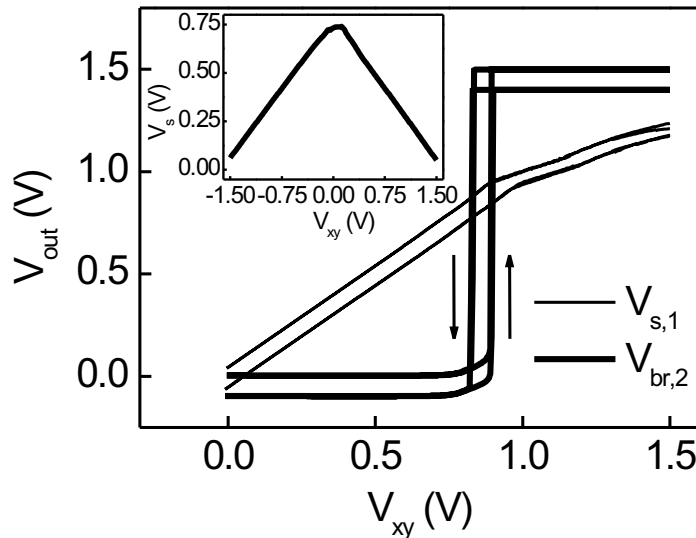
der beiden Eingangsspannungen  $V_x$  und  $V_y$  an den Ästen tendiert. Dieses Verhalten wird anhand des Teilbildes in Abb. 5.3 für YT1 veranschaulicht. Das Teilbild zeigt  $V_{s,1}$  als Funktion der Spannungsdifferenz  $\Delta V_{xy} = V_x - V_y$  an den entsprechenden Ästen, wobei die Spannungen  $V_x$  und  $V_y$  in Push-Pull-Konfiguration mit  $V_x + V_y = 1.5$  V variiert wurden. Für  $\Delta V_{xy} = -1.5$  V, d.h.  $V_x = 0$  und  $V_y = 1.5$  V, ergibt sich eine Spannung  $V_{s,1} = 60$  mV, was die nahezu perfekte Gleichrichtung bzw. Ballistizität der entsprechenden Verzweigung widerspiegelt. Weiterhin schlägt sich die hohe strukturelle Güte der untersuchten Probe in einer elektrischen Spiegelsymmetrie von  $V_{s,1}$  bzgl.  $\Delta V_{xy} = 0$  nieder ( $V_s(-\Delta V_{xy}) = V_s(\Delta V_{xy})$ ). Somit stellt der Stamm von YT1 den (unverstärkten) Ausgang eines logischen AND-Gatters mit den Eingängen  $X$  und  $Y$  dar.

Ein AND-Gatter basierend auf einer *einzelnen* Y-förmigen Verzweigung weist keine Verstärkungseigenschaften auf. Des Weiteren ist die nahezu lineare Ausgangscharakteristik bzgl. der Variation eines Eingangssignals unvorteilhaft hinsichtlich der Anfälligkeit gegenüber Störsignalen an den Eingängen. Um diesen Nachteilen entgegenzuwirken, wurde das Ausgangssignal von YT1 durch den Y-Transistor YT2 in Schmitt-Trigger-Konfiguration (vgl. Kapitel 4.2.1) verstärkt. Die Übertragungskennlinien des kombinierten AND/NAND-Gatters, d.h.  $V_{s,1}$  bzw.  $V_{br,2}$  als Funktion der Eingangsspannungen  $V_x$  und  $V_y$ , sind in Abb. 5.3 dargestellt. Der bistabile Schaltcharakter des nanoelektronischen Schmitt-Triggers (YT2) schlägt sich in einer Schalthysterese zwischen den Kurven für unterschiedliche Messrichtungen nieder. Die breit gezeichneten Kurven, die aus Gründen der Übersichtlichkeit um 0.1 V zu stärker negativen Spannungen verschoben wurden, geben das Verhalten für  $V_x = 1.5$  V unter einer Variation von  $V_y$  zwischen 0 und 1.5 V wider, während die dünn dargestellten Kurven auf eine Variation von  $V_x$  für  $V_y = 1.5$  V bezogen sind. Bei der Messung von 0 hin zu positiven Eingangsspannungen steigt  $V_{s,1}$  in beiden Fällen monoton mit der Eingangsspannung an,  $V_{br,2}$  jedoch verharrt zunächst in dem unteren stabilen Ausgangszustand des Schmitt-Triggers ( $V_{br,2} < 100$  mV). Sobald  $V_{s,1}$  die obere Schaltschwelle  $V_{X,Y} = V_{th,up} = 0.9$  V erreicht, schaltet der Schmitt-Trigger nahezu instantan in den oberen stabilen Zustand ( $V_{br,2} \approx V_{bias} = 1.5$  V). Für die Messung in umgekehrter Richtung findet das Umschalten von  $V_{br,2}$  in den unteren stabilen Zustand bei  $V_{x,y} = 0.83$  V statt, so dass sich eine auf die Eingangsspannungen bezogene Schalthysterese von 70 mV einstellt.

In digitalen Systemen werden logische Gatter zu mehr oder weniger komplexen Schaltungen

$X$	$Y$	$C = X \text{ AND } Y$	$\overline{C} = \overline{X \text{ AND } Y}$
H	H	H	L
H	L	L	H
L	H	L	H
L	L	L	H

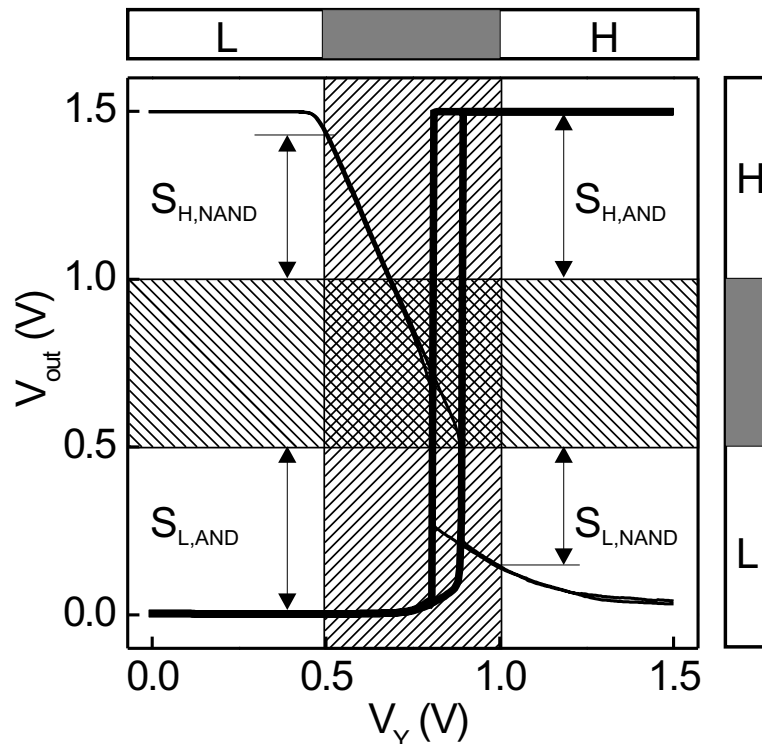
**Tab. 5.1:** Wahrheitstabelle eines AND-Gatters und NAND-Gatters mit den Eingangssignalen  $X$  und  $Y$  sowie den Ausgangssignalen  $C$  und  $\overline{C}$ .



**Abb. 5.3:** Übertragungskennlinie eines kombinierten AND/NAND-Gatters. Spannungen  $V_{s,1}$  und  $V_{br,2}$  als Funktion von  $V_x$  (dünne Linie,  $V_y = 1.5$  V) und  $V_y$  (breite Linie,  $V_x = 1.5$  V, aus Gründen der Übersichtlichkeit um  $-0.1$  V verschoben). Die Messrichtung ist jeweils durch Pfeile gekennzeichnet. Teilbild: Demonstration der ballistischen Gleichrichtung in Push-Pull-Konfiguration. Die Spannung  $V_{s,1}$  am Stamm von YT1 ist über der Spannungsdifferenz  $\Delta V_{xy} = V_x - V_y$  mit  $V_x + V_y = 1.5$  V aufgetragen.

gen (Schaltssystemen) zusammengefasst. Vom Ausgang eines Gatters werden dabei im Allgemeinen die Eingänge mehrerer weiterer Gatter angesteuert. Dies bedeutet, dass die Eingänge der angeschlossenen Gatter bei endlichen Eingangswiderständen ihrerseits als Last auf die Höhe der Ausgangsspannung zurückwirken. In beiden Schaltzuständen (L, H) ändert sich daher die Ausgangsspannung  $V_0$  der Schaltstufe gegenüber dem unbelasteten Fall. Des Weiteren beeinflussen auch Schwankungen der Betriebsspannung, Temperatureinflüsse und das Übersprechen zwischen benachbarten Signalleitungen die Ausgangsspannung eines logischen Gatters. Aus diesem Grund werden für logische Gatter sichere Pegelbereiche definiert und den binären Spannungspegeln H und L der Schaltvariablen zugeordnet. Diese Pegelbereiche der Ausgangs- und Eingangsspannung müssen bestimmte Grenzwerte einhalten, damit die logische Zuordnung eindeutig bleibt.

Auch im Falle eines kombinierten AND/NAND-Gatter auf der Basis Y-förmiger Verzweigungen lassen sich solche Pegelbereiche definieren, was in Abb. 5.4 zusammen mit den entsprechenden Störabständen  $S$  sowohl für dessen AND-Ausgang (dünne Linie) als auch für dessen NAND-Ausgang (breite Linie) veranschaulicht ist. Die schraffierten Flächen geben eine mögliche Definition der Pegelbereiche an. So werden Spannungen im Intervall  $[1.0$  V,  $1.5$  V]



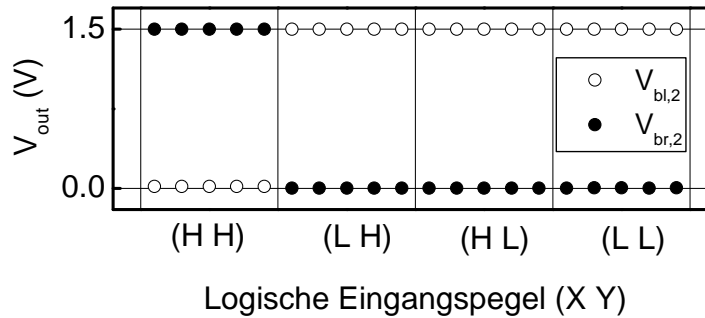
**Abb. 5.4:** Pegeldefinition des kombinierten AND/NAND-Gatters. Ausgangssignale  $V_{bl,2}$  (dünne Linie, NAND-Ausgang) und  $V_{br,2}$  (breite Linie, AND-Ausgang) als Funktion der Eingangsspannung  $V_y$  für  $V_x = 1.5$  V. Die verbotenen, nicht definierten Bereiche der Eingangs- bzw. Ausgangsspannung sind schraffiert dargestellt.

( $[0, 0.5$  V]) dem binären Signalpegel H (L) zugeordnet, während Spannungen im Intervall  $]0.5$  V,  $1.0$  V[ mit dem so genannten nicht definierten, verbotenen Bereich assoziiert werden. Entsprechend dieser Pegeldefinition ergeben sich die in Tab. 5.2 angegebenen statischen Störabstände.

Aufgrund der Schmitt-Trigger-Charakteristik, die sich insbesondere in der mit dem AND-

	$S_{AND}$ [mV]	$s_{AND}$	$S_{NAND}$ [mV]	$s_{NAND}$	$S_{CMOS}$ [V]	$s_{CMOS}$
H	500	0.33	431	0.29	1.45	0.29
L	500	0.33	360	0.24	1.45	0.29

**Tab. 5.2:** Vergleich der statischen Störabstände des kombinierten AND/NAND-Gatters mit denen eines CMOS-Gatters der 4000-Reihe. Die Tabelle gibt sowohl die absoluten Störabstände  $S$  als auch die relativen Störabstände  $s = S/V_{cc}$  mit einer Versorgungsspannung  $V_{cc} = 1.5$  V im Falle der Y-Transistor basierenden Logik bzw.  $V_{cc} = 5.0$  V bei der Betrachtung der CMOS-Logik wider.



**Abb. 5.5:** Demonstration der logischen Funktionalität des kombinierten AND/NAND-Gatters. Die Ausgangssignale  $V_{bl,2}$  und  $V_{br,2}$  sind in Abhängigkeit aller Kombinationen der logischen Eingangsvariablen  $X$  und  $Y$  mit  $X, Y$  betrachtet als  $H$  ( $L$ ) für  $V_{x,y} = 1.5$  V ( $V_{x,y} = 0$ ) dargestellt.

Ausgang verbundenen Übertragungskennlinie in Form eines stark nichtlinearen Verlaufes positiv bemerkbar macht, ergibt sich für beide Signalpegel ein statischer Störabstand von  $S_{AND} = 0.5$  V (absolut) bzw.  $s_{AND} = 0.33$  (auf die Versorgungsspannung  $V_{cc} = V_{bias} = 1.5$  V bezogen). In Tab. 5.2 sind weiterhin die Störabstände des NAND-Ausgangs und eines CMOS-Gatters der 4000-Reihe<sup>1</sup> angegeben. Ein Vergleich zeigt, dass ein logisches Gatter auf der Basis nanoelektronischer Y-Verzweigungen hinsichtlich der Störabstände mit einem hoch optimierten CMOS-Gatter konkurrieren kann und im Falle der AND-Verknüpfung sogar einen höheren Störabstand aufweist.

Um die logische Funktionalität des kombinierten AND/NAND-Gatters zusammenzufassen und mit der Wahrheitstabelle zu vergleichen, wurden schließlich die Ausgangssignale als Funktion aller Kombinationen der logischen Eingangspegel detektiert und in Abb. 5.5 aufgetragen. Eingangssignale werden hierbei mit L ( $H$ ) gekennzeichnet, falls gilt  $V_{x,y} = 0$  ( $V_{x,y} = 1.5$  V). In Übereinstimmung mit der Wahrheitstabelle 5.1 führt der AND-Ausgang lediglich dann H-Signal ( $V_{br,2} > 1.0$  V), wenn beide Eingänge mit H-Signal beschaltet sind. Für alle anderen Kombinationen der Eingangssignale ergibt sich L-Signal am AND-Ausgang ( $V_{br,2} < 0.5$  V). Ebenfalls in Einklang mit der Wahrheitstabelle führt  $(X Y) = (H H)$  zu L-Signal am NAND-Ausgang ( $V_{bl,2} < 0.5$  V), während die restlichen Kombinationen der Eingangspegel in einem H-Signal am NAND-Ausgang ( $V_{bl,2} > 1.0$  V) resultieren.

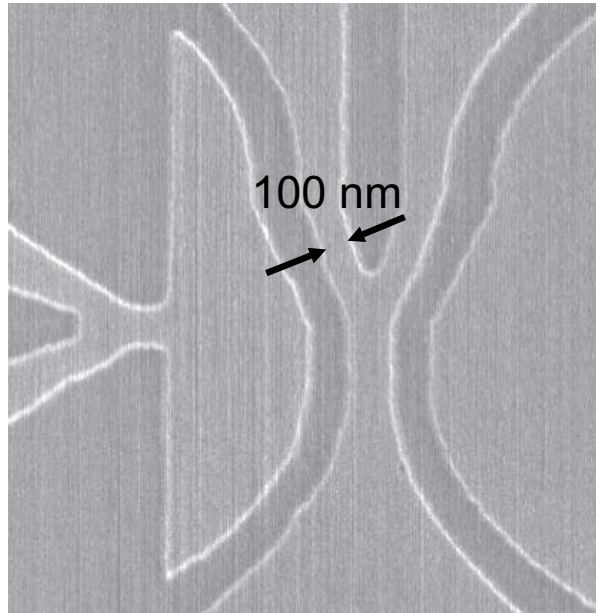
### 5.1.2 Integriertes AND/NAND-Gatter

Die außergewöhnlich guten Eigenschaften des vorgestellten AND/NAND-Gatters beruhen auf der Kopplung zweier Y-Verzweigungen, wobei der Stamm einer Verzweigung mit dem linken

<sup>1</sup>Als Beispiel sei das NAND-Gatter mit der Bezeichnung 4011 aufgeführt.



seitlichen Gate eines Y-Transistors extern gekoppelt wurde. Im Folgenden wird demonstriert, wie beide Verzweigungen in einer integrierten Nanostruktur zusammengefasst werden können, um ein integriertes logisches AND/NAND-Gatter zu realisieren. Eine elektronenmikroskopische Aufnahme eines solchen Gatters ist in Abb. 5.6 dargestellt. Im rechten Bereich der Abbildung erkennt man den als Schmitt-Trigger fungierenden Y-Transistor. Sein linkes seitliches Gate spaltet sich Y-förmig in die Eingänge  $X$  und  $Y$  auf.

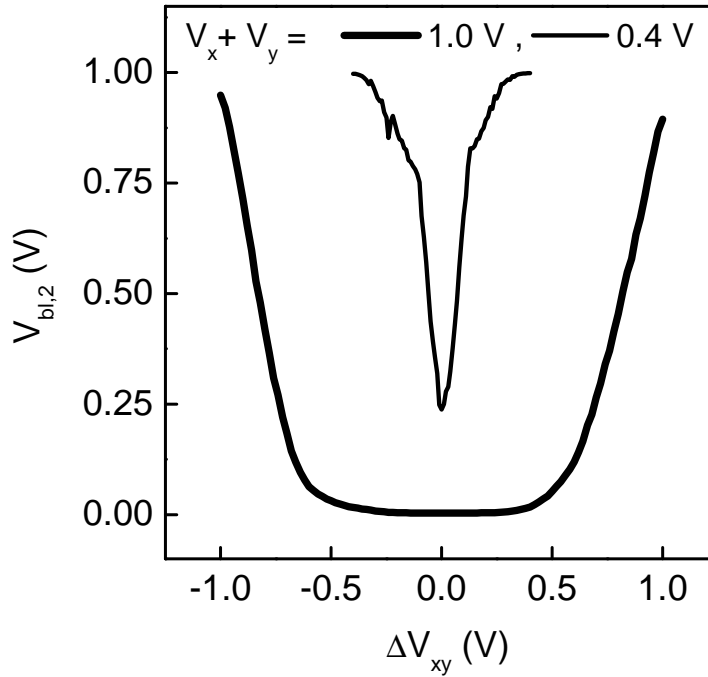


**Abb. 5.6:** Elektronenmikroskopische Aufnahme eines integrierten AND/NAND-Gatters mit einer Breite der stromführenden Kanäle von etwa 100 nm.

Die integrierte AND/NAND-Struktur wurde zunächst ohne Spannungsrückkopplung ( $V_{gr} \neq V_{bl}$ ) hinsichtlich der ballistischen Gleichrichtung untersucht. Hierzu wurde die Spannung  $V_{bl}$  am linken Ast des Y-Transistors in Push-Pull-Konfiguration der Eingangsspannungen  $V_x$  und  $V_y$  detektiert<sup>2</sup> und in Abb. 5.7 über  $\Delta V_{xy}$  für  $V_x + V_y = 0.4$  V und  $V_x + V_y = 1.0$  V aufgetragen. In beiden Verläufen bildet sich ein Minimum für  $\Delta V_{xy} = 0$  aus. Die Summe der Eingangsspannungen bestimmt dabei den Arbeitspunkt des Y-Transistors, der die Lage und Form des  $V_{bl,2}(\Delta V_{xy})$ -Verlaufes vorgibt. Insbesondere wird durch die Summe  $V_x + V_y$  der maximale Leitwert  $G_{sl,max}$  bzw. der Wert des Spannungsminimums  $V_{bl,min} = V_{bias} (1 + RG_{sl,max})^{-1}$  bei  $\Delta V_{xy} = 0$  festgelegt.

Für den untersuchten Y-Transistor erweist sich ein Arbeitspunkt definiert durch  $V_x + V_y = 0.4$  V, hinsichtlich des erreichbaren Spannungshubes am Ausgang als zu gering. Hingegen ergibt sich für  $V_x + V_y = 1.0$  V ein deutlich größerer Spannungshub. Ausgehend von dem Fall der symmetrischen Ansteuerung ( $\Delta V_{xy} = 0$ ,  $V_{bl,min} = 33$  mV) steigt die Ausgangsspannung  $V_{bl,2}$  sowohl für positive als auch für negative Spannungsdifferenzen  $\Delta V_{xy}$  zunächst moderat und für

<sup>2</sup>Das rechte Gate blieb unbeschaltet.

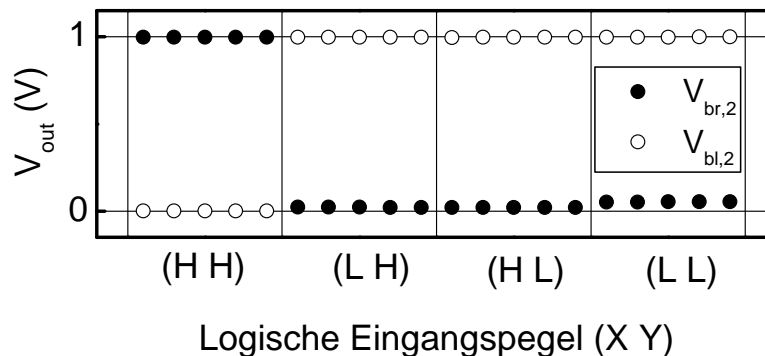


**Abb. 5.7:** Spannung  $V_{bl,2}$  am NAND-Ausgang des integrierten AND/NAND-Gatters als Funktion der Spannungsdifferenz  $\Delta V_{xy}$  zwischen den Eingängen. Die Eingangsspannungen wurden in Push-Pull-Konfiguration ohne externe Rückkopplung für zwei Arbeitspunkte  $V_x + V_y = 0.4$  V (dünne Linie) und  $V_x + V_y = 1.0$  V (breite Linie) variiert.

$|\Delta V_{xy}| > 0.5$  V stark mit zunehmender Spannungsdifferenz zwischen den Eingängen an, um schließlich für  $|\Delta V_{xy}| \approx 1.0$  V nahezu die angelegte Vorwärtsspannung zu erreichen.

Die bezüglich  $\Delta V_{xy} = 0$  symmetrische  $V_{bl,2}(\Delta V_{xy})$ -Charakteristik wird auf das gleichrichtende Verhalten der Y-förmigen Eingangsverzweigung zurückgeführt. Infolge der ballistischen Gleichrichtung ergibt sich für die Spannung am linken Gate  $V_{gl} < \frac{1}{2}(V_x + V_y) \forall |\Delta V_{xy}| > 0$  (vgl. Gl. (2.21)). Ausgehend von der symmetrischen Beschaltung mit  $\Delta V_{xy} = 0$  nimmt also die Spannung am linken Gate des Y-Transistors und damit verbunden auch der Leitwert  $G_{sl}$  mit steigender Spannungsdifferenz  $\Delta V_{xy}$  ab, was schließlich zu dem beobachteten Anstieg von  $V_{bl,2}$  mit zunehmender Differenz der Eingangsspannungen führt.

Die gleichrichtenden Eigenschaften der Eingangsverzweigung zusammen mit dem invertierenden Verhalten von  $V_{bl,2}$  bezüglich einer Variation von  $V_{gl}$  führen also zu einer Ausgangsspannung  $V_{bl,2}$ , welche die Funktionalität  $X \text{ NAND } Y$  erfüllt. Durch eine Rückkopplung der entsprechenden Ausgangsspannung ( $V_{bl,2}$ ) auf das rechte seitliche Gate ergibt sich auch im Falle des integrierten AND/NAND-Gatters ein bistabiler Schaltcharakter des Y-Transistors mit den damit verbundenen Vorteilen hinsichtlich der Störabstände und den wohl definierten Ausgangs-



**Abb. 5.8:** Demonstration der logischen Funktionalität des integrierten AND/NAND-Gatters. Die Ausgangssignale  $V_{bl,2}$  und  $V_{br,2}$  sind in Abhängigkeit aller Kombinationen der logischen Eingangspegel  $X$  und  $Y$  dargestellt. Die Eingangssignale  $X, Y$  werden als  $H$  ( $L$ ) für  $V_{x,y} = 1.0$  V ( $V_{x,y} = 0$ ) betrachtet.

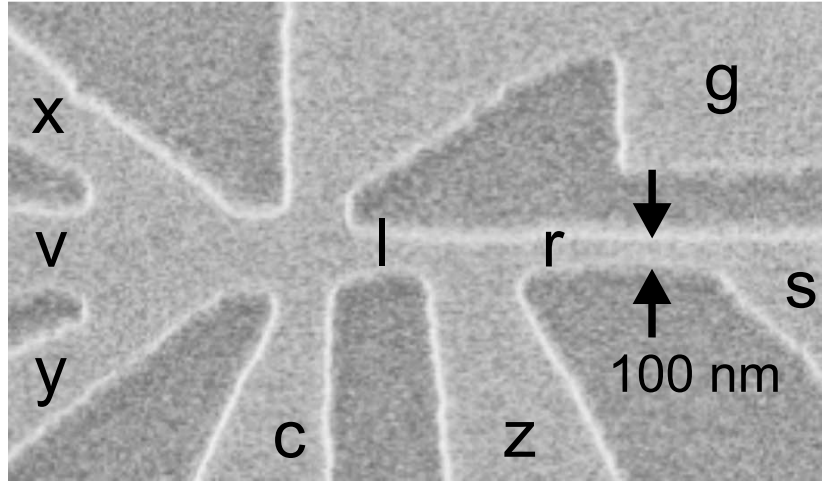
pegeln  $\overline{C} = X \text{ NAND } Y$  und  $C = X \text{ AND } Y$  am linken bzw. rechten Ast des Y-Transistors. Die entsprechenden Spannungen ( $V_{bl,2}$  und  $V_{br,2}$ ) sind in Abb. 5.8 wiederum als Funktion aller Kombinationen der logischen Eingangspegel dargestellt, wobei ein Eingangssignal als  $H$  ( $L$ ) für  $V_{x,y} = 1.0$  V ( $V_{x,y} = 0$ ) betrachtet wird. Es ist klar ersichtlich, dass auch das integrierte NAND/AND-Gatter die entsprechende Wahrheitstabelle (Tab. 5.1) erfüllt. So ist beispielsweise für eine geeignete Definition der logischen Pegel der Ausgangspegel  $C$  nur dann  $H$  ( $V_{out} \triangleq H \forall V_{out} > 0.66$  V und  $V_{out} \triangleq L \forall V_{out} < 0.33$  V), falls beide Eingangspegel  $L$  sind.

## 5.2 Nanoelektronischer Halb-Addierer

Mikrokontroller haben in den letzten Jahrzehnten Einzug in nahezu alle Bereiche des öffentlichen Lebens gehalten und erlauben es, hoch komplexe Vorgänge zu automatisieren. Das Herz eines Mikrokontrollers bildet dabei die Recheneinheit  $ALU^3$ , die Berechnungen in der binären Arithmetik durchführt. Hierbei werden alle arithmetischen Grundoperationen im Wesentlichen auf die binäre Addition reduziert. Am Beispiel eines 1-Bit Halb-Addierers wird nun gezeigt, dass auch komplexe logische Operationen wie die XOR-Operation unter Ausnutzung nanoelektronischer Effekte realisiert werden können. Im konkreten Fall wurde durch die Integration zweier Y-förmiger Verzweigungen ein planarer nanoelektronischer Halb-Addierer entwickelt, der einfache Berechnungen in Form der binären Addition mit Übertrag durchführt.

Ein herkömmlicher Halb-Addierer (HA) beruht auf der Zusammenschaltung mehrerer FETs und erfüllt die in Tab. 5.3 angegebene Wahrheitstabelle. Gemäß dieser Wahrheitstabelle werden

<sup>3</sup>Engl.: Arithmetic and Logic Unit



**Abb. 5.9:** Elektronenmikroskopische Aufnahme eines planaren Halb-Addierers mit Kanalbreiten von etwa 100 nm.

die beiden Eingangssignale  $X$  und  $Y$  über die logischen Operationen XOR und AND verknüpft, um die Ausgangssignale  $Z$  (Summe, SUM-Bit) und  $C$  (Übertrag, CARRY-Bit) zu erhalten. Entsprechend der Definition dieser Operationen ist das SUM-Bit nur H, falls unterschiedliche logische Signale am Eingang des HA anliegen. Ein Übertrag ( $C = H$ ) entsteht, wenn beide Eingänge H-Signal führen.

In der weit verbreiteten CMOS-Technologie kann die HA-Operation über 8 komplementäre Transistorpaare und den entsprechenden Zwischenverbindungen implementiert werden. Alternative Ansätze beruhen beispielsweise auf der Zusammenschaltung einiger Halbleiter-Nanoröhrchen oder nutzen das Konzept des binären Entscheidungsdiagramms zur Darstellung logischer Schaltungen [Hua01, Yam01, Nak03]. Hingegen besteht der im Rahmen dieser Arbeit entwickelte HA lediglich aus einer einzigen planaren Struktur, die keine weiteren (externen) Verbindungen zwischen den einzelnen Kontakten benötigt. Dies ist insofern beachtenswert, als dass mit der stetigen Skalierung der Mikroelektronik hin zu immer kleineren Strukturen neben den Problemen im Zusammenhang mit der Verkleinerung einzelner Transistoren auch die Komplexität der Zwischenverbindungen dramatisch ansteigt. In diesem Zusammenhang zeigt der

$X$	$Y$	$Z = X \text{ XOR } Y$	$C = X \text{ AND } Y$
H	H	L	H
H	L	H	L
L	H	H	L
L	L	L	L

**Tab. 5.3:** Wahrheitstabelle eines Halb-Addierers mit den Eingangssignalen  $X$  und  $Y$  sowie den Ausgangssignalen  $Z$  (Summe) und  $C$  (Übertrag).

gewählte Ansatz eines planaren HA mit hoher integrierter Funktionalität, dass unter Ausnutzung nanoelektronischer Effekte die Zahl der Zwischenverbindungen erheblich reduziert werden kann.

Der nanoelektronische HA basiert auf einer modulationsdotierten GaAs/AlGaAs Heterostruktur mit einem 2DEG 50 nm unterhalb der Oberfläche. Das unprozessierte 2DEG ist bei  $T = 4.2$  K durch eine Elektronenkonzentration von  $n = 3.3 \times 10^{11} \text{ cm}^{-2}$  und einer Beweglichkeit von  $\mu = 1.0 \times 10^6 \text{ cm}^2/\text{Vs}$  charakterisiert, was einer mittleren freien Weglänge von  $10 \mu\text{m}$  entspricht. Eine elektronenmikroskopische Aufnahme eines mittels Elektronenstrahl-Lithographie und nasschemischen Ätzens hergestellten HA ist in Abb. 5.9 dargestellt. Die mit  $x$  und  $y$  gekennzeichneten Eingänge münden in einem zentralen Verzweigungsbereich, der sich wiederum in den CARRY-Ausgang  $c$ , das interne Gate  $g$  und den Kontakt  $v$  aufspaltet. Dieser wurde zu Kontrollzwecken eingeführt und bleibt für die im Folgenden vorgestellten Experimente unbeschaltet. Entscheidend für die Funktionsweise des HA ist neben dem internen Gate, welches den Leitwert des Astes  $r$  kontrolliert, die mit  $l$  gekennzeichnete Verbindung zwischen dem zentralen Verzweigungsbereich und dem SUM-Ausgang  $z$ . Die elektrischen Eigenschaften dieser Äste ( $l$  und  $r$ ) hängen stark von deren Breite ab, die bei der Strukturierung der Halb-Addierer als Parameter zwischen 100 und 30 nm variiert wurde.

### 5.2.1 Theoretische Beschreibung der HA-Funktionalität

Die Funktionsweise des planaren HA beruht zum einen auf der in Kap. 2.7 vorgestellten ballistischen Gleichrichtung, welche die für den Übertrag benötigte AND-Verknüpfung der Eingangssignale darstellt, und zum anderen auf selbstinduziertem Schalten, um die exklusiv-oder-Verknüpfung (XOR) der Eingangssignale zu realisieren. Bei dem gewählten Ansatz des integrierten planaren HA wird hierbei die Spannung am SUM-Ausgang durch ein Zusammenspiel der Injektionsströme  $I_l$  und  $I_r$  aus dem linken und rechten Ast (als  $l$  und  $r$  gekennzeichnet) bestimmt, welches allein durch das elektrochemische Potential im zentralen Verzweigungsbereich bzw. im internen Gate kontrolliert wird.

Im Detail lässt sich die Funktionsweise des planaren HA auf folgende Weise erklären. Die Eingangsspannungen  $V_x$  und  $V_y$  werden an die Anschlüsse  $x$  und  $y$  angelegt. Gemäß der ballistischen Gleichrichtung tendiert die Spannung an  $c$  hin zu der negativeren Eingangsspannung. Jedoch ergibt sich in der Praxis an  $c$  für  $(XY) = (\text{L H})$  oder  $(XY) = (\text{L L})$  verglichen mit  $(XY) = (\text{H L})$  ein etwas höheres Ausgangssignal, da von quasiballistischem Transport im Verzweigungsbereich ausgegangen werden muss<sup>4</sup>. In Abhängigkeit von der Eingangskonfiguration stellen sich also drei unterschiedliche elektrochemische Potentiale  $\mu_{XY}$  im zentralen Verzweigungsbereich aber auch im internen Gate ein:  $\mu_{LL}$  für  $(XY) = (\text{L L})$ ,  $\mu_{HL}$  für  $(XY) = (\text{H L})$  oder  $(XY) = (\text{L H})$  und schließlich  $\mu_{HH}$  für  $(XY) = (\text{H H})$ . Es gilt  $\mu_{LL} > \mu_{HL} > \mu_{HH}$ .

Die drei unterschiedlichen elektrochemischen Potentiale bestimmen nun über selbstinduziertes Schalten die Spannung  $V_z$  am SUM-Ausgang des HA. Für  $(XY) = (\text{L L})$  kommt es

<sup>4</sup>Im Falle des quasiballistischen Transports stellt sich eine Ausgangsspannung  $V_c$  ein, für die gilt:  $\min(V_x, V_y) < V_c < (V_x + V_y)/2$ .

infolge des hohen elektrochemischen Potentials ( $\mu_{LL}$ ) im zentralen Verzweigungsbereich bzw. im internen Gate zu einer Verarmung des rechten Astes ( $I_r = 0$ ). Andererseits werden Elektronen vom zentralen Verzweigungsbereich über den linken Ast in den Bereich  $z$  injiziert, was in der gewählten externen Konfiguration (vgl. Abb. 5.10) aufgrund des Injektionsstroms eine niedrige Spannung an  $z$  zur Folge hat, d.h.  $Z = L$  für  $(XY) = (L L)$ . Für  $(XY) = (H L)$  oder  $(L H)$  mit  $\mu_{HL} < \mu_{HH}$  ist der rechte Ast weiterhin hochohmig. Bei geeigneter Höhe  $E_{max,l} > \mu_{HL}$  der Potentialbarriere entlang des linken Astes werden zudem keine Elektronen aus dem Verzweigungsbereich nach  $z$  injiziert ( $I_l = 0$ ). Daraus ergibt sich eine Spannung  $V_z = V_d$ , welcher der Signalpegel  $Z = H$  für  $(X Y) = (H L)$  bzw.  $(L H)$  zugeordnet wird. Für  $(XY) = (H H)$  ist der rechte Ast schließlich niederohmig ( $I_r > 0$ ), während die Potentialbarriere bei  $l$  keinen Elektronenfluss durch den linken Ast zulässt ( $\mu_{HH} < E_{max,l}, I_l = 0$ ). Die Ausgangsspannung  $V_z$  wird durch den Stromfluss  $I_r$  wiederum abgesenkt, so dass für  $(X Y) = (H H)$   $Z = L$  gilt. Somit sollte es also möglich sein, mit dem in Abb. 5.9 gezeigten Layout einen planaren HA zu realisieren, was im Folgenden experimentell nachgewiesen wird.

## 5.2.2 Experimenteller Nachweis der HA-Funktionalität

Für den experimentellen Nachweis der HA-Funktionalität wurde die in Abb. 5.10 skizzierte Messkonfiguration gewählt. Die Eingangsspannungen  $V_x$  und  $V_y$  wurden an die Äste  $x$  und  $y$  angelegt, während die Spannungen  $V_s$  und  $V_d$  den Arbeitspunkt des HA bestimmen. Letztere Spannung wurde über den externen Widerstand  $R = 10 \text{ M}\Omega$  an den Kontakt  $z$  angelegt. Zunächst wurde das selbstinduzierte Schalten über eine Messung der Ausgangsspannung  $V_z$  unter einer Variation der Spannung  $V_c$  untersucht. Um die HA-Funktionalität zu demonstrieren, wurden im Anschluss die Spannungen  $V_c$  und  $V_z$  in Abhängigkeit der Eingangsspannungen  $V_x$  und  $V_y$  detektiert.

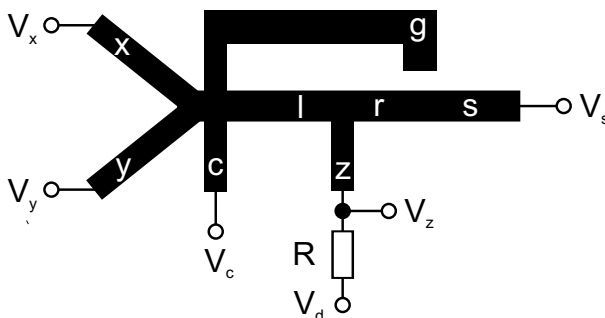
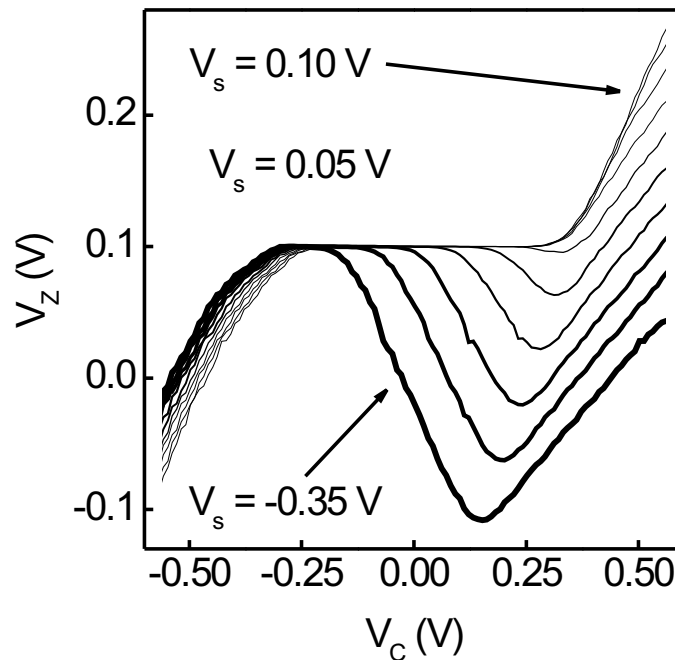


Abb. 5.10: Messkonfiguration zur Charakterisierung des planaren, nanoelektronischen Halb-Addierers.

In Abb. 5.11 ist die Abhängigkeit der Spannung  $V_z$  von  $V_c$  für verschiedene, durch  $V_s$  definierte Arbeitspunkte aufgetragen. Für  $V_s = 0.1 \text{ V}$  ergibt sich eine Blockade des Elektronentransportes durch den linken Ast  $l$  im Spannungsbereich  $|V_c| < 0.2 \text{ V}$ , so dass sich an Anschluss  $z$  die Versorgungsspannung  $V_d = V_s = 0.1 \text{ V}$  einstellt. Im Gegensatz dazu nähert sich  $V_z$  für Spannungen  $|V_c| > 0.2 \text{ V}$  als Zeichen eines endlichen Stromflusses im linken Ast der angelegten Spannung an  $c$ . Im Hinblick auf die Funktionsweise des HA ist es essentiell, eine negative

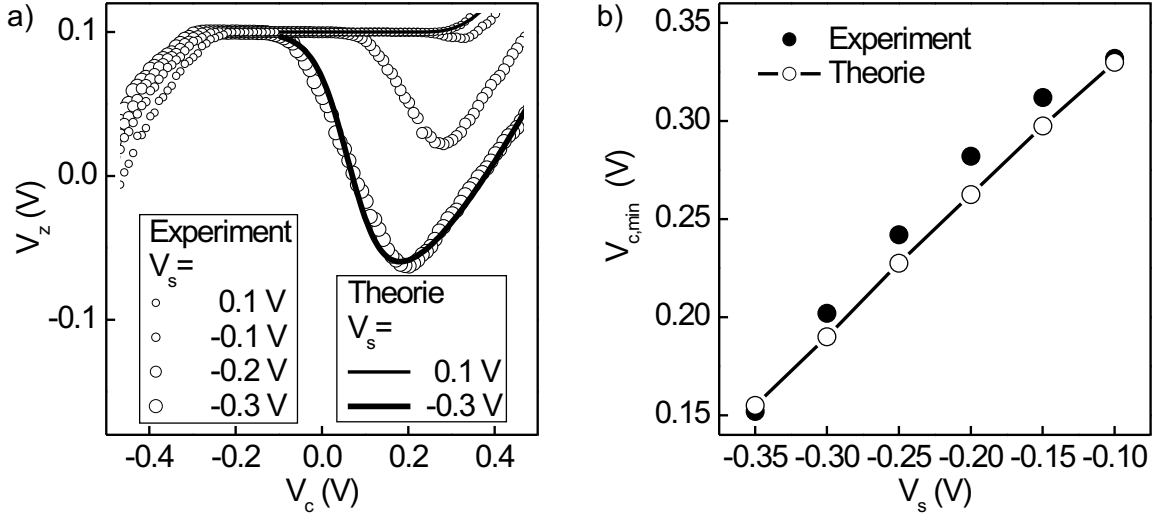


**Abb. 5.11:** Selbstinduziertes Schalten des planaren Halb-Addierers für verschiedene, über  $V_s$  definierte Arbeitspunkte.

Steigung des  $V_z(V_c)$ -Verlaufes zu erzeugen. Dies gelingt für negative Spannungen an  $s$  und ist in Abb. 5.11 für  $-0.3 \text{ V} < V_s < -0.1 \text{ V}$  und  $V_d = 0.1 \text{ V}$  demonstriert. Im Gegensatz zu der mit  $V_s = 0.1 \text{ V}$  assoziierten Kurve, bildet sich für positive  $V_c$  ein Minimum im  $V_z(V_c)$ -Verlauf aus, dessen Ausprägung und Lage durch  $V_s$  kontrolliert wird. Beispielsweise kann für  $V_s = -0.1 \text{ V}$  bei  $V_c = 0.32 \text{ V}$  ein Minimum im  $V_z(V_c)$ -Verlauf beobachtet werden. Es wird deutlich, dass das Minimum mit abnehmender Spannung  $V_s$  an Ausprägung gewinnt, und dessen Position  $V_{c,min}$  gleichzeitig hin zu kleineren  $V_c$  wandert. In der untersuchten Struktur kann also negativ differentieller Widerstand (NDR<sup>5</sup>) beobachtet werden, welcher häufig mit dem Effekt des resonanten Tunnels in Verbindung gebracht wird [Ree88, Bry89, Joh92, Fer97]. Im vorliegenden Fall ergibt sich die Besonderheit, dass die Ausprägung des NDR elektrisch über die Spannung an Anschluss  $s$  kontrolliert wird.

Die N-förmige  $V_z(V_c)$ -Charakteristik wird auf selbstinduziertes Schalten zurückgeführt. So wird die Spannung  $V_z$  für negative  $V_c$  über den Injektionsstrom  $I_l$  bestimmt, welcher mit steigender Spannung  $V_c$  abnimmt, bevor im weiteren Verlauf die Gating-Eigenschaften dominieren und  $V_z$  über den Strom  $I_r$  durch den rechten Ast kontrolliert wird. Für ausreichend große  $V_c$

<sup>5</sup>Engl.: Negative Differential Resistance



**Abb. 5.12:** Vergleich der theoretischen Beschreibung des selbstinduzierten Schaltens mit den experimentellen Daten. a)  $V_z(V_c)$ -Verläufe für verschiedene Arbeitspunkte. b) Position des Minimums  $V_{c,min}$  der  $V_z(V_c)$ -Charakteristik als Funktion der Spannung  $V_s$ .

setzt wieder ein Injektionsstrom  $I_l$ , verbunden mit einem Anstieg von  $V_z$  bei steigender Spannung  $V_c$  ein. Dieser Injektionsstrom kann mittels einer Näherung, in der die Potentialbarriere im linken Ast als dreieckförmig angenommen wird, über

$$I_l = \int_0^{V_{cz}} \sigma_0(V) \exp(a/V) dV \quad (5.1)$$

mit  $V_{cz} = V_c - V_z$  und  $\sigma_0(V) = b/V$  beschrieben werden. Hier entsprechen  $a$  und  $b$  Fit-Parametern, die unter anderem von der Höhe der Potentialbarriere abhängen [Sha99]. Weiterhin ergibt sich die Spannung an Anschluss  $z$  aus

$$V_z = V_d - R(I_l - I_r) \quad (5.2)$$

mit  $I_r = G_r(V_z - V_s)$ . Der Leitwert  $G_r$  des rechten Astes hängt maßgeblich von der Spannungsdifferenz  $V_c - V_s$  ab, und kann in der Form

$$G_r = \frac{1}{2} G_{r0} [\tanh\{\eta_g(V_c - V_s - V_{wp})/V_{sw}\} + 1] \quad (5.3)$$

ausgedrückt werden, in der die Gate-Effektivität  $\eta_g/V_{sw}$  und der maximale Leitwert  $G_{r0}$  des rechten Astes eingehen. Die Spannung  $V_{wp}$  ist ein weiterer Fit-Parameter, der von der Schwellenspannung des Kanals  $r$  bezüglich des internen Gates abhängt.

Um die experimentellen  $V_z(V_c)$ -Verläufe zu modellieren, wurden die gekoppelten Gleichungen (5.1) und (5.2) numerisch gelöst. Die beste Anpassung der experimentellen Daten

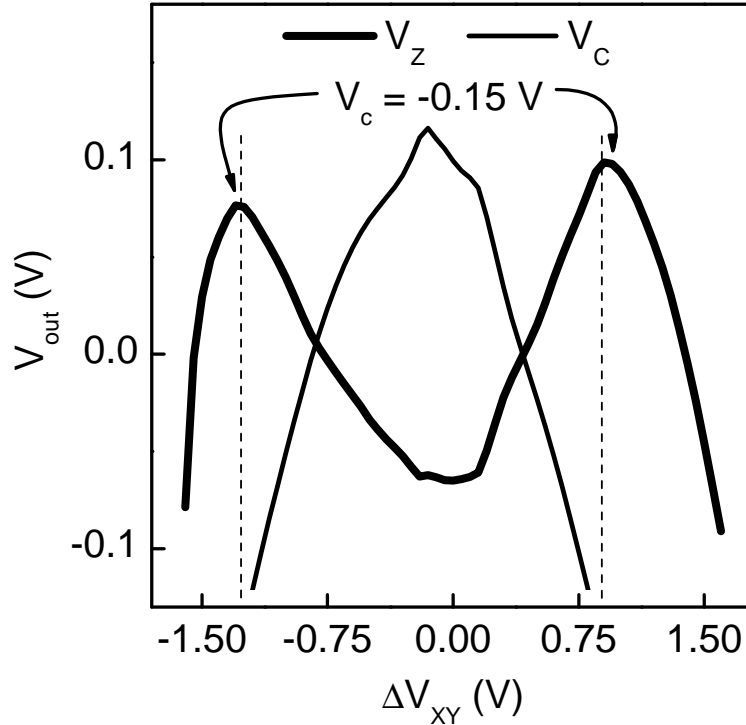


gelang für die Fit-Parameter  $a = -1.65 \text{ V}$ ,  $b = 1.0 \times 10^{-6} \text{ V } \Omega^{-1}$ ,  $\eta_g/V_{sw} = 12.9 \text{ V}^{-1}$ ,  $G_{r0} = 7.6 \times 10^{-8} \text{ } \Omega^{-1}$  und  $V_{wp} = 0.40 \text{ V}$ . Ein Vergleich mit dem experimentell beobachteten Leitwert des rechten Astes  $G_{z,min} = 1/R (V_d - V_{z,min})/(V_{z,min} - V_s) = 6.8 \times 10^{-8} \text{ } \Omega^{-1}$  für  $V_z = V_{z,min}$  und  $V_s = -0.3 \text{ V}$  zeigt, dass die Injektion vom Bereich  $z$  hin zu  $c$  einsetzt, bevor der maximale Leitwert  $G_{r0}$  erreicht wird. Für einen gegebenen Leitwert  $G_{r0}$  kann  $V_{wp}$  über die Bedingung  $G_r = G_{r0}$  bei  $V_c - V_s = V_{wp}$  extrahiert werden. Man erhält  $V_{wp,exp} = 0.38 \text{ V}$  ( $V_s = -0.3 \text{ V}$ ) in guter Übereinstimmung mit dem aus der Anpassung gewonnenen Wert ( $V_{wp} = 0.40 \text{ V}$ ).

In Abb. 5.12 a) sind berechnete  $V_z(V_c)$ -Verläufe für  $V_s = -0.3 \text{ V}$  (breite Linie) und  $V_s = 0.1 \text{ V}$  (dünne Linie) dargestellt. Es ist ersichtlich, dass der experimentell beobachtete Verlauf mittels des oben vorgestellten Modells gut beschrieben werden kann. Für eine gegebene Spannung  $V_s$  wird  $I_r$  in Abhängigkeit der Spannung am internen Gate ( $V_c$ ) effektiv kontrolliert. Insbesondere ist es möglich, den Elektronentransport vollständig zu unterdrücken, falls die Spannung am internen Gate bzw. an Anschluss  $c$  unterhalb der Schwellenspannung des rechten Astes liegt. Andernfalls, wenn der linke Ast einen endlichen Leitwert aufweist, tendiert die Spannung an  $z$  hin zu  $V_c$ . Weiterhin bestimmt  $V_s$  die Position des lokalen Minimums  $V_{c,min}$ , was aus Abb. 5.12 b) hervorgeht, in welcher  $V_{c,min}$  als Funktion von  $V_s$  dargestellt ist. In guter Übereinstimmung mit den experimentellen Werten steigen die berechneten Werte gemäß Gl. (5.3), die eine von der Spannungsdifferenz zwischen dem internen Gate und dem Anschluss  $s$  abhängige effektive Gatespannung berücksichtigt, nahezu linear mit  $V_s$  von  $V_{c,min} = 0.16 \text{ V}$  bei  $V_c = -0.35 \text{ V}$  hin zu  $V_{c,min} = 0.33 \text{ V}$  bei  $V_c = -0.10 \text{ V}$ . Dies zeigt, dass der Arbeitspunkt des HA gezielt über die Spannung  $V_s$  eingestellt werden kann, was zusätzlich eine Maximierung der Spannungsdifferenz  $V_{z,max} - V_{z,min}$  erlaubt. Hier entspricht  $V_{z,max}$  der Spannung am lokalen Maximum der  $V_z(V_c)$ -Kurve, während  $V_{z,min}$  der Spannung bei  $V_c = V_{c,min}$  zugeordnet ist. Bei der untersuchten Struktur konnte eine maximale Spannungsdifferenz  $V_{z,max} - V_{z,min}$  von  $0.2 \text{ V}$  erreicht werden. Daher wurde bei allen Experimenten  $V_d = 0.1 \text{ V}$  gewählt, um einen symmetrischen Spannungshub von  $V_z$  zu gewährleisten, der Werte zwischen  $-0.1$  und  $0.1 \text{ V}$  annimmt.

Die Wahl eines geeigneten Arbeitspunktes ermöglicht es nun, die Übertragungskennlinie des planaren Halb-Addierers in Push-Pull-Konfiguration zu untersuchen. Hierzu werden die Eingänge  $x$  und  $y$  asymmetrisch angesteuert, um über die ballistische Gleichrichtung das Signal  $V_c$  am CARRY-Ausgang zu erhalten. Gleichzeitig ergibt sich das Signal am SUM-Ausgang über die  $V_z(V_c)$ -Beziehung aus  $V_c = V_c(V_x, V_y)$ . Aus der Wahrheitstabelle 5.3 geht hervor, dass ein HA die Ausgangssignale  $C$  und  $Z$  als Funktion der Eingangssignale  $X$  und  $Y$  bestimmt<sup>6</sup>. Gemäß der Wahrheitstabelle ist  $C$  nur dann H, wenn beide Eingänge H-Signal führen. Der Ausgang  $Z$  zeigt verglichen mit  $C$  ein invertiertes Verhalten. Lediglich für  $X = Y = L$  ist sowohl der CARRY-Ausgang als auch der SUM-Ausgang L. Diese Charakteristik wird durch den Mechanismus des selbstinduzierten Schaltens erfüllt, wenn man die Spannung  $V_z$  bezüglich einer geeigneten Schwellenspannung als logisch H bzw. L betrachtet.

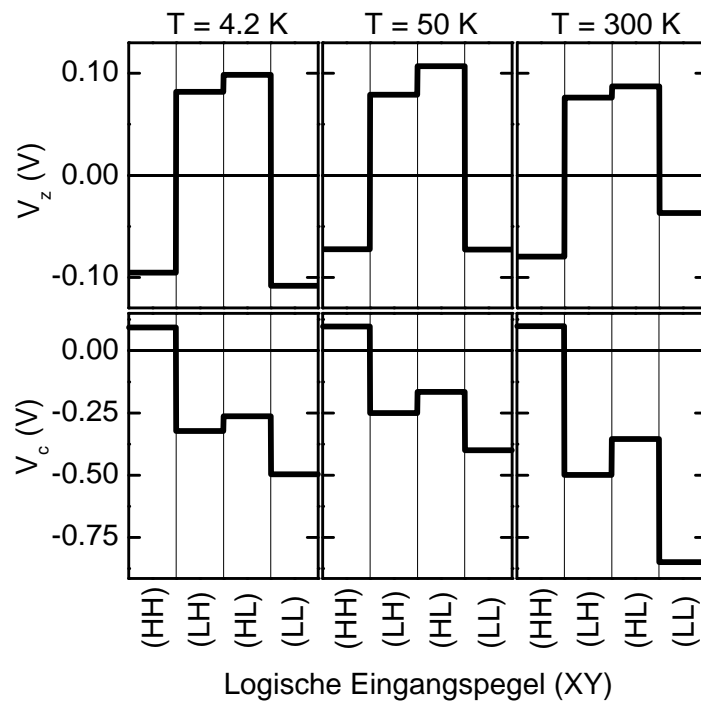
<sup>6</sup>In der gewählten Notation benennen Kleinbuchstaben die einzelnen Anschlüsse, während sich Großbuchstaben auf die entsprechenden logischen Variablen beziehen



**Abb. 5.13:** Ausgangsspannungen  $V_z$  und  $V_c$  des planaren Halb-Addierers als Funktion der Spannungsdifferenz  $\Delta V_{xy} = V_x - V_y$  variiert in Push-Pull-Konfiguration mit  $V_x + V_y = 0.2$  V. Der Arbeitspunkt wurde über  $V_d = 0.1$  V und  $V_s = -0.24$  V festgelegt.

Im vorliegenden Ansatz führt die ballistische Injektion der Elektronen unter Variation der Eingangssignale in Push-Pull-Konfiguration in Analogie zu einer einfachen Y-förmigen Verzweigung zu einer parabolischen  $V_c(V_x, V_y)$ -Charakteristik, die in Abb. 5.13 als Funktion von  $V_{xy} = V_x - V_y$  für  $V_x + V_y = 0.2$  V gezeigt ist und über das selbstinduzierte Schalten das Signal am SUM-Ausgang bestimmt. Im Blockade-Regime, d.h. für  $-1.3$  V  $< \Delta V_{xy} < 0.9$  V und  $V_c > -0.15$  V, ergibt sich die Ausgangsspannung  $V_z$  in erster Linie über das interne Gating, was zu einem invertierenden Verhalten von  $V_z$  bezüglich  $V_c$  führt ( $dV_c/d(\Delta V_{xy}) \times dV_z/d(\Delta V_{xy}) < 0$ ). Für  $V_c < -0.15$  V hingegen werden Elektronen von  $c$  nach  $z$  injiziert und  $V_z$  nimmt mit steigender Spannungsdifferenz  $\Delta V_{xy}$  ab.

Das oben beschriebene Übertragungsverhalten kann dazu ausgenutzt werden, die logische Funktionalität der HA-Struktur zu demonstrieren. In Abb. 5.14 ist dies für drei Temperaturen  $T = 4.2$ , 50 und 300 K veranschaulicht. In den oberen Teilbildern ist jeweils  $V_z$  über den möglichen Kombinationen der logischen Eingangspegel aufgetragen, während  $V_c$  in den unteren Teilbildern dargestellt ist. Hierbei werden die Eingangssignale für  $V_{x,y} = 0.1$  V ( $V_{x,y} = -0.5$  V) als logisch H (L) bezeichnet ( $T = 4.2$  K). Die Ausgangsspannungen werden entsprechend der beiden horizontalen Linien als logisch H bzw. L betrachtet. In Einklang mit der Wahrheitstabel-



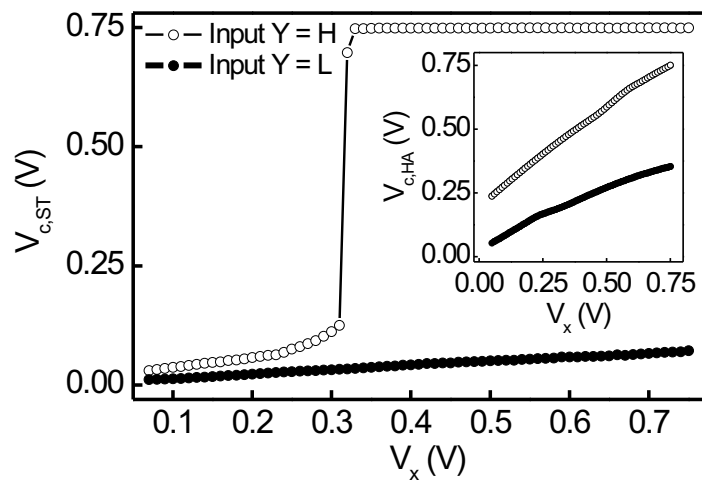
**Abb. 5.14:** Demonstration der logischen Funktionalität des Halb-Addierers für  $T = 4.2$ ,  $50$  und  $300$  K. Die Ausgangssignale  $V_z$  und  $V_c$  sind als Funktion aller Kombinationen der logischen Eingangspegel dargestellt. Ausgangssignale  $V_{c,z} > 0$  ( $V_{c,z} < 0$ ) werden als H (L) gewertet.

le 5.3 ergibt sich in dem gesamten betrachteten Temperaturbereich folgendes Bild: Ein H-Signal an beiden Eingängen resultiert in  $Z = L$  und  $C = H$ . Für unterschiedliche Eingangssignale  $X \neq Y$  ist  $Z = H$  und  $C = L$ . Schließlich wird  $Z = C = L$  beobachtet, falls gilt  $X = Y = L$ . Die beiden Ausgänge weisen also die für einen HA geforderte Charakteristik  $Z = X \text{ XOR } Y$  und  $C = X \text{ AND } Y$  auf.

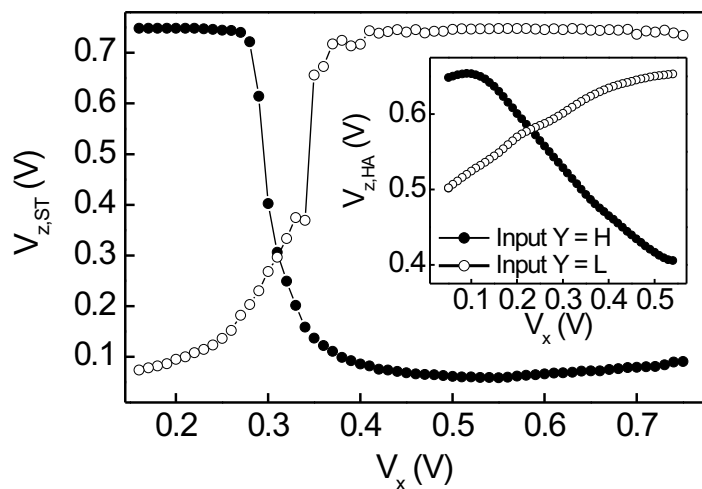
### 5.3 Halb-Addierer mit Schmitt-Trigger Charakteristik

Obwohl das dem planaren nanoelektronischen HA zugrunde liegende Konzept sehr robust ist und seinen Einsatz bis hin zu Raumtemperatur gestattet, beinhaltet es keine verstärkenden Eigenschaften. Um diesem Problem entgegenzuwirken, wurde die HA-Struktur mit zwei als Schmitt-Trigger konfigurierten Y-Transistoren gekoppelt. In Analogie zu dem kombinierten AND/NAND-Gatter (vgl. Kapitel 5.1 und 4.2.1) werden die beiden ST auch hier eingesetzt, um wohl definierte logische Ausgangspegel zu erlangen. Wie in Abb. 5.15 gezeigt, wurde je ein Y-Transistor an den CARRY- bzw. SUM-Ausgang des HA gekoppelt, indem der entsprechende Anschluss mit einem seitlichen Gate des Y-Transistors verbunden wurde. Somit stehen die ver-

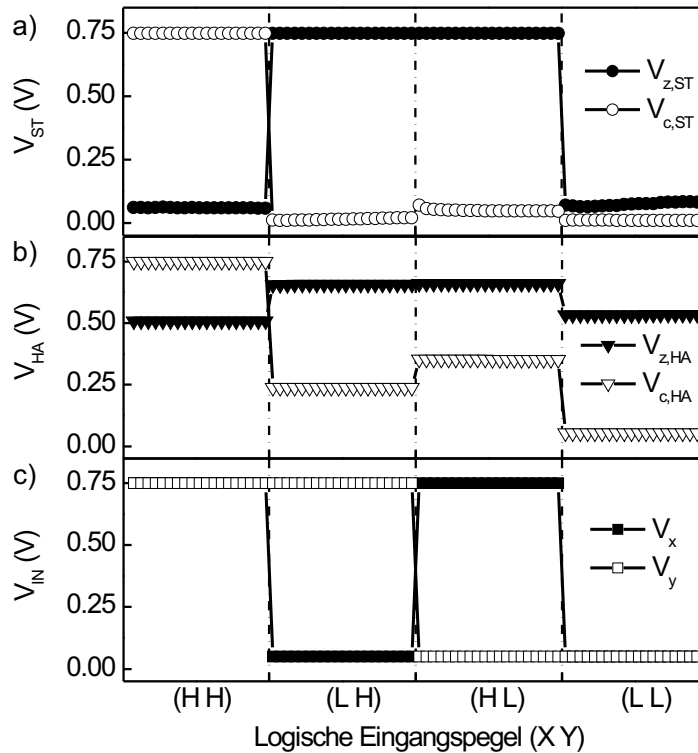




**Abb. 5.16:** CARRY-Ausgang  $V_{c,ST}$  des HAST über der Eingangsspannung  $V_x$ . Teilbild: CARRY-Ausgang des HA als Funktion der Eingangsspannung  $V_x$ . Entsprechend der Kennzeichnung sind die Kurven mit  $Y = L$  ( $V_y = 50 \text{ mV}$ ) bzw.  $Y = H$  ( $V_y = 0.75 \text{ V}$ ) am Eingang des HAST assoziiert.



**Abb. 5.17:** SUM-Ausgang  $V_{z,ST}$  des HAST über der Eingangsspannung  $V_x$ . Teilbild: SUM-Ausgang des HA als Funktion von  $V_x$ . Die Punkte entsprechen  $Y = H$  ( $V_y = 0.75 \text{ V}$ ), während die Kreise  $Y = L$  ( $V_y = 50 \text{ mV}$ ) am Eingang das HAST zugeordnet sind.



**Abb. 5.18:** Demonstration der logischen Funktionalität der HAST-Schaltung. Die Ausgangssignale des HA sowie der ST sind über alle Kombinationen der logischen Eingangspegel  $X$  und  $Y$  aufgetragen. a) Ausgangssignale der ST, die durch den SUM-Ausgang bzw. den CARRY-Ausgang des HA angesteuert werden. b) SUM-Ausgang und CARRY-Ausgang der HA-Struktur. c) Spannungen  $V_x$  und  $V_y$  an den Eingängen des HA.

steigender Spannung  $V_x$  ab. Bei  $V_x = 0.30$  V erreicht  $V_{z,HA}$  die untere Schaltschwelle  $V_{th,down}$  des ST, und dieser schaltet in den L-Zustand. Für  $Y = L$  ist der Stromfluss von Anschluss  $s$  nach  $z$  über den gesamten Bereich der Eingangsspannung nahezu vollständig unterdrückt. Bis hin zu Eingangsspannungen von 0.55 V bestimmt die Injektion von Elektronen über die Barriere entlang des linken Astes das Ausgangssignal. Ausgehend von  $V_x = 50$  mV nimmt dabei der Injektionsstrom mit steigender Spannung  $V_x$  ab, was zu einem Anstieg von  $V_{z,HA}$  führt. Bei  $V_x = 0.34$  V erreicht die Spannung am SUM-Ausgang des HA die obere Schaltschwelle des ST, und dieser schaltet von L nach H.

Die logische Funktionalität des HAST wird in Abb. 5.18 demonstriert. Die Eingangssignale werden als logisch L für  $V_x, V_y = 50$  mV bzw. als logisch H für  $V_x, V_y = 0.75$  V betrachtet und sind in Abb. 5.18 c) für alle Kombinationen der logischen Eingangspegel dargestellt. Das mittlere Teilbild zeigt die Ausgangssignale des HA während die Ausgangssignale des HAST

in Abb. 5.18 a) dargestellt sind. Für  $(X Y) = (H H)$  liegt die Spannung  $V_{c,HA}$  am CARRY-Ausgang des HA über der oberen Schaltschwelle des entsprechenden ST während die Spannung  $V_{z,HA}$  am SUM-Ausgang des HA die untere Schaltschwelle des zweiten ST nicht erreicht. Folglich ist der an den CARRY-Ausgang gekoppelte ST im H-Zustand, während sich der an den SUM-Ausgang gekoppelte ST im L-Zustand befindet, d.h.,  $(X Y) = (H H)$  führt zu  $(Z C) = (L H)$ . Für  $(X Y) = (L H)$  oder  $(X Y) = (H L)$  übersteigt  $V_{z,HA}$  die obere Schaltschwelle des zugeordneten ST wohingegen  $V_{c,HA}$  unterhalb der Schaltschwelle des ST liegt, was  $C_{ST} = L$  und  $Z_{ST} = H$  zur Folge hat. Schließlich ergibt sich  $C_{ST} = Z_{ST} = L$  für  $(X Y) = (L L)$ , da beide Ausgangssignale des HA kleiner als die obere Schaltschwelle des jeweiligen ST sind. Die HAST-Beschaltung erfüllt also bei der gewählten Pegeldefinition die Wahrheitstabelle eines HA, wobei gilt  $Z_{ST} = X \text{ XOR } Y$  und  $C_{ST} = X \text{ AND } Y$ . Beachtenswert ist hierbei der Umstand, dass die HAST-Schaltung bei Versorgungsspannungen deutlich unterhalb von 1 V betrieben werden kann und dabei gleiche Signalpegel an den Ein- und Ausgängen aufweist.





# Anhang A

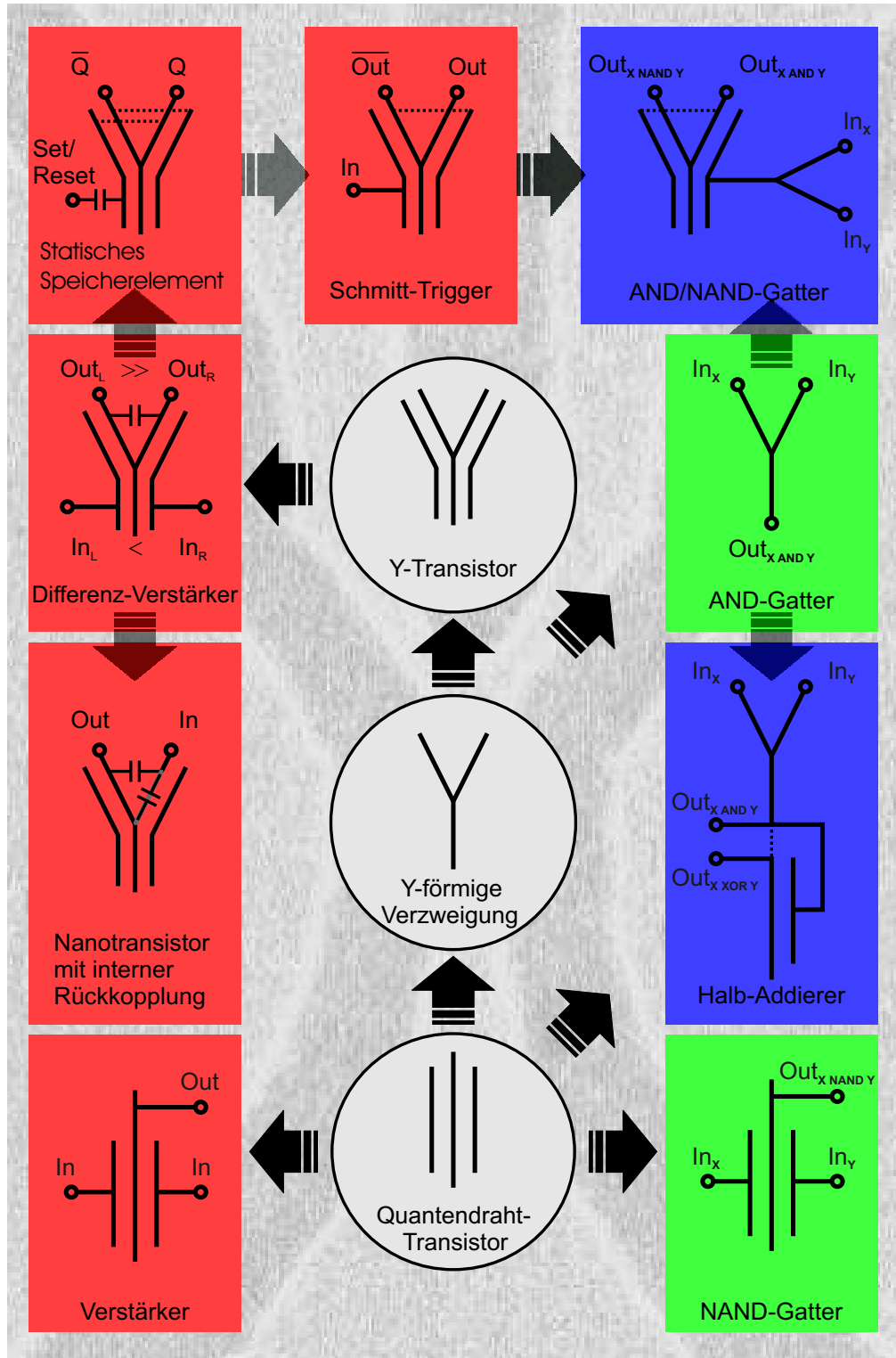
## Funktionelle Übersicht

Um einen Überblick über die vielfältigen Anwendungspotentiale der untersuchten Strukturen zu geben, sind diese in Abb. A.1 schematisch unter Angabe der jeweiligen Funktion dargestellt. Hierbei geben die Pfeile an, inwiefern sich die einzelnen Strukturen voneinander ableiten lassen.

Die elektrischen Eigenschaften der illustrierten Strukturen beruhen auf dem Ladungsträgertransport in eindimensionalen Kanälen. Als elementare Struktur kann somit der Quantendraht angesehen werden, der im Falle des Quantendraht-Transistors über seitliche Gates kontrolliert wird. Auf der Basis des Quantendraht-Transistors lassen sich Verstärker und logische NAND-Gatter realisieren (Kap. 3).

Spaltet man den Drain-Kontakt eines Quantendrahtes auf, so erhält man eine Y-förmige Verzweigung bzw. einen Y-Transistor, falls die Verzweigung über seitliche Gates kontrolliert wird. Während eine ballistische Y-förmige Verzweigung gleichrichtende Eigenschaften aufweist und als AND-Gatter eingesetzt werden kann, erlaubt es die besondere Geometrie des Y-Transistors, ihn je nach äußerer Beschaltung als invertierenden Verstärker, Differenzverstärker, statisches Speicherelement bzw. Schmitt-Trigger zu betreiben (Kap. 4).

Interessanterweise lassen sich die einzelnen Grundeinheiten auch zu komplexeren Strukturen mit erweiterter Funktionalität integrieren. So gelingt es durch eine geeignete Kombination von seitlich kontrollierten Quantendrähten, Y-förmigen Verzweigungen und Y-Transistoren, ein kombiniertes AND/NAND-Gatter sowie einen kompakten ballistischen Halb-Addierer zu realisieren (Kap. 5).



**Abb. A.1:** Schematische Übersicht der in der vorliegenden Arbeit untersuchten Nanostrukturen. Ausgehend von drei elementaren Strukturen nämlich dem Quantendraht-Transistor, der Y-förmigen Verzweigung und dem Y-Transistor (grau unterlegt) wurde eine Vielzahl nanoelektronischer Bauteile realisiert und hinsichtlich ihrer Transporteigenschaften charakterisiert.

# Anhang B

## Messtechnik

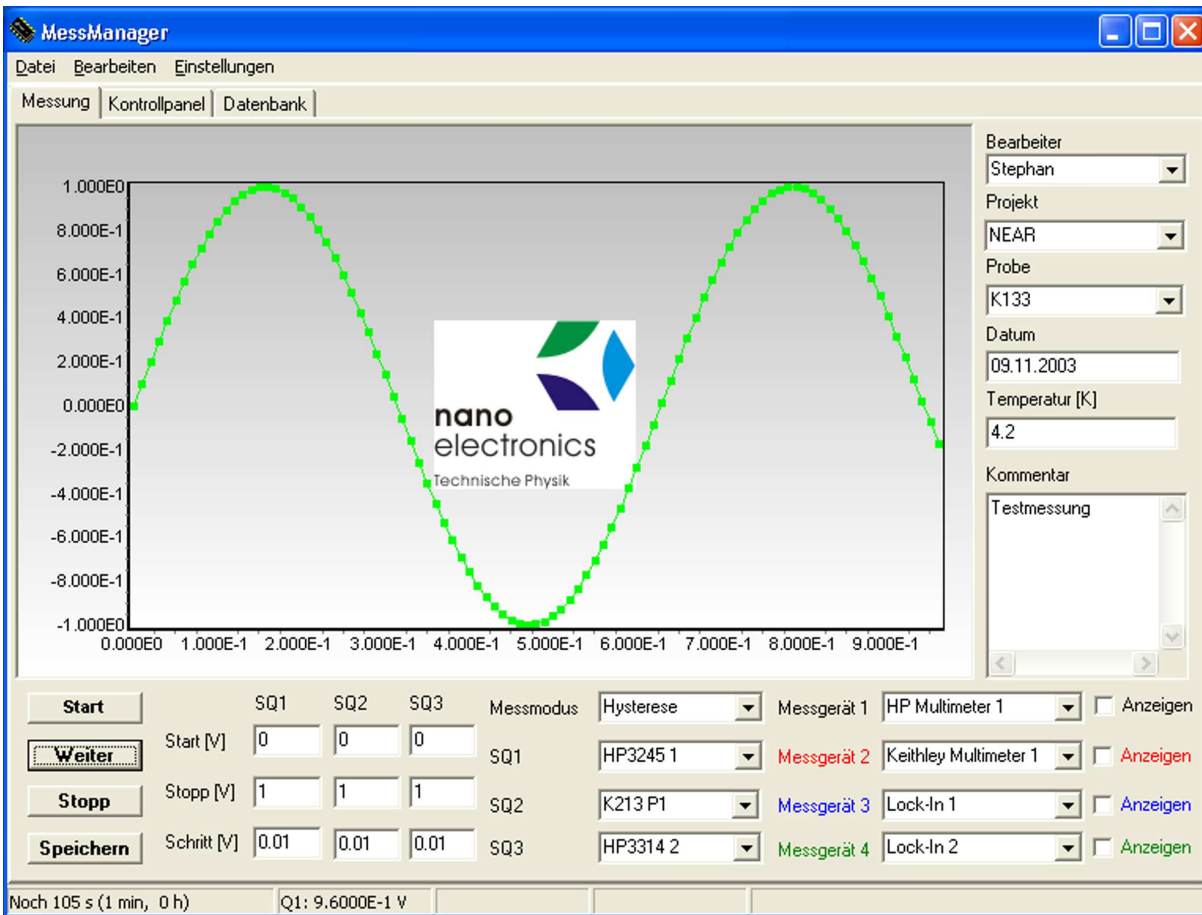
Zur elektrischen Charakterisierung der Halbleiter-Nanostrukturen standen drei Transportmessplätze zur Verfügung. Die Kenngrößen der modulationsdotierten Heterostrukturen wurden über einen Magnetkryostaten bei  $T = 4.2$  K und Magnetfeldern bis hin zu 13 T ermittelt. Die Nanostrukturen selbst wurden in einer Heliumkanne oder aber in einem Heliox  $^3\text{He}/^4\text{He}$ -Magnetkryostaten (Oxford Instruments) mit einer Basistemperatur von  $T = 240$  mK bei Magnetfeldern von bis zu  $B = 2$  T untersucht. Temperaturabhängige Messungen wurden in dem  $^3\text{He}/^4\text{He}$ -Magnetkryostaten durchgeführt, der es gestattet, die Proben temperatur von seiner Basistemperatur bis hin zu Raumtemperatur geregelt einzustellen.

Für die Transportuntersuchungen im quasistatischen Regime, bei Vorwärtsspannungen von bis zu einigen Volt kamen diverse Gleichspannungsquellen zum Einsatz (zwei *HP 3245A* Präzessionsspannungsquellen, zwei Funktionsgeneratoren *HP 3314A*, eine vierfach Spannungsquelle *Keithley 213* und eine batteriebetriebene, in Eigenarbeit angefertigte 4-fach Gleichspannungsquelle). Die Aufnahme der Messgrößen gelang über Multimeter (zwei Multimeter *HP 3478 A* und zwei Multimeter *Keithley 2000*) bzw. Lock-In Verstärker (zwei *EG&G 7265* und ein *Perkin Elmer 7225*). Zum Teil wurden die Untersuchungen in einem sehr hochohmigen Regime durchgeführt. Hierzu wurde ein Impedanz-Wandler auf der Basis des Operationsverstärkers *INA 123* angefertigt.

Zur Erfassung der Messdaten wurde ein umfangreiches Messprogramm (*MessManager*), dessen Benutzeroberfläche in Abb. B.1 dargestellt ist, in der objektorientierten Programmiersprache *c++* entwickelt<sup>1</sup>. Dieses Messprogramm gestattet es, auf flexible Weise alle zur Verfügung stehenden Signalquellen, Messgeräte und die Steuereinheiten des Heliox-Magnetkryostaten über ein *IEEE 488 (GPIB)* Bus-System anzusprechen. Hierbei stehen verschiedenen Messmodi zur Verfügung, welche gezielt auf die Bedürfnisse der im Rahmen dieser Arbeit durchgeführten Untersuchungen angepasst wurden und über die jeweils bis zu vier Messsignale (Messgerät 1 bis 4) erfasst werden können (vgl. Tabelle B.1). Weiterhin werden wichtige Messinformationen sowie Kommentare in einer integrierten *Microsoft Access*<sup>®</sup>-Datenbank verwaltet.

---

<sup>1</sup>Der Quellcode des Messprogramms ist auf Anfrage erhältlich.



**Abb. B.1:** Benutzeroberfläche des Messprogramms MessManager.

Messmodus	SQ1	SQ2	SQ3	Beschreibung
Standard	X	-	-	Das Ausgangssignal der Quelle <i>SQ1</i> wird vom Startwert <i>Start</i> bis hin zum Endwert <i>Stopp</i> in der Schrittweite <i>Schritt</i> gefahren.
Push-Pull	X	X	-	Das Ausgangssignal der Quelle <i>SQ1</i> wird vom Startwert <i>Start</i> bis hin zum Endwert <i>Stopp</i> in der Schrittweite <i>Schritt</i> gefahren, während die Quelle <i>SQ2</i> gleichzeitig in umgekehrter Richtung variiert wird.
Hysterese	X	-	-	Das Ausgangssignal der Quelle <i>SQ1</i> wird vom Startwert <i>Start</i> bis hin zum Endwert <i>Stopp</i> und wieder zurück zum Startwert in der Schrittweite <i>Schritt</i> gefahren.
Kontinuierlich	X	-	-	Das Ausgangssignal der Quelle <i>SQ1</i> wird vom Startwert <i>Start</i> in der Schrittweite <i>Schritt</i> gefahren, bis ein Abbruch über die Taste <i>Stopp</i> erfolgt.
Logik	X	X	-	Die Ausgangssignale der Spannungsquellen <i>SQ1</i> und <i>SQ2</i> werden in einer zeitlichen Sequenz gemäß der Werte gefahren, die in einer externen Textdatei spezifiziert wurden.
Serie	X	X	-	Die Spannungsquelle <i>SQ1</i> wird in Standard-Modus variiert, während das Signal der Quelle <i>SQ2</i> als Messparameter dient, das ausgehend von dem Startwert <i>Start</i> nach jeder Einzelmessung um die Schrittweite <i>Schritt</i> erhöht wird.
Serie Push-Pull	X	X	X	Die Spannungsquellen <i>SQ1</i> und <i>SQ2</i> werden in Push-Pull-Modus variiert, während das Signal der Quelle <i>SQ2</i> als Messparameter dient, das ausgehend von dem Startwert <i>Start</i> nach jeder Einzelmessung um die Schrittweite <i>Schritt</i> erhöht wird.
Serie Hysterese	X	X	-	Die Spannungsquelle <i>SQ1</i> wird in Hysterese-Modus variiert, während das Signal der Quelle <i>SQ2</i> als Messparameter dient, das ausgehend von dem Startwert <i>Start</i> nach jeder Einzelmessung um die Schrittweite <i>Schritt</i> erhöht wird.
Serie 2 Parameter	X	X	X	Die Spannungsquellen <i>SQ1</i> und <i>SQ2</i> werden im Serie-Modus variiert, während das Signal der Quelle <i>SQ3</i> als weiterer Messparameter dient, der ausgehend von dem Startwert <i>Start</i> nach jeder Einzelserie um die Schrittweite <i>Schritt</i> erhöht wird.

**Tab. B.1:** Zur Verfügung stehende Modi des Messprogramms.



# Literaturverzeichnis

- [Ash76] N. W. Ashcroft und N. D. Mermin. *Solid State Physics* (Saunders College Publishing, Fort Worth, 1976).
- [Bac01] A. Bachtold, P. Hadley, T. Nakanishi und C. Dekker. *Science* **294**, 1317 (2001).
- [Bak90] G. Baker und J. Gollub. *Chaotic dynamics - An introduction* (Cambridge University Press, New York, 1990).
- [Bar48] J. Bardeen und W. H. Brattain. *Phys. Rev.* **71** (1948).
- [Beh89] R. E. Behringer, P. M. Mankiewich, G. Timp, R. E. Howard, H. U. Baranger, J. Cunningham und S. Sampere. *J. Vac. Sci. Technol. B* **7**, 2039 (1989).
- [Ber94] C. Berven, M. N. Wybourne, A. Ecker und S. M. Goodnick. *Phys. Rev. B* **50**, 14639 (1994).
- [Bla98] Y. M. Blanter, F. W. J. Hekking und M. Büttiker. *Phys. Rev. Lett.* **81**, 1925 (1998).
- [Bry89] G. W. Bryant. *Phys. Rev. B* **39**, 3145 (1989).
- [Büt85] M. Büttiker, Y. Imry, R. Landauer und S. Pinhas. *Phys. Rev. B* **31**, 6207 (1985).
- [Büt93a] M. Büttiker. *J. Phys.: Condens. Matter* **5**, 9361 (1993).
- [Büt93b] M. Büttiker, A. Prêtre und H. Thomas. *Phys. Rev. Lett.* **70**, 4114 (1993).
- [Büt93c] M. Büttiker, H. Thomas und A. Prêtre. *Phys. Lett. A* **180**, 364 (1993).
- [Cal02] L. E. Calvet, H. Luebben, M. A. Reed, C. Wang, J. P. Snyder und J. R. Tucker. *J. Appl. Phys.* **91**, 757 (2002).
- [Cha74] L. L. Chang, L. Esaki und R. Tsu. *Appl. Phys. Lett.* **24**, 593 (1974).

- [Che96] R. H. Chen, A. N. Korotkov und K. K. Likharev. Appl. Phys. Lett. **68**, 1954 (1996).
- [Che00] X. Chen, Q. Ouyang, D. M. Onsongo, S. K. Jayanarayanan, A. Tasch und S. Banerjee. Appl. Phys. Lett. **77**, 1656 (2000).
- [Cho75] A. Y. Cho und J. R. Arthur. Prog. Solid State Chem. **10**, 157 (1975).
- [Chr96] T. Christen und M. Büttiker. Phys. Rev. Lett. **77**, 143 (1996).
- [cK01] Ç. Kurdak, L. Farina und K. M. Lewis. J. Appl. Phys. **89**, 3453 (2001).
- [Cob92] D. H. Cobden, A. Savchenko, M. Pepper, N. K. Patel, D. A. Ritchie, J. E. F. Frost und G. A. C. Jones. Phys. Rev. Lett. **69**, 502 (1992).
- [Cro02] S. M. Cronenwett, H. J. Lynch, D. Goldhaber-Gordon, L. P. Kouwenhoven, C. M. Marcus, K. Hirose und N. S. Phys. Rev. Lett. **88**, 26805 (2002).
- [Cui01] Y. Cui und C. M. Lieber. Science **291**, 851 (2001).
- [dA90] J. del. Alamo und C. Eugster. Appl. Phys. Lett. **56**, 78 (1990).
- [Dat86] S. Datta, M. Melloch, S. Bandyopadhyay und M. Lundstrom. Appl. Phys. Lett. **48**, 487 (1986).
- [Dat95] S. Datta. *Electronic Transport in Electronic Systems* (Cambridge University Press, 1995).
- [Dek91] C. Dekker, A. J. Scholten, F. Liefrink, R. E. H. van Houten und C. T. Foxon. Phys. Rev. Lett. **66**, 2148 (1991).
- [Der01] V. Derycke, R. Martel, J. Appenzeller und P. Avouris. Nano Letters **1**, 453 (2001).
- [Dev00] M. H. Devoret und R. J. Schoelkopf. Nature **406**, 1039 (2000).
- [Din78] R. Dingle, H. L. Störmer, A. C. Gossard und W. Wiegmann. Appl. Phys. Lett. **33**, 665 (1978).
- [Dru00] P. Drude. Ann. Phys. **1**, 566 (1900).
- [Esa70] L. Esaki und R. Tsu. IBM J. Res. Dev **14**, 61 (1970).



- [Fer97] D. K. Ferry und S. M. Goodnick. *Transport in Nanostructures* (Cambridge University Press, Cambridge, 1997).
- [Fle02] R. Fleischmann und T. Geisel. *Phys. Rev. Lett.* **89**, 16804 (2002).
- [Fow82] A. B. Fowler, A. Hartstein und R. A. Webb. *Phys. Rev. Lett.* **48**, 196 (1982).
- [Fuh02] M. S. Fuhrer, B. M. Kim, T. Dürkop und T. Brintlinger. *Nano Letters* **2**, 755 (2002).
- [Ful87] T. A. Fulton und G. J. Dolan. *Phys. Rev. Lett.* **59**, 109 (1987).
- [Gam91] L. Gammaitoni, M. Martinelli, L. Pardi und S. Santucci. *Phys. Rev. Lett.* **67**, 1799 (1991).
- [God01] A. Godoy, J. A. López-Villanueva, J. A. Jiménez-Tejada, A. Palma und F. Gámiz. *Solid State Electronics* **45**, 391 (2001).
- [Haq01] A. Haque und M. R. Quddus. *Solid State Electronics* **45**, 519 (2001).
- [Hau97] A. G. C. Haubrich, D. A. Wharam, H. Kriegelstein, S. Manus, A. Lorke, J. P. Kotthaus und A. C. Gossard. *Appl. Phys. Lett.* **70**, 3251 (1997).
- [Hei02] S. Heinze, J. Tersoff, R. Martel, V. Derycke, J. Appenzeller und P. Avouris. *Phys. Rev. Lett.* **89**, 106801 (2002).
- [Hie98] K. Hieke, J.-O. Wesström, T. Palm, B. Stalnacke und B. Stoltz. *Solid State Electronics* **42**, 1115 (1998).
- [Hie00] K. Hieke und M. Ulfward. *Phys. Rev. B* **62**, 16727 (2000).
- [Hir01] K. Hirose und N. S. Wingreen. *Phys. Rev. B* **64**, 73305 (2001).
- [Hor95] R. I. Hornsey, A. M. Marsh, J. R. A. Cleaver und H. Ahmed. *Phys. Rev. B* **51**, 7010 (1995).
- [Hua01] Y. Huang, X. Duan, Y. Cui, L. J. Lauhon, K.-H. Kim und C. M. Lieber. *Science* **294**, 1313 (2001).
- [Imr86] Y. Imry. *Directions in Condensed Matter Physics* (World Scientific, Singapore, 1986), Seite 101.

- [Itr01] *The International Technology Roadmap for Semiconductors (ITRS)* (Semiconductor Industry Association, San Jose, CA, 2001). (<http://public.itrs.net/>).
- [Jav02] A. Javey, Q. Wang, A. U. Li und H. Dai. *Nano Letters* **2**, 929 (2002).
- [Jim03] D. Jiménez, J. J. Sáenz, B. Iníquez, J. Suné, L. F. Marsal und J. Pallarès. *J. Appl. Phys.* **94**, 1061 (2003).
- [Joh92] A. T. Johnson, L. P. Kouwenhoven und W. de Jong. *Phys. Rev. Lett.* **69**, 1592 (1992).
- [Kah60] D. Kahng und M. M. Atalla. In *Proceedings of the IRE Device Research Conference* (1960).
- [Kam99] M. Kamp, M. Emmerling, S. Kuhn und A. Forchel. *J. Vac. Sci. Technol. B* **17**, 86 (1999).
- [Kan98] B. E. Kane, G. R. Facer, A. S. Dzurak, N. E. Lumpkin, R. G. Clark und L. N. P. and K. W. West. *Appl. Phys. Lett.* **72**, 3506 (1998).
- [Ked99] J. Kedzierskia, J. Bokor und E. Anderson. *J. Vac. Sci. Technol. B* **17**, 3244 (1999).
- [Kle97] D. L. Klein, R. Roth, A. K. L. Lim, A. P. Aliviatos und P. L. McEuen. *Nature* **389**, 699 (1997).
- [Ko96] K. K. Ko, E. W. Berg und S. W. Pang. *J. Vac. Sci. Technol. B* **14**, 3663 (1996).
- [Koe96] S. J. Koester, B. Brar, C. R. Bolognesi, E. J. Caine, A. Patlach, E. L. Hu und H. Kroemer. *Phys. Rev. B* **53**, 13063 (1996).
- [Kor01] B. Korenblum und E. I. Rashba. *Phys. Rev. Lett.* **89**, 096803 (2001).
- [Kou89] L. P. Kouwenhoven, B. J. van Wees, C. J. P. M. Harmans, J. G. Williamson, H. van Houten und C. W. J. Be. *Phys. Rev. B* **39**, 8040 (1989).
- [Kri00] A. Kristensen, H. Bruus, A. E. Hansen, J. B. Jensen, P. E. Lindelof, C. J. Marckmann, J. Nygard und C. *Phys. Rev. B* **62**, 10950 (2000).
- [Lan57] R. Landauer. *IBM J. Res. Dev.* **1**, 223 (1957).
- [Lan88] R. Landauer. *IBM J. Res. Dev.* **32**, 306 (88).

- [Lee93] K. Lee, M. S. Shur, T. A. Fjeldly und T. Ytterdal. *Semiconductor Device Modeling for VLSI* (Prentice-Hall, Englewood Cliffs, N.J., 1993).
- [Lee02] C.-S. Lee, W.-C. Hsu und C.-L. Wu. *Jpn. J. Appl. Phys.* **41**, 5919 (2002).
- [Leo97] E. Leobandung, J. Gu, L. Guo und S. Y. Chou. *J. Vac. Sci. Technol. B* **15**, 2791 (1997).
- [Lew02] R. Lewén, I. Maximov, I. Shorubalko, L. Samuelson, L. Thylén und H. Q. Xu. *J. Appl. Phys.* **91**, 2398 (2002).
- [Lia99] C.-T. Liang, M. Y. Simmons, C. G. Smith, D. A. Ritchie und M. Pepper. *Appl. Phys. Lett.* **75**, 2975 (1999).
- [Liu01] X. Liu, C. Lee und C. Zhou. *Appl. Phys. Lett.* **79**, 3329 (2001).
- [Löf03] A. Löfgren, I. Shorubalko, P. Omling und A. M. Song. *Phys. Rev. B* **67**, 195309 (2003).
- [Lur88] S. Luryi. *Appl. Phys. Lett.* **52**, 501 (1988).
- [Mar98] F. Marchesoni, F. Apostolico, L. Gammaitoni und S. Santucci. *Phys. Rev. E* **58**, 7079 (1998).
- [Mil83] J. Millman. *Microelectronics* (McGraw-Hill, New York, 1983).
- [Moo65] G. E. Moore. *Electronics* **38**, 114 (1965).
- [Nak03] F. Nakajima, Y. Miyoshi, J. Motohisa und T. Fukui. *Appl. Phys. Lett.* **83**, 2680 (2003).
- [Nie90] J. Nieder, Wieck, P. Grambow, H. Lage, D. Heitmann und K. v. Klitzing. *Appl. Phys. Lett.* **57**, 2695 (1990).
- [Nis02] N. Nishiguchi. *Phys. Rev. Lett.* **89**, 066802 (2002).
- [Nog96] M. Noguchi, T. Ikoma, T. Odagiri, H. Sakakibara und S. N. Wang. *J. Appl. Phys.* **80**, 9 (1996).

- [Oka95] H. Okada, K. Jinushi, N. Wu, T. Hashizume und H. Hasegawa. Jpn. J. Appl. Phys. **34**, 1315 (1995).
- [Ono00] Y. Ono, Y. Takahashi, K. Yamazaki, M. Nagase, H. Namatsu, K. Kurihara und K. Murase. Appl. Phys. Lett. **76**, 3121 (2000).
- [Pal92] T. Palm und L. Thylén. Phys. Lett. A **60**, 237 (1992).
- [Pal93] T. Palm, L. Thylén, O. Nilsson und C. Svensson. J. Appl. Phys. **74**, 687 (1993).
- [Pat91] N. K. Patel, J. T. Nicholls, L. Martín-Moreno, M. Pepper, J. E. F. Frost, D. A. Ritchie und G. A. C. Jon. Phys. Rev. B **44**, 13549 (1991).
- [Per98] F. Perez, S. Zanier, S. Hameau, B. Jusserand, Y. Guldner, A. Cavanna, L. Ferlazzo-Manin und B. Etienne. Appl. Phys. Lett. **72**, 1368 (1998).
- [Pet82] P. M. Petroff, A. C. Gossard, R. A. Logan und W. Wiegmann. Appl. Phys. Lett. **41**, 635 (1982).
- [Pet98] M. G. Peters, S. G. den Hartog, J. I. Dijkhuis, O. J. A. Buyk und L. W. Molenkamp. J. Appl. Phys. **84**, 5052 (1998).
- [Pic01] R. D. Picciotto, H. L. Stoermer, L. N. Pfeiffer, K. W. Baldwin und K. W. West. Nature **411**, 51 (2001).
- [Ree88] M. A. Reed, J. N. Randall und R. J. Aggarwal. Phys. Rev. Lett. **60**, 535 (1988).
- [Rei00] S. Reitzenstein. *Transportuntersuchungen an lateral gekoppelten null- und eindimensionalen Nanostrukturen*. Diplomarbeit, Universität Würzburg, Am Hubland, Würzburg (2000).
- [Sch87] A. Scherer, M. L. Roukes, H. G. Craighead, R. M. Ruthen, E. D. Beebe und J. P. Harbison. Appl. Phys. Lett. **51**, 2133 (1987).
- [Sch98] R. J. Schoelkopf, P. Wahlgren, A. A. Kozhevnikov, P. Delsing und D. E. Prober. Science **280**, 1238 (1998).
- [Sha99] A. A. Shashkin, V. T. Dolgoplov, E. V. Deviatov, B. Irmer, A. G. C. Haubrich, J. P. Kotthaus, M. Bichler und W. Wegscheider. JETP Letters **69**, 603 (1999).

- [Sho02] I. Shorubalko, H. Q. Xu, I. Maximov, D. Nilsson, P. Omling, L. Samuelson und W. Seifert. *IEEE Elec. Dev. Lett.* **23**, 377 (2002).
- [Smi95] T. P. Smith, B. B. Goldberg, P. J. Stiles und M. Heiblum. *Phys. Rev. B* **32**, 2696 (1995).
- [Son98] A. M. Song, A. Lorke, A. Kriele, J. P. Kotthaus, W. Wegscheider und M. Bichler. *Phys. Rev. Lett.* **80**, 3831 (1998).
- [Stö99] H. L. Störmer. *Reviews of Modern Physics* **71** (1999).
- [Sze01] S. M. Sze. *Semiconductor Devices, Physics and Technology* (Wiley, New York, N. Y., 2001), 2 Auflage.
- [Tan98] S. J. Tans, A. R. M. Verschueren und C. Dekker. *Nature* **393**, 49 (1998).
- [Tau97] Y. Taur, D. A. Buchanan, W. Chen, D. J. Frank, K. E. Ismail, S. H. Lo, G. A. Saihalaz, R. G. Viswannathan, J. J. C. Wann, S. J. Wind und S. H. Wong. *Proc. IEEE* **85**, 486 (1997).
- [Tho95] K. J. Thomas, M. Y. Simmons, J. T. Nicholls, D. R. Mace, M. Pepper und D. A. Ritchie. *Appl. Phys. Lett.* **67**, 109 (1995).
- [Tho96] K. J. Thomas, J. T. Nicholls, M. Y. Simmons, M. Pepper, D. R. Mace und D. A. Ritchie. *Phys. Rev. Lett.* **77**, 135 (1996).
- [Tho98] K. J. Thomas, J. T. Nicholls, N. J. Appleyard, M. Y. Simmons, M. Pepper, D. R. Mace, W. R. Tribe und D. Phys. *Rev. B* **58**, 4846 (1998).
- [Tho00] K. J. Thomas, J. T. Nicholls, M. Pepper, W. R. Tribe, M. Y. Simmons und D. A. Ritchie. *Phys. Rev. B* **61**, 13365 (2000).
- [Tie99] U. Tietze und C. Schenk. *Halbleiter Schaltungstechnik*, Band 11 (Springer Verlag, Berlin, 1999).
- [Tim87] G. Timp, A. M. Chang, P. Mankiewich, R. Behringer, J. E. Cunningham, T. Y. Chang und R. E. Howard. *Phys. Rev. Lett.* **59**, 732 (1987).

- [Tsu90] N. Tsukada, A. Wieck und K. Ploog. *Appl. Phys. Lett.* **56**, 2527 (1990).
- [vH86] H. van Houten, B. J. van Wees, M. G. J. Heijman und J. P. André. *Appl. Phys. Lett.* **49**, 1781 (1986).
- [vK85] K. v. Klitzing, G. Dorda und M. Pepper. *Phys. Rev. Lett.* **45**, 494 (1985).
- [vR00] A. van Roermund und J. Hoekstra. In *IEEE International Symposium on Circuits and Systems* (IEEE, 2000).
- [vW88] B. J. van Wees, H. van Houten, C. W. J. Beenakker, J. G. Williamson, L. P. Kouwenhoven und D. van der. *Phys. Rev. Lett.* **66**, 848 (1988).
- [Wal84] W. Walukiewicz, H. E. Ruda, J. Lagowski und H. C. Gatos. *Phys. Rev. B* **30**, 4571 (1984).
- [Wan99] B. Wang, X. Zhao, J. Wang und H. Guo. *Appl. Phys. Lett.* **74**, 2887 (1999).
- [Wan00] Q. Wang, N. Carlsson, I. Maximov und P. Omling. *Appl. Phys. Lett.* **76**, 2275 (2000).
- [Wei99] B. Weidner. *Y-förmige GaAs/AlGaAs Elektronenwellenleiter*. Diplomarbeit, Fakultät für Technische Physik, Julius-Maximilians-Universität Würzburg (1999).
- [Wes98a] J.-O. J. Wesström. Dissertation, School of Electrical Engineering and Information Technology, Royal Institute of Technology, Stockholm (1998).
- [Wes98b] J.-O. J. Wesström. *Phys. Rev. B* **58**, 10351 (1998).
- [Wes99] J.-O. J. Wesström. *Phys. Rev. Lett.* **82**, 2564 (1999).
- [Wha88] D. A. Wharam, T. J. Thornton, R. Newbury, M. Pepper, H. Ahmed, J. E. F. Frost, D. G. Hasko, D. C. Peacock, D. A. Ritchie und G. A. C. Jones. *J. Phys. C: Solid State Phys.* **21**, L209 (1988).
- [Wor99] L. Worschech, F. Beuscher und A. Forchel. *Appl. Phys. Lett.* **75**, 578 (1999).
- [Wor01] L. Worschech, H. Q. Xu, A. Forchel und L. Samuelson. *Appl. Phys. Lett.* **79**, 3287 (2001).
- [Xu93] H. Xu. *Phys. Rev. B* **47**, 15630 (1993).

- 
- [Xu01] H. Q. Xu. Appl. Phys. Lett. **78**, 2064 (2001).
- [Xu02] H. Q. Xu. Appl. Phys. Lett. **80**, 853 (2002).
- [Yam01] T. Yamada, Y. Kinoshita, S. Kasai, H. Hasegawa und Y. Amemiya. Jpn. J. Appl. Phys. **40**, 4485 (2001).
- [You02] Y. J. You, B. Y. Choi, K. R. Kim, J. D. Lee und B.-G. Park. IEEE Trans. Electron Devices **49**, 1833 (2002).
- [Zha99] X. Zhao, J. Wang und H. Guo. Phys. Rev. B **60**, 16730 (1999).
- [Zim92] G. Zimmerli, R. L. Kautz und J. M. Martinis. Appl. Phys. Lett. **61**, 2616 (1992).





# Danksagung

An dieser Stelle möchte ich mich bei all denen bedanken, ohne deren Mithilfe die Entstehung dieser Arbeit nicht möglich gewesen wäre:

Herrn Prof. Dr. A. Forchel für die Aufnahme am Lehrstuhl für Technische Physik mit seinen exzellenten experimentellen Möglichkeiten und die intensive Betreuung der Arbeit.

Herrn Prof. Dr. J. Geurts für die freundliche Übernahme des Mitberichts zu dieser Arbeit

Herrn PD. Dr. L. Worschech für die Betreuung dieser Arbeit, sein stetes Interesse an deren Fortgang, sowie die vielen hilfreichen Diskussionen. Die überaus freundliche und inspirative Zusammenarbeit hat maßgeblich zum Erfolg dieser Arbeit beigetragen.

Den Herren M. Keßelring, P. Hartmann, D. Hartmann, S. Münch und R. Herrmann, die ich während der Zeit ihrer Diplomarbeiten bzw. Projektpraktika betreuen durfte, und die mich wesentlich bei den experimentellen Untersuchungen unterstützt haben.

Den weiteren Mitarbeitern der Nanoelectronics-Gruppe, A. Schliemann und C. Müller für die freundschaftliche Atmosphäre in der Arbeitsgruppe, viele interessante Diskussionen und die Hilfe bei täglichen Problemen aller Art.

Ein ganz besonders großer Dank geht an die technischen Assistenten der Technischen Physik, allen voran M. Emmerling, für ihren unermühtlichen Einsatz bei der Strukturierung der Proben.

Den Mitarbeitern des Physikalischen Instituts, insbesondere der Helium-, Elektronik- und der Mechanikwerkstatt für ihre kompetente Hilfsbereitschaft.

Den Herren Dr. F. Beuscher und S. Kaiser für das Wachstum der modulationsdotierten Heterostrukturen.

Meinen Eltern für die fortwährende Unterstützung während meines gesamten Studiums.

Meiner Frau Marina für ihr Verständnis und ihre unendliche Geduld.



# Curriculum Vitae

Stephan Erich Reitzenstein, geb. am 7. April 1972 in Buchen/Odw., verheiratet, ein Sohn

- 1978-1982 Besuch der Grundschule in Schloßau
- 1982-1987 Besuch der Hauptschule in Mudau
- 1987-1991 Ausbildung zum Industrieelektroniker, Fachrichtung Gerätetechnik
- 1991-1992 Berufstätigkeit als Industrieelektroniker
- 1992-1993 Besuch der Berufsaufbauschule in Miltenberg
- 1993-1995 Besuch der Berufsoberschule in Würzburg
- 1995 Beginn des Studiums der Physik an der Maximilians-Universität Würzburg, Nebenfach Informatik
- 1997 Vordiplom
- 1999 zweimonatige Tätigkeit als Werkstudent bei Siemens in München, Zentralabteilung Technik, Thema: "Matching behavior of large area MOSFETs"
- 1999 dreimonatiges Auslandspraktikum am Massachusetts Institute of Technology in Boston/USA, Plasma Science and Fusion Center (Alcator C-Mod Project), Thema: "Design of high power, radio frequency systems for heating of the (fusion) plasma"
- 2000 Diplomarbeit in experimenteller Physik an der Maximilians-Universität Würzburg, Lehrstuhl Prof. Dr. A. Forchel, Thema: "Transportuntersuchungen an lateral gekoppelten null- und eindimensionalen GaAs/AlGaAs Halbleiterstrukturen"
- Mai 2001 Diplom in Physik
- seit 2000 wissenschaftlicher Angestellter an der Maximilians-Universität Würzburg, Lehrstuhl Prof. Dr. A. Forchel



# Ehrenwörtliche Erklärung

gemäß §5 Abs. 2 Ziff. 2 und 5  
der Promotionsordnung der  
Fakultät für Physik und Astronomie  
der Universität Würzburg

Hiermit erkläre ich ehrenwörtlich, daß ich die Dissertation selbständig und ohne Hilfe eines Promotionsberaters angefertigt und keine weiteren als die angegebenen Quellen und Hilfsmittel benutzt habe.

Die Dissertation wurde bisher weder vollständig noch teilweise einer anderen Hochschule mit dem Ziel, einen akademischen Grad zu erwerben, vorgelegt.

Am 8. Mai 2001 wurde mir von der Universität Würzburg der akademische Grad 'Diplom-Physiker (Univ.)' verliehen. Weitere akademische Grade habe ich weder erworben noch versucht zu erwerben.

Würzburg, den 17.06.2004

Stephan Reitzenstein

