

**Nanoelektronische Feldeffekt-Transistoren und  
Quantenpunktspeicher auf der Basis von  
modulationsdotierten GaAs/AlGaAs  
Heterostrukturen**

Dissertation zur Erlangung des  
naturwissenschaftlichen Doktorgrades  
der Julius-Maximilians-Universität  
Würzburg

vorgelegt von

**Christian Robert Müller**

geboren in Schweinfurt

Würzburg 2009

Eingereicht am: 02.03.2009  
bei der Fakultät für Physik und Astronomie

1. Gutachter: Prof. Dr. Lukas Worschech  
2. Gutachter: Prof. Dr. Hartmut Buhmann  
3. Gutachter: Prof. Dr. Ulrich Kunze  
der Dissertation

1. Prüfer: Prof. Dr. Lukas Worschech  
2. Prüfer: Prof. Dr. Hartmut Buhmann  
3. Prüfer: Prof. Dr. Björn Trauzettel  
im Promotionskolloquium

Tag des Promotionskolloquiums: 28.10.2009

Doktorurkunde ausgehändigt am:

Teile dieser Arbeit wurden bereits veröffentlicht bzw. zur Veröffentlichung eingereicht:

- C. R. Müller, L. Worschech, D. Spanheimer und A. Forchel, "Current and voltage gain in a monolithic GaAs/AlGaAs TTJ at room temperature", *IEEE Electron Device Lett.* **27**, 208-210 (2006).
- C. R. Müller, L. Worschech und A. Forchel, "Self-gating controlled pronounced threshold hysteresis in electron Y-branch switch with quantum dots", *Electronics Lett.* **42**, 603-604 (2006).
- C. R. Müller, L. Worschech und A. Forchel, "Memory inhibition in quantum-wire transistors controlled by quantum dots", *physica status solidi (c)* **3**, 3794-3797 (2006).
- C. R. Müller, L. Worschech, A. Schliemann und A. Forchel, "Bias voltage controlled memory effect in in-plane quantum-wire transistors with embedded quantum dots", *IEEE Electron Device Lett.* **27**, 955-958 (2006).
- C. R. Müller, L. Worschech, P. Höpfner, S. Höflin und A. Forchel, "Monolithically integrated NOR gate based on GaAs/AlGaAs three-terminal junctions", *IEEE Electron Device Lett.* **28**, 859-861 (2007).
- C. R. Müller, L. Worschech und A. Forchel, "Room temperature memory operation of electron Y-branch switch with embedded quantum dots", *Electronics Lett.* **43**, 1392-1393 (2007).
- C. R. Müller, L. Worschech, J. Heinrich, S. Höflin und A. Forchel, "Room temperature memory operation of a single InAs quantum dot layer in a GaAs/AlGaAs heterostructure", *Appl. Phys. Lett.* **93**, 063502 (2008).

- L. Worschech, D. Hartmann, S. Lang, D. Spanheimer, C. R. Müller und A. Forchel, "Nonlinear transport properties of electron Y-branch switches", *Adv. Solid State Phys.* **48**, 305-316 (2008).
- C. R. Müller, L. Worschech, S. Höflin und A. Forchel, "Characterization of three-terminal junctions operated as in-plane gated field-effect transistors", *IEEE Trans. Electron Devices* **56**, 306-311 (2009).
- C. R. Müller, L. Worschech und A. Forchel, "Inversion of hysteresis in quantum dot controlled quantum-wire transistor", *Phys. Rev. B* **79**, 205307 (2009).
- C. R. Müller, L. Worschech, S. Lang, M. Stopa und A. Forchel, "Quantized rectification in a quantum dot nanojunction", *Phys. Rev. B* **80**, 075317 (2009).
- C. R. Müller, L. Worschech und A. Forchel, "Influence of quantum-dot charging on the switching properties of a three-terminal nanojunction", zur Veröffentlichung eingereicht bei *Phys. Rev. Lett.*

# Inhaltsverzeichnis

|                                                                                                                               |           |
|-------------------------------------------------------------------------------------------------------------------------------|-----------|
| <b>Zusammenfassung</b>                                                                                                        | <b>1</b>  |
| <b>Abstract</b>                                                                                                               | <b>5</b>  |
| <b>1 Einleitung</b>                                                                                                           | <b>9</b>  |
| <b>2 Theoretische Grundlagen</b>                                                                                              | <b>13</b> |
| 2.1 Aufbau und Funktionsweise des Feldeffekt-Transistors . . . . .                                                            | 13        |
| 2.1.1 Kennlinienfelder eines Feldeffekt-Transistors . . . . .                                                                 | 13        |
| 2.1.2 Ladungsträgerbeweglichkeit im Feldeffekt-Transistor und Beweglichkeitsreduktion für kleine Bauteildimensionen . . . . . | 14        |
| 2.1.3 Kanallängenmodulation und Punchthrough . . . . .                                                                        | 15        |
| 2.1.4 Roll Down und Drain-Induced-Barrier Lowering . . . . .                                                                  | 16        |
| 2.1.5 Schalten im Unterschwellspannungsregime . . . . .                                                                       | 17        |
| 2.2 Niederdimensionale Elektronensysteme . . . . .                                                                            | 18        |
| 2.3 Einzel-Elektronen-Transistor . . . . .                                                                                    | 20        |
| 2.3.1 Tunnelbarrieren und Kapazitäten von Quantenpunkten . . . . .                                                            | 20        |
| 2.3.2 Ladungsträgertransport durch Quantenpunkt-Systeme . . . . .                                                             | 22        |
| 2.3.3 Coulomb-Blockade in Quantenpunkt-Systemen . . . . .                                                                     | 26        |
| 2.4 Quantenpunkte in niederdimensionalen Transportsystemen . . . . .                                                          | 29        |
| 2.4.1 Quantenkapazität und Gate-Effektivität . . . . .                                                                        | 29        |
| 2.4.2 Laden und Entladen . . . . .                                                                                            | 32        |
| 2.4.3 Coulomb-Wechselwirkung . . . . .                                                                                        | 33        |
| 2.4.4 Y-Schalter und Self-Gating . . . . .                                                                                    | 35        |
| <b>3 Speicherelemente auf der Basis von GaAs/AlGaAs Heterostrukturen mit integrierten Quantenpunkten</b>                      | <b>37</b> |
| 3.1 Quantendraht-Transistor als Speicherelement . . . . .                                                                     | 37        |
| 3.1.1 Aufbau und Design eines Quantenpunkt-Speichers . . . . .                                                                | 38        |
| 3.1.2 Lineares Transportregime eines Quantendraht-Transistors als Quantenpunkt-Speicher . . . . .                             | 40        |
| 3.1.3 Speichereigenschaft der Quantenpunkte in einem Quantendraht-Transistor                                                  | 42        |

|          |                                                                                             |            |
|----------|---------------------------------------------------------------------------------------------|------------|
| 3.1.4    | Spannungsaktiviertes Speicherelement auf der Basis eines Quantendraht-Transistors . . . . . | 51         |
| 3.1.5    | Quantendraht-Transistor als Speicherelement bei Raumtemperatur . . . . .                    | 54         |
| 3.2      | Y-Schalter als Speicherelement . . . . .                                                    | 59         |
| 3.2.1    | Aufbau und Design eines Y-Schalters . . . . .                                               | 59         |
| 3.2.2    | Coulomb-Gleichrichtung im Y-Schalter . . . . .                                              | 60         |
| 3.2.3    | Self-Gating-induziertes Speichern im Y-Schalter . . . . .                                   | 66         |
| 3.2.4    | Sidegate-kontrolliertes Speichern im Y-Schalter . . . . .                                   | 69         |
| 3.2.5    | Y-Schalter als Speicherelement bei Raumtemperatur . . . . .                                 | 80         |
| <b>4</b> | <b>Gleichrichter und Feldeffekt-Transistoren auf Basis von GaAs/AlGaAs Heterostrukturen</b> | <b>85</b>  |
| 4.1      | Selbstschaltende Bauelemente als Gleichrichter . . . . .                                    | 85         |
| 4.1.1    | Aufbau und Design eines selbstschaltenden Bauelements . . . . .                             | 85         |
| 4.1.2    | Transporteigenschaften von selbstschaltenden Bauelementen . . . . .                         | 87         |
| 4.2      | Transporteigenschaften von Quantendraht-Transistoren . . . . .                              | 88         |
| 4.2.1    | Aufbau und Design eines Quantendraht-Transistors . . . . .                                  | 89         |
| 4.2.2    | Transistorkennlinien von Quantendraht-Transistoren . . . . .                                | 90         |
| 4.2.3    | Schaltverhalten von Quantendraht-Transistoren . . . . .                                     | 92         |
| 4.3      | Three-Terminal Junctions als elektronische Bauelemente . . . . .                            | 95         |
| 4.3.1    | Aufbau und Design einer Three-Terminal Junction . . . . .                                   | 96         |
| 4.3.2    | Gleichrichtung und Temperaturabhängigkeit von Three-Terminal Junctions . . . . .            | 97         |
| 4.3.3    | Transistorkennlinien von Three-Terminal Junctions . . . . .                                 | 101        |
| 4.3.4    | Dimensionsabhängigkeit des Transistorverhaltens in Three-Terminal Junctions . . . . .       | 107        |
| 4.3.5    | Integriertes NOR-Gatter auf Basis von Three-Terminal Junctions . . . . .                    | 114        |
| 4.3.6    | Subthreshold Swings kleiner $n\phi_t \ln 10$ bei Three-Terminal Junctions . . . . .         | 118        |
|          | <b>Literaturverzeichnis</b>                                                                 | <b>125</b> |
|          | <b>Danksagung</b>                                                                           | <b>139</b> |
|          | <b>Ehrenwörtliche Erklärung</b>                                                             | <b>141</b> |

# Zusammenfassung

Diese Arbeit beschäftigt sich mit Elektronentransport in nanostrukturierten Bauelementen auf Halbleiterbasis, wobei im Speziellen deren Transistor- und Speichereigenschaften untersucht werden. Grundlage für die Bauelemente stellt eine modulationsdotierte GaAs/AlGaAs Heterostruktur dar, die mittels Elektronenstrahlolithographie und nasschemischen Ätzverfahren strukturiert wird. Auf Grund der Bandverbiegung bildet sich in der Nähe des Heteroübergangs ein zweidimensionales Elektronengas (2DEG) aus, das als leitfähige Schicht in den Strukturen dient. Im Rahmen der Arbeit werden die Transporteigenschaften für unterschiedliche Bauelementdesigns untersucht, wobei die laterale Ausdehnung der Bauelemente wenige 10 nm beträgt. Die Charakterisierung des Elektronentransports erfolgt sowohl im linearen als auch nichtlinearen Transportregime für tiefe Temperaturen ( $T = 4.2$  K) bis hin zu Raumtemperatur.

Das erste experimentelle Kapitel beschäftigt sich mit dem Entwurf und der Charakterisierung von statischen Speicherzellen mit integriertem Floating Gate. Bei den hierfür hergestellten Bauelementen befindet sich eine Schicht selbstorganisierter Quantenpunkte (QDs) in direkter Nähe zum 2DEG. Der Abstand zwischen 2DEG und QDs ist kleiner als die Abschirmlänge im Halbleitermaterial, wodurch die QDs als Floating Gate dienen und Informationen elektrisch gespeichert werden können. Die Speicherzellen wurden in Form von Quantendraht-Transistoren (QWTs) und Y-Schaltern (YBSs) realisiert und bezüglich der Speicherfähigkeit der QDs sowohl bei tiefen Temperaturen als auch bei Raumtemperatur untersucht.

Im zweiten experimentellen Kapitel dieser Arbeit wird ein neues, auf dem Feldeffekt beruhendes, Transistordesign vorgestellt. Die hierfür hergestellten Heterostrukturen besitzen ein 2DEG, das sich zwischen 33 nm und 80 nm unterhalb der Oberfläche der Heterostruktur befindet. Mittels in die Oberfläche der Heterostruktur geätzter Gräben wird eine Isolation zwischen den leitfähigen Regionen der Bauelemente geschaffen. Das einfache Design der sogenannten Three-Terminal Junctions (TTJs), in Verbindung mit dem oberflächennahe 2DEG, ermöglicht die monolithische Realisierung von integrierten logischen Gattern. Durch eine ausführliche Betrachtung des Transistorverhaltens der TTJs können sowohl Subthreshold Swings kleiner als das thermische Limit klassischer Feldeffekt-Transistoren als auch Hochfrequenzfunktionalität demonstriert werden.

## Speicherelemente auf der Basis von GaAs/AlGaAs Heterostrukturen mit integrierten Quantenpunkten

Die in diesem Kapitel vorgestellten Speicherzellen werden auf der Basis von QWTs und YBSs hergestellt. Der Floating-Gate-Effekt der QDs auf den Transportkanal beruht auf der direkten Nähe der QDs zur leitfähigen Schicht und der sich daraus ergebenden starken Coulomb-Wechselwirkung zwischen dem 2DEG und der Ladung der QDs. Somit ist eine elektrische Speicherung von Informationen über den Ladezustand der QDs möglich. Die QDs werden über Tunnelprozesse zwischen dem 2DEG und den QDs geladen und entladen, wobei die Gates diesen Vorgang kontrollieren.

Zuerst wird ein Quantenpunkt-Flash-Speicher, der auf dem Design eines QWT basiert, im linearen Transportregime untersucht. Auf Grund der Coulomb-Wechselwirkung zwischen den Elektronen auf den QDs und dem 2DEG bilden sich im Transportkanal gekoppelte Elektroneninseln aus, die zu Coulomb-Blockade-Oszillationen im Strom führen. Durch eine Analyse der resultierenden Coulomb-Diamanten können Ladeenergien von mehr als 10 meV und laterale Ausdehnungen von wenigen 10 nm für die Elektroneninseln bestimmt werden. Mit Hilfe der kapazitiven Kopplung zwischen den QDs, dem Quantendraht (QW) und dem Gate wird die Floating-Gate-Funktion der QDs modelliert. Es kann gezeigt werden, dass bereits ein einzelnes Elektron die Schwellspannung des QW um bis zu 100 mV verschieben kann und ein Laden der QDs zu einer Schwellspannungshysterese von fast 2 V führt. Durch Änderung der Vorwärtsspannung kann der Lademechanismus der QDs kontrolliert und sogar invertiert werden, wodurch sich ein spannungsaktiviertes, logisches NOR-Gatter realisieren lässt. Ursache hierfür ist die Abhängigkeit der Gate-Effektivität des QW von der Vorwärtsspannung, was durch eine Verschiebung des Leitungsbandmaximums im Kanal nach Source hervorgerufen wird. Des Weiteren wird durch eine Optimierung der Lage der QD-Schicht innerhalb des Schichtaufbaus ein QD-Speicher bei Raumtemperatur realisiert.

Durch die Integration von QDs in einem YBS kann sowohl ein Quantenpunkt-Flash-Speicher mit Schwellspannungshysteresen von bis zu 6 V als auch ein Coulomb-Gleichrichter hergestellt werden. Als Basis für den Coulomb-Gleichrichter dient eine asymmetrisch an einen Kanal gekoppelte Elektroneninsel, wodurch die Inversionssymmetrie des Bauelements aufgehoben wird. Über die Polarität der angelegten Vorwärtsspannung wird der Ladezustand der Elektroneninsel kontrolliert und ein, im Gegensatz zu herkömmlichen Coulomb-Gleichrichtern, mehrfaches Laden ermöglicht. Hierdurch erhöht sich die Coulomb-Wechselwirkung zwischen Kanal und Elektroneninsel, wodurch höhere Nutzströme erlaubt sind und der Gleichrichter auch im Bereich großer Vorwärtsspannungen stabil betrieben werden kann. Im Betrieb als Quantenpunkt-Flash-Speicher können gezielt über die angelegte Gatespannung die Gate-Effektivität des YBS und damit der Ladezustand der QDs kontrolliert werden. Es wird sowohl experimentell als auch theoretisch gezeigt, dass die lokale Verarmung des 2DEG durch geladene QDs zur Perkulationsleitung im Stammbereich des YBS und damit zu einer Erhöhung der Gate-Effektivität führt. Diese Abhängigkeit des Kontrollmechanismus vom Ladezustand der QDs ist die Ursache



von metastabilen Oszillationen der Schwellspannung und erlaubt die Realisierung von Schwellspannungshysteresen größer 6 V. Des Weiteren erlaubt diese verstärkte Floating-Gate-Wirkung der QDs, dass der YBS als Speicherzelle bei Raumtemperatur genutzt werden kann.

## **Gleichrichter und Feldeffekt-Transistoren auf Basis von GaAs/-AlGaAs Heterostrukturen**

Dieses Kapitel beginnt mit der Untersuchung von planaren, selbstschaltenden Bauelementen (SSDs) bei Raumtemperatur. Ein solches SSD besteht aus einem Transportkanal, dessen Drainkontakt mit einem, in der gleichen Ebene liegenden, Gate verbunden ist. Diese einseitige Ankopplung des Gates führt zu einer gebrochenen Inversionssymmetrie, wodurch sich eine Gleichrichtung im Strom des Bauteils ergibt. Anhand der Strom-Spannung-Kennlinie wird die Gate-Effektivität der planaren Gates zu 0.5 bestimmt, was einem Subthreshold Swing von 120 mV/dec bei einem Feldeffekt-Transistor (FET) entspricht. Durch die Herstellung von mehreren, parallel verlaufenden Transportkanälen wird die Eingangsimpedanz des Bauelements verringert, wodurch für 200 nm breite Kanäle Leitfähigkeiten von mehreren  $\mu\text{S}$  erreicht werden.

Auf Basis dieser Ergebnisse wurden QWTs, deren Gate sowohl von Drain als auch Source elektrisch isoliert sind, hergestellt. Im Gegensatz zu einem konventionellen FET wird hier die Isolation zwischen Gate und Kanal durch Ätzgräben erzeugt, wobei die Ätzgräben sowohl die Form des QW als auch den Abstand zwischen Gate und Kanal bestimmen. Die so monolithisch hergestellten QWTs zeigen klare Kennlinienfelder eines FET und können als Spannungsverstärker eingesetzt werden. Durch die große Quantenkapazität des QW im Vergleich zur Gatekapazität liegt die Gate-Effektivität des QWT im Bereich von 10 %. Dies führt zu einer Erhöhung des Subthreshold Swings um den Faktor 10 bezogen auf das ideale thermische Limit.

Um eine Erhöhung der Gate-Effektivität trotz kleiner Bauelementdimensionen zu erreichen, wird ein Feldeffekt-Transistor mit dynamischer Gatekapazität entwickelt. Als Basis hierfür dient ein TTJ, der aus drei Elektronenreservoirs, die über eine T-förmige Verengung miteinander verbunden sind, besteht. Die Transistoreigenschaft des TTJ ist eine Folge der lateralen Einschnürung im Gateast, wodurch sich eine Potentialbarriere zwischen Kanal und Gate ausbildet und der Kanal über den Feldeffekt kontrolliert wird. Durch die laterale Einschnürung des Gateasts wird sowohl die Höhe der Potentialbarriere kontrolliert als auch die Elektronenkonzentration im Kanal gesteuert. Über ein analytisches Modell kann der Zusammenhang zwischen Potentialbarriere und Gatebreite beschrieben sowie die Kontrolle der Schwellspannung über die laterale Einschnürung erklärt werden. Durch ein geeignetes Design des Gateasts bildet sich in diesem ein QD aus, der zu Oszillationen der Schwellspannung führt. Ursache hierfür ist ein Laden und Entladen des QD, wodurch eine dynamische Vergrößerung der Gatekapazität auftritt. Durch diese Dynamik im Gate erhöht sich die Schwellspannung in Abhängigkeit der Gatespannung und die Gate-Effektivität vergrößert sich. Folglich sinkt der Subthreshold Swing des Bauelements unterhalb des thermischen Limits  $\phi_t \ln 10$ , mit der Temperaturspannung  $\phi_t$ , und ein neuer, effektiver Schaltmechanismus für Feldeffekt-Transistoren wird demonstriert.

Das effizient Schaltverhalten des Bauelements ermöglicht damit Spannungsverstärkung selbst für Vorwärtsspannungen kleiner als 100 mV. Des Weiteren wird gezeigt, dass über das gezielte Design von Kanal- und Gatebreite, Transistorparameter wie der maximale Drainstrom, die Transconductance oder die Schwellspannung kontrolliert werden. Diese Kontrolle erlaubt die Realisierung eines monolithisch integrierten logischen NOR-Gatters, das in Anlehnung an eine typische FET Schaltung aus drei TTJs aufgebaut ist. Die Untersuchung dieses NOR-Gatters liefert eine differentielle Spannungsverstärkung größer als  $-4.3$ . Somit ist eine Kaskadierung mehrerer, integrierter NOR-Gatter prinzipiell möglich.

# Abstract

In this thesis, electron transport in nano-structured, semiconductor devices is investigated with focus on transistor characteristics and memory effects. The investigated devices are based on a modulation-doped GaAs/AlGaAs heterostructure and are structured by electron-beam lithography and wet-chemical etching. Close to the heterointerface, a two-dimensional electron gas (2DEG) is formed and serves as conducting layer for the electron transport. Different devices with lateral dimensions of a few 10 nm are fabricated and are characterized in the linear and nonlinear transport regime at low temperatures, i.e.  $T = 4.2$  K, as well as at room temperature.

The first chapter is dedicated to the experimental results on the design and characterization of memory devices with a floating gate. The devices are based on a modulation-doped heterostructure with a layer of self-assembled quantum dots (QDs) in close vicinity to the conducting layer. The distance between QDs and 2DEG is less than the screening length and, therefore, the QDs serve as floating gate on the 2DEG. Hence, information can be stored electrically. For the memory devices, quantum-wire transistors (QWTs) and electron Y-branch switches (YBSs) are used and characterized, with respect to the floating gate function of the QDs, at low temperatures and up to room temperature.

In the second chapter of this thesis, a novel transistor design based on the field effect is presented. For this purpose, the 2DEG is situated between 33 and 80 nm below the surface of the heterostructure. The conducting parts of the devices are insulated from each other by etched insulation trenches. Due to the monolithic design of the three-terminal junctions (TTJs) with a shallow 2DEG, an integrated logic gate is realized. By analyzing the switching properties of the TTJs in detail, subthreshold swings below the thermal limit and high frequency functionality are demonstrated.

## **Modulation-doped GaAs/AlGaAs heterostructures with embedded quantum dots operated as memory devices**

In this chapter of the thesis, memory devices based on QWTs and YBSs are demonstrated. For the floating gate function, the QDs are situated in close vicinity to the conducting layer, i.e. the 2DEG, and deplete the 2DEG due to the Coulomb interaction. Therefore, the charge state of the QDs is used to store information electrically. The QDs are charged and discharged by electron tunnelling between the 2DEG and the QDs and the tunnelling process is controlled by

the in-plane gates.

Based on the design of a QWT, a quantum-dot-flas memory is realized. By measurements in the linear transport regime, Coulomb-blockade oscillations are observed due to coupled electron islands in the transport channel. The electron islands are formed due to the Coulomb interaction of the charges in the QDs and the electrons in the 2DEG. By analyzing the Coulomb diamonds, charging energies exceeding 10 meV and lateral dimensions in the range of several 10 nm are determined for the coupled electron islands. Based on the capacitive coupling between QDs, quantum wire (QW) and gates, the floating- ate function of the QDs is modelled. It is shown that even a single electron can shift the threshold voltage of up to 100 mV and threshold hystereses exceeding 2 V occur due to charging the QDs. By applying a bias voltage, the charging mechanism of the QDs is controlled and a charging of the QDs can even be inhibited. This allows to realize a voltage-activated logic NOR-gate memory. The reason for this voltage controlled charging mechanism is a voltage-induced decrease of the gate efficiency in the QW which is attributed to a shifting of the conduction band maximum of the QW toward source. Furthermore, it was possible to demonstrate room temperature operation of a single QD layer by optimizing the position of the QDs in the layer sequence of the heterostructure.

A YBS can serve as both quantum-dot-flas memory with threshold hysteresis larger than 6 V and Coulomb rectifie . The Coulomb rectifie is realized by coupling a single electron island asymmetrically to a transport channel. Therefore, the inversion symmetry of the device is broken and the device operates as ratchet. Due to the direction of the current fl w, the charge state of the electron island is controlled and, in contrast to common Coulomb rectifier which work in the quadruple point, the electron island can be charged with multiple electrons. This multiple charging leads to an enhanced Coulomb repulsion on the transport channel and, hence, the rectifie presented here provides high currents and large stability even in the high bias regime. For the memory operation of the YBS, both the gate efficiency of the YBS and the charge state of the QDs are controlled by the applied gate voltage. Experimental as well as theoretical finding show that, even for charged QDs, percolation paths exist in the stem region of the YBS. This leads in turn to an increase of the gate efficiency. The voltage control of the gate efficiency results in metastable threshold oscillations and allows to observe threshold hysteresis in the order of 6 V. Moreover, this improved floating- ate function allows to operate a YBS as memory device at room temperature.

## **Rectifier and field-effect transistors based on modulation-doped GaAs/AlGaAs heterostructures**

At the beginning of this chapter, the field effect in in-plane gated nanostructures is investigated and self-switching devices (SSDs) are fabricated. In such an SSD, an integrated gate is formed close to the transport channel and is connected directly to the drain contact. Therefore, the inversion symmetry of the device is broken and current rectification is observed for room temperature. In this nano-patterned rectifie , the efficiency of the in-plane gate is determined to a

value of 0.5, which corresponds to a subthreshold swing of 120 mV/dec in common field-effect transistors (FETs). By processing multiple channels in parallel, the impedance of the SSD is reduced and high conductivity up to several  $\mu\text{S}$  is reached for a 200 nm wide channel.

Based on these findings QWTs are realized by insulating the in-plane gate from both drain and source. In contrast to common FETs, the insulation between channel and gate is based on etched insulation trenches, which define the distance between gate and channel as well as the shape of the QW. This technique leads to monolithically fabricated QWTs that provide clear transistor characteristics and can be operated as voltage amplifier. Due to the large quantum capacitance compared to the gate capacitance, the gate efficiency of the QWT is limited to about 10%. Therefore, the subthreshold swing of the QWT is factor 10 larger than the thermal limit predicted for FETs.

To overcome the reduced gate efficiency for small device dimensions, FETs with a dynamic gate capacitance are designed. These FETs are based on TTJs, which consist of three electron reservoirs coupled to each other by a T-shaped junction. The transistor-like behaviour is related to the field effect. Due to the lateral confinement in the gate branch, a potential barrier between the channel and the gate is formed and serves as insulation layer. Within the frame of a model based on the quantum confinement the height of the potential barrier is determined for different widths of the gate branch and the decrease of the threshold voltage with increasing gate width is explained. For a certain device geometry, threshold oscillations are observed due to the formation of a QD in the gate branch. The QD is situated between the gate reservoir and the channel and, by charging the QD dynamically, the gate capacitance is increased dynamically. This dynamic increase of the gate capacitance leads to a gate-voltage-dependent shift of the threshold voltage and to an enhancement of the gate efficiency. Therefore, subthreshold swings below the thermal limit of  $\phi_t \ln 10$ , with the thermal voltage  $\phi_t$ , are observed and a novel efficient switching mode is demonstrated for FETs. This efficient switching behaviour allows voltage amplification even for bias voltages smaller than 100 mV. In addition, by engineering the device geometry, i.e. the width of channel and gate, the transistor parameters, e.g. maximum drain current, transconductance and threshold voltage, can be controlled. Furthermore, three TTJs are monolithically integrated on one chip and, based on a typical FET architecture in which one TTJ serves as load transistor, a logic NOR-gate is realized. The NOR-gate provides differential voltage gain up to  $-4.3$  and, thus, it is emphasized that cascading multiple, nano-structured NOR-gates is possible for applications.



# Kapitel 1

## Einleitung

Die Grundlage für die heute genutzten, integrierten Schaltungen wurde bereits in den 30er Jahren des letzten Jahrhunderts von J. E. Lilienfeld gelegt. In seinen Patenten sind detailliert Aufbau und Funktionsweise eines Feldeffekt-Transistors dargelegt - eine Erfindung die mittlerweile als Standardbauelement der gesamten Halbleitertechnologie dient [1, 2, 3]. Da die hierfür notwendigen Materialien vor allem in Bezug auf die Reinheit der Halbleiterkomponenten noch nicht zur Verfügung standen, war aber eine Realisierung dieser Konzepte zu dieser Zeit nicht möglich. Der im Jahr 1948 von J. Bardeen, W. H. Brattain und W. B. Shockley entwickelte Bipolartransistor, der auf der vorausgegangenen Entdeckung des PN-Übergangs durch R. S. Ohl basiert, rückte somit in den Vordergrund [4, 5].

Nachdem der Bipolartransistor das elektronische Bauelement der Zukunft zu sein schien, wurden erst in den frühen 1960ern erneut Versuche unternommen, Lilienfelds Ansatz zu verwirklichen. Hierzu überarbeiteten M. M. Atalla und D. Kahng einige erfolglose Konzepte zur Realisierung von Lilienfelds Ideen und ermöglichten mit ihrer Arbeit den Aufbau des ersten Feldeffekt-Transistors. Als großer Vorteil der Feldeffekt-Transistoren gegenüber den Bipolartransistoren gilt das nahezu leistungslose Schalten, wodurch sich die Leistungsaufnahme reduziert und der Feldeffekt-Transistor zum vorherrschenden Bauelement bei integrierten Schaltungen wurde. Die zeitliche Entwicklung der Integrationsdichte der Bauelemente wurde 1965 von G. E. Moore empirisch beschrieben und eine Verdopplung der Packungsdichte alle 18 Monate vorhergesagt [6]; ein Gesetz, das sich bis heute bestätigt hat bzw. teilweise übertroffen wurde.

Für die Integration selbst gilt allerdings, dass im gleichen Maßstab wie sich die Bauteilfläche verkleinert auch sämtliche anderen geometrischen Parameter des Bauelements reduziert werden müssen, um die Funktionalität des Bauelements aufrecht zu erhalten. Im Falle eines Feldeffekt-Transistor bedeutet das, dass eine Verringerung der Kanalbreite und -länge um den Faktor 2 auch zwingend eine Halbierung der Dicke des Isolators zwischen Gate und Kanal erfordert. Dieser durch R. H. Dennard im Jahr 1974 begründete Zusammenhang zwischen Skalierung und Funktionalität gilt bis heute und bringt speziell im Bereich sehr hoher Integrationsdichten Probleme mit sich [7]. Mit steigender Integrationsdichte verringern sich mehr und mehr die Abmessungen der Transistoren, wobei sich insbesondere die Dicke des Isolators zwi-

schen Gate und Kanal als kritisch erweist. Grund hierfür ist, dass bei sehr kleinen, heute aber üblichen Isolatorstärken, die in der Größenordnung von wenigen Nanometern liegen, Schwankungen auf atomarer Skala zu starken Änderungen in den Schalteigenschaften führen und damit eine kontrollierte Skalierung erschwert wird. Um dieses Problem zu umgehen, werden verstärkt Isolatormaterialien mit einer hohen spezifischen Dielektrizitätszahl untersucht, da dadurch bei gleichbleibender Isolatorstärke der Feldeffekt verstärkt und das Denard'sche Skalierungsgesetz teilweise außer Kraft gesetzt werden kann [8].

Neben den erhöhten Anforderungen an die verwendeten Materialien, um die skalierungsbedingten, strukturellen Veränderungen mit steigender Integrationsdichte zu vermeiden, zeigt sich in modernen Systemen, dass vielmehr die Integration vieler verschiedenartiger Systemkomponenten in den Vordergrund rückt [9]. Dies sorgt dafür, dass vermehrt gängige Konzepte abgeändert bzw. verworfen werden müssen. So hat sich in den vergangenen Jahren das Prozessorkonzept hin zu vielen, parallel arbeitenden Prozessoren geändert, um die entstandene Verlustwärme-Problematik in den Griff zu bekommen [10]. Andere Ansätze sind die Erforschung komplett neuer Strukturen wie beispielsweise gekoppelte Quantenpunkte, die als Basiseinheiten für die zukünftige Signalverarbeitung dienen könnten [11, 12].

Vor diesem Hintergrund beschäftigt sich die vorliegende Arbeit mit der Entwicklung und Charakterisierung neuartiger Bauelemente für nanoelektronische Anwendungen. Die Zielsetzung bestand hierbei Transistoren und Speicherelemente auf der Basis des Feldeffekts zu realisieren, wobei deren Aufbau einfach gehalten wurde, um eine monolithische Integration mehrerer Bauelemente zu ermöglichen. Im Einzelnen unterteilt sich die Arbeit in folgende Punkte:

In Kapitel 2 werden die theoretischen Grundlagen vorgestellt, die für die Interpretation und das Verständnis der experimentellen Ergebnisse notwendig sind. Hierbei werden zunächst die Grundgleichungen und Kenngrößen von Feldeffekt-Transistoren vorgestellt und der Einfluss von Kleindimensionseffekten auf deren Schaltverhalten betont. Diese stetige Verringerung der Bauelementabmessungen führt hin zu niederdimensionalen Elektronensystemen, wobei deren Unterschiede anschließend erläutert werden und im Speziellen auf den Quantenpunkt eingegangen wird. Für die Quantenpunkte werden sowohl Methoden dargelegt, um den Ladungsträgertransport durch diese zu beschreiben, als auch die Voraussetzungen für eine Kontrolle des Ladezustands erläutert, mit deren Hilfe Quantenpunkte als Floating-Gate auf niederdimensionale Transportkanäle wirken können. Abschließend wird das Konzept des Y-Schalters vorgestellt und das Self-Gating erläutert.

In Kapitel 3 werden Speicherelemente mit integrierten Quantenpunkten betrachtet, wobei als Basis für die Speicherelemente sowohl die bekannten Quantendraht-Transistoren als auch Y-Schalter dienen. Anhand des Elektronentransports im linearen Transportregime wird für die Quantendraht-Transistoren der Einfluss der Quantenpunkte auf den Kanal näher untersucht und ein analytisches Modell zur Beschreibung des Speicherzustands vorgestellt. Über eine Variation der Betriebsspannung wird ein spannungsaktiviertes Speicherelement realisiert, das sowohl als NOR-Gatter als auch als logisches Speicherelement fungieren kann. Eine Optimierung des zu Grunde liegenden Schichtaufbaus ermöglicht den Raumtemperaturbetrieb von Quantendraht-Transistoren als Speicherzellen. Durch eine Analyse der Haltezeiten können hier-



bei Rückschlüsse auf die genaue Anzahl der Quantenpunkte gezogen und Einzel-Elektronen-Entladungen beobachtet werden. Mit Hilfe des Y-Schalters wird ein einfacher, auf der Coulomb-Wechselwirkung beruhender, Quantenpunkt-Gleichrichter mit gebrochener Inversionssymmetrie vorgestellt. Des Weiteren wird die Abhängigkeit der Speichereigenschaften der Quantenpunkte von unterschiedlichen Beschaltungen der Sidegates untersucht, wobei speziell der Ladestand der Quantenpunkte im Stammbereich des Y-Schalters das Schalt- und Speicherverhalten des Y-Schalters dominiert. Die Quantenpunkte können sowohl durch das Self-Gating als auch über die Sidegates kontrolliert werden, wodurch auch ein Speicherbetrieb bei Raumtemperatur ermöglicht wird.

Kapitel 4 beschäftigt sich mit der Realisierung und Charakterisierung von Gleichrichtern und Transistoren auf Basis des Feldeffekts. Zu Beginn wird eine einfache Anwendung des Feldeffekts zur Gleichrichtung demonstriert. Die sich so ergebenden, selbstschaltenden Bauelemente dienen bei Raumtemperatur als Gleichrichter und werden hinsichtlich ihrer ausgeprägten Asymmetrie und Schalteffektivität betrachtet. Danach wird das Konzept des planar-kontrollierten Quantendraht-Transistors vorgestellt und dessen Schalteigenschaften untersucht, um Vergleichswerte für die nachfolgenden Three-Terminal Junctions zu erhalten. Eine Three-Terminal Junction kann sowohl als ballistischer Gleichrichter als auch als Feldeffekt-Transistor genutzt werden, wobei für die Transistorfunktionalität keine isolierende Schicht zwischen Gate und Kanal benötigt wird. Die Analyse der sich ergebenden Transistorkennlinien zeigt, dass die fehlende Isolation zu einer Verbesserung der Transistoreigenschaften führen und das Schaltverhalten im Unterschwellspannungsregime unterhalb des thermischen Limits liegen kann. Ferner wird mit Hilfe einer Größenanalyse ein Zusammenhang zwischen Designgrößen wie Gate- und Kanalbreite und charakteristischen Kenngrößen wie der Schwellspannung und der Transconductance herausgearbeitet. Das Kapitel schließt mit der Realisierung eines monolithisch integrierten NOR-Gatters auf der Basis von drei Three-Terminal Junctions ab.



# Kapitel 2

## Theoretische Grundlagen

### 2.1 Aufbau und Funktionsweise des Feldeffekt-Transistors

Der Feldeffekt-Transistor (**field-effect transistor**: FET) stellt eines der am häufigsten verwendeten Bauelemente in elektronischen Schaltungen dar. Ungeachtet der vielen verschiedenen Ausführungen, ist die grundsätzliche Funktionsweise - der Feldeffekt - bei allen Strukturen identisch [13]. Hier wird daher exemplarisch nur ein Typ, der Metall-Oxid-Halbleiter Feldeffekt-Transistor (**metal-oxide-semiconductor field-effect transistor**: MOSFET), skizziert und im Speziellen auf Effekte der extremen Miniaturisierung am Beispiel des n-Kanal MOSFET eingegangen. An diesem Bauelement wird der prinzipielle Aufbau und die damit verknüpfte Funktionsweise erläutert. Eine Auswahl der mit zunehmender Bauelementminiaturisierung auftretenden Kurzkanaleffekte wird ebenso betrachtet wie das allgemeine Schaltverhalten im Unterschwellspannungsregime.

#### 2.1.1 Kennlinienfelder eines Feldeffekt-Transistors

Eine genaue Beschreibung des FET findet über dessen Kennlinienfelder statt. In diesen wird der funktionelle Zusammenhang zwischen den am Bauelement angelegten Spannungen und den sich daraus ergebenden Strömen wiedergegeben. Um die hierfür notwendigen, analytischen Gleichungen zu ermitteln, ist eine Betrachtung des MOS-Übergangs und der sich daraus ergebenden Flachband- und Schwellspannung, wie in vielen Fachbüchern diskutiert [14, 15, 16, 17], notwendig. Der hier vorausgesetzte Aufbau eines n-Kanal MOSFET sowie die vorgestellten Betriebsgleichungen orientieren sich an der einschlägigen Fachliteratur. Eine umfassende Betrachtung wird u.a. in [18, 19] dargelegt.

In diesem Abschnitt werden daher nur die Ergebnisse vorgestellt und die analytische Beschreibung der Kennlinien eines MOSFET präsentiert. Ein MOSFET besitzt im Allgemeinen drei Anschlüsse - Drain, Source und Gate - wobei sich der stromführende Kanal zwischen Drain und Source befindet. Die Leitfähigkeit dieses Kanals wird über eine an das Gate angelegte Spannung gesteuert. Durch die Coulomb-Wechselwirkung zwischen den Ladungsträgern im Kanal

und der über die Gatespannung auf das Gate aufgebracht Ladung, wird eine Potentialbarriere im Kanal erzeugt bzw. moduliert. Der Transistor kann somit über eine Änderung der Gatespannung vom leitenden in den sperrenden Zustand und umgekehrt übergeführt werden. Eine kritische Größe für die Betrachtung des MOSFET ist die Schwellspannung  $V_t$ , ab der sich eine Inversionsschicht, d.h. eine leitfähige Schicht im Kanal des Transistors, ausbildet. Unter Annahme einer homogenen Ladungsverteilung im Halbleiter und einer konstanten Beweglichkeit  $\mu$  der Ladungsträger in der Inversionsschicht, ergibt sich das Ausgangskennlinienfeld eines MOSFET zu [18, 17]:

$$I_d = \mu\epsilon_0\epsilon \frac{w}{d_{Ox}L} \left[ -\frac{1}{2}V_d^2 + (V_g - V_t)V_d \right]. \quad (2.1)$$

Hierbei sind  $I_d$  der Drainstrom,  $V_d$  die Drainspannung,  $V_g$  die Gatespannung,  $w$  und  $L$  die Weite bzw. Länge des Kanals,  $d_{Ox}$  die Dicke der Oxidschicht,  $\epsilon_0$  die absolute und  $\epsilon$  die relative Dielektrizitätskonstante der Oxidschicht. Diese Gleichung beschreibt den Strom des MOSFET bis zur Abschnürspannung  $V_{d,sat} = V_g - V_t$ . Drainspannungen größer als  $V_g - V_t$  würden, gemäß der analytischen Beschreibung, zu einem Einbruch im Strom führen, was physikalisch nicht möglich ist. In realen Bauelementen bleibt für  $V_d > V_{d,sat}$  der Strom nahezu konstant und der Kanal sättigt. Für diesen Sättigungsbereich kann der Drainstrom alternativ über die Transferkennlinie beschrieben werden:

$$I_d = \mu\epsilon_0\epsilon \frac{w}{2d_{Ox}L} (V_g - V_t)^2. \quad (2.2)$$

Anhand der Transferkennlinie lässt sich die Eignung des MOSFET als Verstärker ermitteln. Kriterium hierbei ist die maximale Transconductance  $\partial I_d / \partial V_g$  (maximale Steilheit) der Transferkennlinie, da diese die maximal erreichbare Spannungsverstärkung wiedergibt.

Mit Hilfe des Ausgangs- und Transferkennlinienfelds kann der Einfluss der Drain- als auch der Gatespannung auf die Leitfähigkeit des MOSFET beschrieben werden. Im dritten Kennlinienfeld des MOSFET - das Eingangskennlinienfeld - wird der Zusammenhang zwischen Gatestrom und Gatespannung dargestellt. Da für einen idealen MOSFET kein Gatestrom auftritt - die Oxidschicht zwischen Gate und Kanal wirkt vollständig elektrisch isolierend - und im realen MOSFET das Auftreten von Gateströmen mit dessen thermischer Zerstörung einhergeht [15], wird auf eine Diskussion dieses Kennlinienfelds verzichtet.

### 2.1.2 Ladungsträgerbeweglichkeit im Feldeffekt-Transistor und Beweglichkeitsreduktion für kleine Bauteildimensionen

Bei der Bestimmung der Ausgangs- und Transferkennlinie wurde neben der homogenen Ladungsverteilung im Halbleiter auch eine konstante bzw. von den Betriebsparametern unabhängige Beweglichkeit  $\mu$  der Ladungsträger angenommen. Aus realen Systemen ist allerdings bekannt, dass bei Ladungsträgern, die sich durch einen Kristall bewegen, Stöße an den Gitteratomen, den Strukturgrenzen und untereinander [16] auftreten - sofern kein ballistischer Transport

vorliegt. Im MOSFET beeinflussen neben den Herstellungsparametern selbst, die Drain- und die Gatespannung die Stoßwahrscheinlichkeit maßgeblich.

Durch das Anlegen einer Gatespannung wird im MOSFET die Inversionsschicht gebildet und bei einer gleichzeitig wirkenden Drainspannung fließt ein Strom durch diese. Die Elektronen, die sich bei positivem  $V_d$  von Source nach Drain bewegen, erfahren durch die Gatespannung, die ein vertikal wirkendes elektrisches Feld erzeugt, eine Beschleunigung in Richtung der Oberfläche des Halbleiters und werden an dieser gestreut. Folglich sinkt die Geschwindigkeit und damit auch die Beweglichkeit der Elektronen, da  $\mu \propto t_{relax}/m$  mit der Relaxationszeit  $t_{relax}$  zwischen zwei Stößen und der effektiven Elektronenmasse  $m$  [16]. In realen Bauelementen kann auf Grund dieses Zusammenhangs die Beweglichkeit der Ladungsträger stark beeinflusst und somit eine Abnahme des Drainstroms um bis zu 30 % beobachtet werden [19].

Neben dem vertikalen elektrischen Feld durch die Gatespannung bildet sich durch die Drainspannung ein horizontales, d.h. entlang der Inversionsschicht wirkendes, elektrisches Feld aus. Durch dieses horizontale elektrische Feld werden die Elektronen bei ihrer Bewegung durch den Kanal zusätzlich beschleunigt, wobei sich ab einer kritischen Feldstärke  $E_{crit}$  eine Sättigungsgeschwindigkeit und somit eine maximale Beweglichkeit einstellt. Ab  $E_{crit}$  erfahren die Elektronen eine kontinuierliche Beweglichkeitsreduktion entlang der Inversionsschicht [20]. Für sehr kleine Kanallängen und dementsprechend hohe elektrische Feldstärken kann der Einfluss der Beweglichkeitsreduktion für den Drainstrom ermittelt werden. Durch Rechnung ergibt sich

$$I_d \approx \mu_0 \varepsilon_0 \varepsilon \frac{w}{d_{Ox}} (V_g - V_t) E_{crit} \quad (2.3)$$

mit der mittleren Beweglichkeit  $\mu_0$  [18]. Wie man leicht erkennt, ist der Verlauf von  $I_d$  nicht mehr quadratisch sondern linear in  $V_g$ . Somit kann durch ein horizontales elektrisches Feld nicht nur der maximale Strom durch einen MOSFET auf Grund der Beweglichkeitsreduktion begrenzt werden. Vielmehr verändert sich die Abhängigkeit des Sättigungsstroms von der Gatespannung und damit sowohl die Transferkennlinie als auch der Abstand zwischen den einzelnen Ausgangskennlinien.

### 2.1.3 Kanallängenmodulation und Punchthrough

Bei der analytischen Beschreibung eines MOSFET wird davon ausgegangen, dass der Drainstrom im Abschnürbereich konstant bleibt und folglich keine Änderung mit steigendem  $V_d$  eintritt. Dies ist bei realen Bauelementen nicht der Fall, da hier eine Zunahme von  $I_d$  bei höheren Drainspannungen beobachtet wird und diese besonders ausgeprägt mit kürzer werdendem Kanal ist. Um diesen Effekt zu verstehen, ist es notwendig die Bedingung für den Abschnürpunkt zu erläutern. Grundsätzlich gilt, dass mit steigendem  $V_d$  die flächenbezogene Ladungsdichte  $\sigma_{Inv}$  des Kanals eine ortsabhängige Komponente, d.h. von  $x$ , erhält. Während bei Source die Anzahl der Elektronen im Kanal annähernd gleich bleibt, reduziert sich diese bei Drain durch die angelegte Drainspannung. Je höher  $V_d$  wird, desto mehr Elektronen werden aus der Inversionsschicht abgesaugt. Bildlich gesehen verengt sich der Kanal in  $y$ -Richtung und bei  $V_{d,sat}$  ist

die elektrische Dicke des Kanals bei Drain minimal. Wird  $V_d$  weiter erhöht, verringert sich die Anzahl der Elektronen drainseitig weiter und der Abschnürpunkt verschiebt sich vom Drainkontakt in Richtung Source. Die effektive Länge des Kanals reduziert sich von der geometrischen Länge  $L$  auf die elektrisch aktive Länge  $L^*$ , d.h. die Länge des Kanals wird durch die Drainspannung moduliert. Nach kurzer Rechnung kann gezeigt werden, dass

$$L^* = L - \sqrt{\left(\frac{E_P \varepsilon_0 \varepsilon}{e N_A}\right)^2 + \frac{2K \varepsilon_0 \varepsilon}{e N_A} (V_d - V_{d,sat})} - \frac{E_P \varepsilon_0 \varepsilon}{e N_A} \quad (2.4)$$

gilt, wobei  $E_P$  eine Näherung für die elektrische Feldstärke am Abschnürpunkt,  $N_A$  die Dotierkonzentration und  $K$  ein Korrekturfaktor, bedingt durch die vorgenommenen Näherungen gemäß dem eindimensionalen Ansatz, ist [19]. Als praktikabler hat sich die phänomenologische Beschreibung der Kanallängenmodulation durch den Faktor  $(1 - \lambda V_d)$  mit der Early-Spannung  $1/\lambda$  erwiesen, womit sich für den Drainstrom im Sättigungsbereich

$$I_d = \mu \varepsilon_0 \varepsilon \frac{w}{2d_{Ox} L} (V_g - V_t)^2 (1 - \lambda V_d) \quad (2.5)$$

ergibt [21]. Wie leicht zu erkennen ist, steigt der Drainstrom mit wachsendem  $V_d$  linear im Abschnürbereich an. Mit wachsender Gatespannung nimmt die Steigung von  $I_d$  für  $V_d > V_{d,sat}$  zu, was in der Ausgangskennlinie gut zu erkennen ist.

Ein weiterer Effekt, der zu einer spannungsabhängigen Erhöhung des Drainstroms führt, ist der Punchthrough. Hierbei wird mit zunehmender Drainspannung der elektrisch aktive Weg zwischen Drain und Source soweit verringert, dass Elektronen direkt von Source nach Drain gelangen ohne einen aktiven Gatebereich passieren zu müssen. Dadurch fließt deutlich mehr Strom, der aber nahezu unabhängig von der angelegten Gatespannung ist. Im Gegensatz zur Kanallängenmodulation führt der Punchthrough zu einer stark nichtlinearen Änderung im Drainstrom [18, 17].

#### 2.1.4 Roll Down und Drain-Induced-Barrier Lowering

Die Kanallänge  $L$  beeinflusst nicht nur den Drainstrom, sondern steuert auch die Schwellspannung. Bei kleinem  $L$  verringert sich die durch die Gatespannung kontrollierte Raumladungszone spürbar, da der Einfluss von Source und Drain nicht mehr vernachlässigt werden kann. Im Rahmen eines Trapezmodells, bei dem die Ladungsträger in der Inversionsschicht anteilig von Gate, Source und Drain kontrolliert werden, kann gezeigt werden, dass sich die Schwellspannung mit kleinen Kanallängen zu negativeren Werten verschiebt [18, 19]. Dieser Effekt wird als Roll Down bezeichnet und kann bei MOSFETs mit kleinen strukturellen Abmessungen zu starken Schwankungen in der Schwellspannung führen.

Zusätzlich zur statischen Änderung der Schwellspannung mit  $L$ , sorgt eine steigende Drainspannung im Trapezmodell für eine dynamische Verschiebung von  $V_t$ . Mit steigendem  $V_d$  verringert sich  $V_t$  während des Betriebs. Zusammenfassend lässt sich mit Hilfe der relativen Dielektrizitätskonstanten von Silizium  $\varepsilon_{Si}$ , d.h. des Substratmaterials, der Oberflächenspannung

$\phi_S$  und den empirisch zu bestimmenden Konstanten  $\beta_1$  und  $\beta_2$ , die Schwellspannungsänderung als

$$\Delta V_t = -2\beta_1 \frac{\varepsilon_{Si} d_{Ox}}{\varepsilon L} (\phi_S + \beta_2 V_d) \quad (2.6)$$

darstellen [18]. Grundsätzlich sorgen sowohl eine Verringerung der Kanallänge als auch positive Drainspannungen für eine Verschiebung der Schwellspannung zu negativeren Werten.

### 2.1.5 Schalten im Unterschwellspannungsregime

Ein wichtiges Beurteilungskriterium für die Schalteigenschaften eines MOSFET stellt das Verhalten im Unterschwellspannungsregime dar. Bei der Diskussion der Kennlinienfelder im Abschnitt 2.1.1 wurde davon ausgegangen, dass der Drainstrom  $I_d$  nur durch die Inversionsschicht fließen kann und diese genau dann gebildet wird wenn  $V_g \geq V_t$  gilt. Für  $V_g < V_t$  soll der Kanal geschlossen sein und, unabhängig von  $V_g$  und  $V_d$ , kein Strom fließen. Mit diesen Annahmen kann das Verhalten von realen Bauelementen nicht vollständig wiedergegeben werden, da auch für  $V_g < V_t$  ein Diffusionsstrom zwischen Source und Drain fließt. Von Interesse ist hierbei der Bereich der schwachen Inversion, da anhand der Transistorkennlinie in diesem Bereich eine Aussage über dessen Schalteigenschaften gemacht werden kann. Bei schwacher Inversion kann der Drainstrom mittels der Gleichung

$$I_d = \frac{1}{L} \mu C_g w (n - 1) \phi_t^2 \exp\left(\frac{V_g - V_t}{n\phi_t}\right) \left[1 - \exp\left(\frac{-V_d}{\phi_t}\right)\right] \quad (2.7)$$

beschrieben werden, wobei  $\phi_t$  die Temperaturspannung ist [18, 19].  $n$  ist definiert als  $n = 1 + C_j/C_g$  und gibt das Verhältnis von Sperrschichtkapazität  $C_j$  zu Gatekapazität  $C_g$  wieder. Typische Werte für  $n$  liegen im Bereich von 1.5 bis 2.5.

Mit Hilfe der Stromkennlinie bei schwacher Inversion kann nun das Schalten des Transistors im Unterschwellspannungsregime beurteilt werden. Hierzu wird Gleichung 2.7 logarithmiert und nach  $V_g$  differenziert, wobei der Term  $\exp(-V_d/\phi_t)$  für  $V_d \geq 100$  mV bei Raumtemperatur vernachlässigt werden kann [19]. Somit ergibt sich:

$$\frac{\partial \ln I_d}{\partial V_g} = \frac{1}{n\phi_t}. \quad (2.8)$$

Als gebräuchliches Maß für die Schalteigenschaften eines MOSFET wurde der Subthreshold Swing  $S$  definiert was der Variation der Gatespannung entspricht, die benötigt wird, um eine Änderung des Drainstroms von einer Dekade zu erzeugen. Per Definitio ist

$$S = \ln 10 \frac{\partial V_g}{\partial \ln I_d}, \quad (2.9)$$

wodurch sich mit Gleichung 2.8

$$S = n\phi_t \ln 10 \quad (2.10)$$

ergibt [22]. Damit hängt  $S$  direkt von der Temperaturspannung und von  $n$  ab. Da  $n$  ein Kapazitätsverhältnis widerspiegelt, kann für einen idealen MOSFET, bei dem die Gatekapazität sehr viel größer als die Sperrschichtkapazität ist, der Grenzwert zu  $n = 1$  bestimmt werden [19]. Ein idealer MOSFET besitzt daher bei Raumtemperatur einen Subthreshold Swing von 60 mV/dec. Über diese Kennzahl kann somit das Schaltverhalten eines MOSFET beurteilt werden, wobei für einen klassisch aufgebauten MOSFET Werte kleiner 60 mV/dec nicht realisiert werden können.

## 2.2 Niederdimensionale Elektronensysteme

In Volumenhalbleitern steht den Elektronen im Leitungsband ein kontinuierliches Energiespektrum in allen Raumrichtungen zur Verfügung. Eine notwendige Voraussetzung hierfür ist, dass keine Limitierung der räumlichen Ausdehnung auf der Größenordnung der *de Broglie*-Wellenlänge vorliegt. Die Zustandsdichte  $D_{3D}(E)$  kann für ein solches, dreidimensionales System als

$$D_{3D}(E) = \frac{(2m)^{3/2}}{2\pi^2\hbar^3} E^{1/2} \quad (2.11)$$

angegeben werden [14]. Hierbei ist  $E$  die Energie,  $m$  die effektive Elektronenmasse und  $h = 2\pi\hbar$  das Planck'sche Wirkungsquantum.

Mit der Verringerung der Strukturdimensionen treten quantenmechanische Effekte immer mehr in den Vordergrund und können die Transporteigenschaften maßgeblich beeinflussen. Ab einer räumlichen Einschränkung einer Dimension in der Größenordnung der *de Broglie*-Wellenlänge treten, auf Grund der Wellennatur der Elektronen, merklich Veränderungen in den elektrischen Eigenschaften des Bauelements auf [23, 24, 25, 26, 27, 28, 29]. Eine Beschreibung des Systems im Rahmen eines dreidimensionalen Modells ist damit nicht mehr zulässig. Ein solches System, bei dem eine Dimension auf die Größenordnung der *de Broglie*-Wellenlänge reduziert ist, ist das zweidimensionale Elektronengas (2DEG), das sich beispielsweise in der Inversionsschicht eines MOSFET oder in einer modulationsdotierten Heterostruktur ausbilden kann [30, 31, 32, 33, 34]. In diesem Fall lässt sich die Zustandsdichte  $D_{2D}(E)$  durch

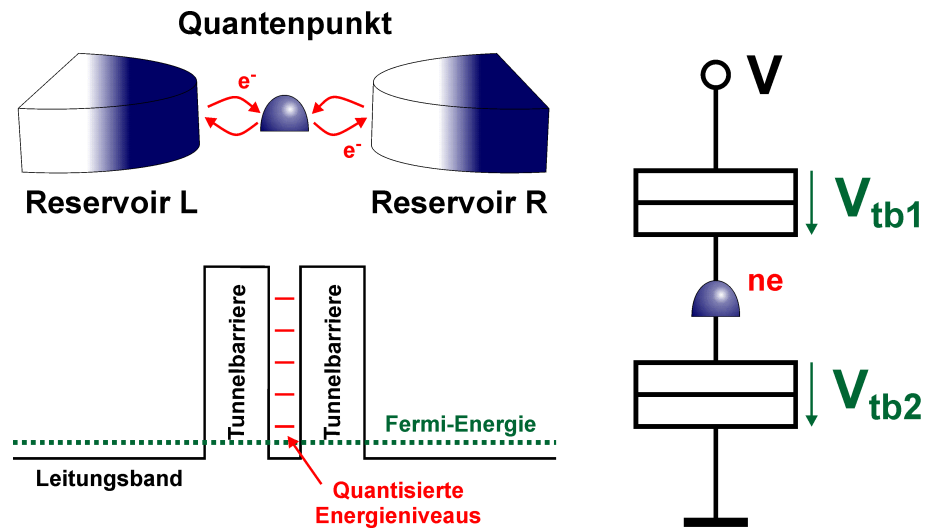
$$D_{2D}(E) = \frac{\eta_v m}{\pi\hbar^2} \sum_n \Theta(E - E_{s,n}) \quad (2.12)$$

mit der Subband-Energie  $E_s$ , der Valley-Entartung  $\eta_v$  und der Stufenfunktion  $\Theta$  beschreiben [35]. Ein Vergleich der Zustandsdichte des dreidimensionalen mit der des zweidimensionalen Systems zeigt, dass in Letzterem eine klare Quantisierung vorliegt, wodurch sich auch die Transporteigenschaften des Systems geändert haben [36].

Die Einschränkung einer weiteren Dimension in der Größenordnung der *de Broglie*-Wellenlänge führt zu einem eindimensionalen System, dessen Zustandsdichte  $D_{1D}(E)$  durch

$$D_{1D}(E) = \sqrt{\frac{m}{2}} \frac{\eta_v}{\pi\hbar} \sum_{m,n} (E - E_{s,m,n})^{-1/2} \Theta(E - E_{s,m,n}) \quad (2.13)$$





**Abb. 2.1:** Links oben: Schematische Darstellung eines QD, der an zwei Ladungsträgerreservoirs angeschlossen ist. Links unten: Schematische Darstellung des Leitungsbandverlaufs für einen QD. Rechts: Elektrisches Ersatzschaltbild eines, über Tunnelbarrieren an zwei Ladungsträgerreservoirs angeschlossenen, QD.

gegeben ist [37]. Auch hier ist eine klare Quantisierung der Zustandsdichte erkennbar, wodurch sich auch die Transporteigenschaften eines eindimensionalen Bauelements von denen des Volumenhalbleiters stark unterscheiden [38, 39, 40, 41].

Der Unterschied zwischen den Transporteigenschaften von zwei- bzw. eindimensionalen Systemen und Volumenhalbleitern wird im Rahmen des ballistischen Ladungsträgertransports offensichtlich. Grundlegendes Kriterium hierfür ist, dass die mittlere freie Weglänge der Ladungsträger sehr viel größer als die Bauteilabmessungen ist und somit der Ladungsträgertransport unabhängig von Streueignissen, z.B. mit Phononen oder Störstellen, abläuft. Mit Hilfe eines adiabatischen Transportmodells kann der Leitwert  $G$  eines eindimensionalen Systems zu

$$G = \frac{2e^2}{h} \sum_i \frac{1}{1 + \exp\left(-\frac{E_F - E_i}{k_B T}\right)} \quad (2.14)$$

bestimmt werden [37]. Hierbei sind  $k_B T$  die thermische Energie,  $e$  die Elementarladung,  $E_F$  die Fermi-Energie und  $E_i$  die Energie der  $i$ -ten Mode. Der Leitwert des Systems ist quantisiert und ein Vielfaches des Leitwertquants  $2e^2/h$  [42].

Werden in einem System die Ausdehnungen in alle Raumrichtungen auf Skala der *de Broglie*-Wellenlänge oder kleiner gehalten, ergibt sich ein nulldimensionales System. Ein derartiges System wird häufig als Quantenpunkt (**quantum dot**: QD) oder auch als künstliches Atom bezeichnet, da, ähnlich einem realen Atom, die Zustandsdichte in den drei Raumrichtungen quantisiert ist [43, 44]. Eine Möglichkeit zur Realisierung eines derartigen Systems ist schematisch im linken, unteren Teilbild von Abb. 2.1 dargestellt. Hierbei werden beispielsweise über

ein externes elektrisches Feld zwei Potentialbarrieren im Leitungsband eines eindimensionalen Systems erzeugt. Diese Barrieren unterbinden den Ladungsträgertransport entlang des Leitungsbands und ein isoliertes System zwischen den Tunnelbarrieren entsteht. In Abhängigkeit vom Abstand der Tunnelbarrieren und somit der räumlichen Einschränkung des Potentialtopfs bilden sich quantisierte Energieniveaus aus [37, 45]. In den folgenden Abschnitten wird verstärkt auf Ladungsträgertransport in und durch QD-Strukturen und deren Wechselwirkung mit anderen, niederdimensionalen Systemen eingegangen.

## 2.3 Einzel-Elektronen-Transistor

In diesem Abschnitt werden die grundlegenden Eigenschaften von QDs diskutiert und mögliche Wechselwirkungen zwischen QDs und einem Transportkanal erläutert. Zu Beginn wird der sequentielle Ladungsträgertransport durch einen, an zwei Reservoirs gekoppelten, QD vorgestellt und mit dessen Hilfe der Einfluss der Coulomb-Blockade auf den Stromfluss verdeutlicht. Der energetische Abstand der Energieniveaus im QD wird anschließend im Zusammenhang mit einer analytischen Modellierung eines einfachen QD-Systems vorgestellt. Anhand der so erhaltenen Ergebnisse kann der Ladungsträgertransport im linearen Transportregime durch einen QD qualitativ beschrieben werden.

### 2.3.1 Tunnelbarrieren und Kapazitäten von Quantenpunkten

Zunächst wird der Ladungsträgertransport durch einen QD betrachtet, der, wie im linken unteren Teilbild von Abb. 2.1 dargestellt, durch zwei Tunnelbarrieren begrenzt ist. Der QD bildet einen Potentialtopf, der zwischen zwei Ladungsträgerreservoirs liegt und einen direkten Stromfluss zwischen den Reservoirs unterbindet bzw. diesen kontrolliert. Um ein Elektron vom linken Reservoir in das rechte Reservoir zu verschieben, muss das Elektron zuerst auf den QD tunneln, um danach mittels eines weiteren Tunnelprozesses den QD wieder zu verlassen. Dieser Zusammenhang ist im linken, oberen Teilbild von Abb. 2.1 skizziert. Für Elektronentransport vom rechten in das linke Reservoir gilt die gleiche Überlegung. Das elektrische Ersatzschaltbild im rechten Teil von Abb. 2.1 gibt die Abhängigkeiten zwischen einer angelegten Vorwärtsspannung  $V$ , der Ladung  $ne$  auf dem QD und den Spannungsabfällen  $V_{tb1}$  und  $V_{tb2}$  an den Tunnelbarrieren wieder. Im Rahmen dieser exemplarischen Berechnung wird sowohl der QD als auch die Reservoirs als metallisch angenommen, d.h. die mögliche Quantisierung von Energieniveaus im Leitungsband wird vernachlässigt. Eine genauere Betrachtung der energetischen Zusammenhänge in QDs auf Halbleiterbasis wird im folgenden Abschnitt 2.3.2 durchgeführt. Der Tunnelprozess wird als sequentieller Prozess eingestuft, wodurch immer nur ein Elektron auf den QD tunneln kann und im QD relaxiert. Eine weitere Vereinfachung stellt die Annahme dar, dass die Tunnelbarrieren durch eine Parallelschaltung von Tunnelwiderstand und Kapazität modelliert werden können. Der Tunnelwiderstand ist hierbei unabhängig von dem, an der Tunnelbarriere auftretenden, Spannungsabfall. Ladungen, die an der Tunnelbarriere akku-

muliert werden, bleiben dort auf unbestimmte Zeit gespeichert, d.h. die Tunnelbarriere wird als idealer Kondensator betrachtet. Wie leicht zu erkennen ist, lässt sich der gesamte Spannungsabfall über

$$V = V_{tb1} + V_{tb2} \quad (2.15)$$

beschreiben. Die Ladungsbilanz des Systems ist durch die notwendige Neutralitätsbedingung zu

$$ne = Q_{tb1} - Q_{tb2} = C_{tb1}V_{tb1} - C_{tb2}V_{tb2} \quad (2.16)$$

gegeben, wobei  $Q_{tb1}$  und  $Q_{tb2}$  die Ladungen an und  $C_{tb1}$  und  $C_{tb2}$  die Kapazitäten der jeweiligen Potentialbarriere sind.  $ne$  ist die Ladung, die sich auf dem QD befindet und ein ganzzahliges Vielfaches der Elementarladung  $e$ . Mit Hilfe von Gleichung 2.15 und 2.16 lässt sich nun der Spannungsabfall  $V_{tb2}$  zu

$$V_{tb2} = \frac{1}{C_{tb1} + C_{tb2}}(C_{tb1}V - ne) \quad (2.17)$$

und die elektrostatische Energie  $E_s$  des QD als

$$E_s = \frac{1}{2} \frac{1}{C_{tb1} + C_{tb2}} (C_{tb1}C_{tb2}V^2 + n^2e^2) \quad (2.18)$$

bestimmen. Die Gesamtenergie des Systems besteht allerdings nicht nur aus der elektrostatischen Energie aller Energiespeicher, d.h. aller Kapazitäten zu denen auch der QD an sich zählt. Ferner muss auch noch die, dem System durch die Spannungsquelle, zugeführte Energie in Betracht gezogen werden. Mit dieser zusätzlichen Randbedingung lässt sich somit eine Bedingung für einen Tunnelprozess durch die Tunnelbarriere 2 ermitteln [37]:

$$-\frac{e^2}{2(C_{tb1} + C_{tb2})} \mp \frac{eVC_{tb1}}{C_{tb1} + C_{tb2}} > 0. \quad (2.19)$$

Die Vorzeichen des zweiten Terms beziehen sich auf die Richtung des Tunnelprozesses, wobei (+) für Elektronen gilt, die durch die Tunnelbarriere auf den QD tunneln und (−) für Elektronen, die den QD über die Tunnelbarriere verlassen. Der erste Term der Bedingung spiegelt die Energie wider, die benötigt wird, um ein einzelnes Elektron auf dem QD zu speichern und stellt somit eine Einsatzbedingung dar. Folglich sind Tunnelprozesse für  $|V| < e/2C_{tb1}$  nicht erlaubt. Diese Einsatzbedingung wird im Allgemeinen als Coulomb-Blockade bezeichnet und stellt eine, auch in makroskopischen Systemen wirksame, klassische Einschränkung für Ladeprozesse bei Kapazitäten dar. Die Ladungsträger, die sich auf dem System befinden blockieren auf Grund der elektrostatischen Wechselwirkung zwischen Ladungsträgern das Aufbringen von weiteren Ladungsträgern. Der erste Term von Gleichung 2.19 stellt somit eine Energie dar, die sowohl für auf den QD tunnelnde als auch für den QD verlassende Elektronen aufgebracht werden muss. Daher ist die tatsächliche Energiedifferenz zwischen zwei Tunnelprozessen  $E_c = e^2/C$ , die sogenannte Coulomb-Ladeenergie, wobei  $C$  die Kapazität des QD ist [46].

### 2.3.2 Ladungsträgertransport durch Quantenpunkt-Systeme

Um das Phänomen der Coulomb-Blockade genauer zu beschreiben und damit dessen Einfluss auf den Ladungsträgertransport abzuschätzen zu können, wird zunächst von einem makroskopischen Kondensator ausgegangen. Die auf den Elektroden des Kondensators gespeicherte Ladung  $Q$  ist direkt proportional zu der an ihm anliegenden Spannung. Die elektrische Kapazität ist die hierbei zugeordnete Proportionalitätskonstante und die auf dem Kondensator gespeicherte Energie ist

$$E = \frac{1}{2} \frac{Q^2}{C}. \quad (2.20)$$

Berechnet man nun die Energieänderung, die sich durch ein einzelnes Elektron ergibt mit  $Q = e$ , so erhält man direkt die halbe Coulomb-Ladeenergie  $E_c$ . Hieraus wird klar ersichtlich, dass bei jedem Lade- und auch Entladevorgang die Coulomb-Ladeenergie eine wichtige Rolle spielt. Die eigentliche Frage ist nun, welche Bedingungen erfüllt sein müssen, damit Einzel-Elektronen-Effekte, die durch  $E_c$  bestimmt werden, experimentell erfasst werden können.

Eine Bedingung hierfür ist, dass jeweils nur ein einziges Elektron über die geeignete Energie verfügt, um die Coulomb-Ladeenergie aufzubringen. Daher betrachten wir für ein einzelnes Elektron dessen thermische Energie  $k_B T$  und vergleichen diese mit der Coulomb-Ladeenergie eines konventionellen Kondensators mit einer Kapazität  $C = 1$  pF bei Raumtemperatur. Eine kurze Berechnung ergibt:

$$k_B T \approx 4.14 \times 10^{-21} \text{ J} \gg \frac{e^2}{C} \approx 25.7 \times 10^{-27} \text{ J} \quad (2.21)$$

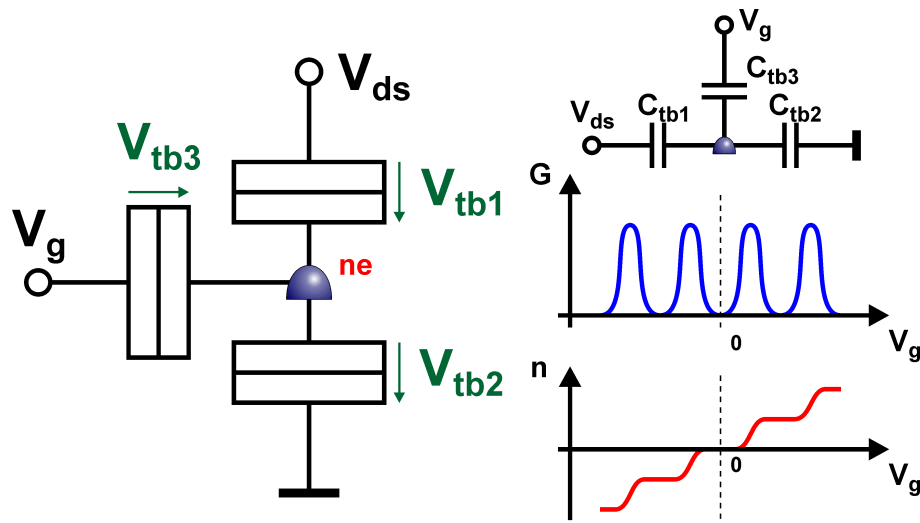
Anhand dieser kurzen, exemplarischen Berechnung ist erkennbar, dass bei Verwendung von makroskopischen Bauelementen die Coulomb-Ladeenergie vernachlässigt werden kann. Somit können Einzel-Elektronen-Effekte nur dann beobachtet werden, wenn die thermische Energie der Elektronen verringert wird oder sich die Kapazität der zu untersuchenden Struktur auf der Skala weniger aF befindet. Strukturen mit Systemabmessungen in der Größenordnung von einigen 10 nm können durch nanotechnologische Methoden hergestellt werden. Für Raumtemperatur ergibt sich somit eine Kapazität von etwa 6 aF ab der  $k_B T \leq E_c$  gilt.

Für die Beobachtung von Einzel-Elektronen-Effekten stellt eine geeignete Ankopplung des Systems an die elektrischen Zuleitungen bzw. Elektronenreservoirs eine weitere Bedingung dar. Auf Grund der Heisenberg'schen Unschärferelation gilt

$$\tau > \frac{h}{\Delta E}, \quad (2.22)$$

wobei  $\tau$  die Lebensdauer eines Zustands und  $\Delta E$  die Energieunschärfe sind. Bei Einzel-Elektronen-Effekten ist die Energieunschärfe, d.h. der Unterschied zwischen zwei Zuständen, durch die Coulomb-Ladeenergie gegeben und es ergibt sich:

$$\tau > \frac{hC}{e^2}. \quad (2.23)$$



**Abb. 2.2:** Links: Elektrisches Ersatzschaltbild eines, über zwei Tunnelbarrieren an zwei Ladungsträgerreservoiren angekoppelten, QD. Der QD wird elektrostatisch, über eine weitere Tunnelbarriere, durch ein Gate kontrolliert. Rechts oben: Vereinfachtes, elektrisches Ersatzschaltbild der kapazitiven Kopplungen zwischen einem QD, den Reservoiren und dem Gate. Rechts mittig: Elektrischer Leitwert in Abhängigkeit der angelegten Gatespannung. Rechts unten: Anzahl der Elektronen auf dem QD in Abhängigkeit der Gatespannung.

Die Lebensdauer eines Zustands wird maßgeblich durch die Kapazität des QD und dessen Anbindung an die Elektronenreservoiren bestimmt. Mit  $\tau = RC$  ergibt sich für den Widerstand:

$$R > \frac{h}{e^2}. \quad (2.24)$$

Somit können Lade- und Entladevorgänge mit einzelnen Elektronen nur dann experimentell bestimmt werden, wenn das System über Tunnelkontakte an die Elektronenreservoiren angebunden ist. Diese grundlegende Bedingung wurde bereits in Abb. 2.1 und in Abb. 2.3 durch die räumliche Einschränkung des QD mittels Tunnelbarrieren berücksichtigt.

Wird ein QD zusätzlich zu den beiden Ladungsträgerreservoiren noch an ein drittes Reservoir kapazitiv gekoppelt, kann er als Einzel-Elektron-Transistor betrieben werden [47, 48, 49, 50, 51]. Hierbei wird ein Reservoir als Gate genutzt und über die angelegte Gatespannung  $V_g$  der Ladungsträgertransport durch den QD kontrolliert. Die beiden anderen Reservoiren dienen, ähnlich dem in Abschnitt 2.3.1 beschriebenen Modell, als Drain bzw. Source, wobei an Drain die Vorwärtsspannung  $V_{ds}$  angelegt wird und Source als Bezugspunkt geerdet ist [47, 52, 53]. Die Grundlagen für die nun folgende Berechnung wurden bereits für den Ladungsträgertransport ohne Gate diskutiert und können hier gleichermaßen vorausgesetzt werden. Damit lässt

sich dieses System mittels drei Grundgleichungen

$$V_{ds} = V_{tb1} + V_{tb2} \quad (2.25)$$

$$V_g = V_{tb3} + V_{tb2} \quad (2.26)$$

$$ne = Q_{tb1} - Q_{tb2} + Q_{tb3} = C_{tb1}V_{tb1} - C_{tb2}V_{tb2} + C_{tb3}V_{tb3} \quad (2.27)$$

beschreiben. Unter Einbeziehung der durch die Spannungsquellen zugeführten Energie kann die Gesamtenergie  $E_{tot}$  des Systems zu

$$E_{tot} = -\frac{C_{tb1}C_{tb3}(V_{ds} - V_g)^2 + C_{tb2}(C_{tb1}V_{ds}^2 + C_{tb3}V_g^2) + ne[2(C_{tb1}V_{ds} + C_{tb3}V_g) - ne]}{2(C_{tb1} + C_{tb2} + C_{tb3})} \quad (2.28)$$

bestimmt werden. Die Gesamtenergie des Systems steigt mit  $n$  an und verringert sich mit den angelegten Spannungen  $V_{ds}$  und  $V_g$  [53]. Daraus kann nun eine Bedingung für die Änderung des Ladezustands des QD abgeleitet werden. Betrachtet man das System für  $V_{ds} = 0$ , vereinfacht sich Gleichung 2.28 zu

$$E_{tot} = -\frac{C_{tb3}V_g^2(C_{tb1} + C_{tb2}) + 2neC_{tb3}V_g - (ne)^2}{2(C_{tb1} + C_{tb2} + C_{tb3})}. \quad (2.29)$$

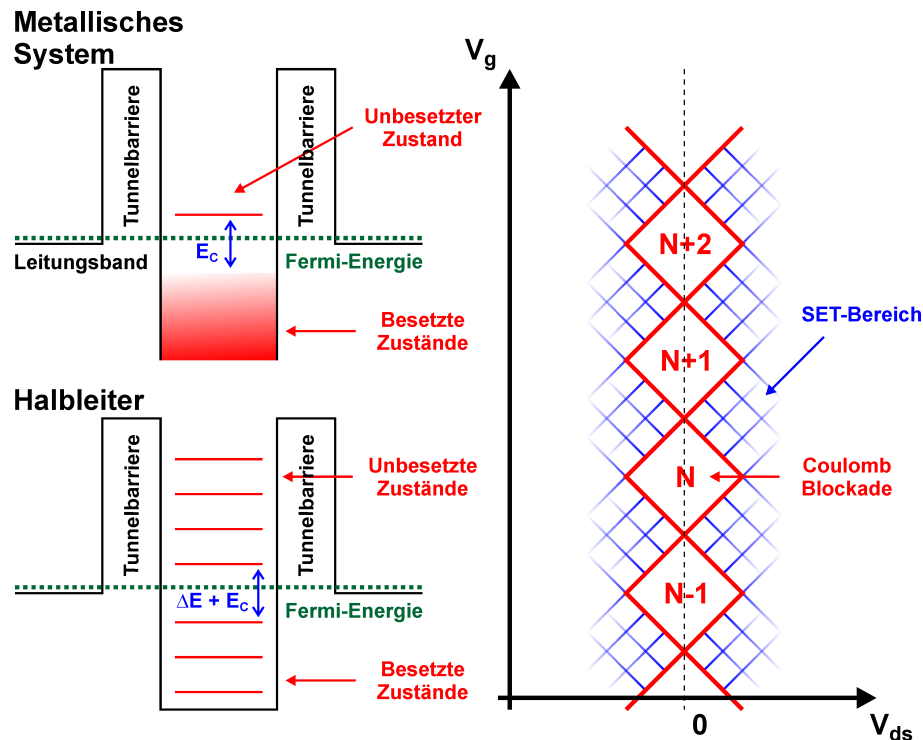
Für eine kleine Anzahl von Ladungsträgern auf dem QD kann der linear von  $V_g$  abhängige Term vernachlässigt werden. Bei einem ungeladenen QD ( $n = 0$ ) sinkt somit  $E_{tot}$  mit steigender Gatespannung quadratisch ab. Ab einer kritischen Gatespannung  $V_{g,crit}$  gilt

$$E_{tot}(n = 0) = E_{tot}(n = 1), \quad (2.30)$$

wobei diese Bedingung auch leicht auf die Ladezustände  $n$  und  $n + 1$  verallgemeinert werden kann (es kann gezeigt werden, dass  $V_{g,crit} \propto (2n + 1)$  gilt). Für ein weiteres Steigen der Gatespannung wird  $E_{tot}(n) < E_{tot}(n + 1)$  und die Gesamtenergie des Systems reduziert sich durch ein Elektron, das auf den QD tunnelt und dort gespeichert wird. Die Leitfähigkeit  $G$  des Systems nimmt an dieser kritischen Gatespannung einen endlichen Wert an und, wie im rechten, mittleren Teilbild von Abb. 2.2 dargestellt, zeigt sich eine periodische Abhängigkeit der Leitfähigkeit von  $V_g$ . Unter Berücksichtigung der Fermi-Verteilung verbreitern sich die Spitzen in der Leitfähigkeit. Das rechte untere Teilbild von Abb. 2.2 zeigt zur Verdeutlichung den zugehörigen Ladezustand  $n$  in Abhängigkeit der Gatespannung. Die Gatespannung kontrolliert sowohl den Ladezustand des QD als auch den Ladungsträgertransport im Einzel-Elektron-Transistor. Durch die Vorwärtsspannung ist es möglich, die Breite des Transportfensters zu bestimmen und dadurch Elektronentransport auf mehreren Energieniveaus zu ermöglichen.

Werden nun erneut Tunnelprozesse durch die Tunnelbarriere 2 betrachtet, so kann analog zu Gleichung 2.19 folgende Bedingung herausgearbeitet werden [37]:

$$-\frac{e^2}{2(C_{tb1} + C_{tb2} + C_{tb3})} \pm \frac{e^2n - eQ_p - eC_{tb1}V_{ds} - eC_{tb3}V_g}{C_{tb1} + C_{tb2} + C_{tb3}} > 0. \quad (2.31)$$



**Abb. 2.3:** Links oben: Schematische Darstellung eines metallischen QD, der an zwei Ladungsträgerreservoirs angekoppelt ist. Links unten: Schematische Darstellung eines QD auf Halbleiterbasis, der an zwei Ladungsträgerreservoirs angekoppelt ist. In beiden Teilbildern bildet die Coulomb-Ladeenergie  $E_c$  eine Energielücke zwischen den besetzten und unbesetzten Zuständen aus. Rechts: Skizze der typischen Coulomb-Diamanten im linearen Transport-Regime für einen einzelnen QD.

Hierbei berücksichtigt die zusätzliche Ladung  $Q_p$  eine, in den meisten realen Systemen vorhandene, ungewollte Hintergrund-Polarisierung und das Auftreten von gefangenen Ladungsträgern nahe der Tunnelbarriere. (–) kennzeichnet Elektronen, die durch die Tunnelbarriere auf den QD tunneln und (+) folglich Elektronen, die den QD über die Tunnelbarriere verlassen. Auch hier ist der erste Term die halbe Coulomb-Ladeenergie des Systems und öffnet eine Energielücke zwischen den besetzten und unbesetzten Zuständen. Im linken oberen Teilbild von Abb. 2.3 ist dies schematisch dargestellt [54]. Als Basis dient, wie in Abschnitt 2.3.1 vorausgesetzt, ein metallisches System. Somit bilden die besetzten Zustände einen quasi-kontinuierlichen Bereich im QD [37] und die unbesetzten Zustände werden durch die Coulomb-Ladeenergie  $E_c$  von diesen getrennt. Für den Ladungsträgertransport durch ein metallisches System muss somit die Coulomb-Ladeenergie zwischen besetzten und unbesetzten Zuständen überbrückt werden. Dies geschieht, wie exemplarisch durch die Berechnung der Modelle aus Abb. 2.1 und 2.2 gezeigt, mittels Anlegen einer geeigneten Vorwärts- und Gatespannung.

Wird nun statt eines metallischen Systems ein System betrachtet, in dem der QD aus einem Halbleiter besteht, so ändern sich die energetischen Zusammenhänge im QD drastisch.

Im Gegensatz zu metallischen Systemen, bei denen die Energielücke  $\Delta E$  zwischen den einzelnen besetzten Zuständen sehr viel kleiner ist als  $E_c$ , wodurch auch die Beschreibung als quasi-kontinuierlich möglich wurde, ist die Quantisierung der Zustände in Halbleitersystemen weitaus stärker ausgeprägt. In diesen Systemen ist es möglich, dass  $\Delta E$  in der Größenordnung von  $E_c$  liegt oder diesen Wert sogar noch übertrifft.  $\Delta E$  darf somit bei der Modellierung nicht mehr vernachlässigt werden, was, bedingt durch die im Allgemeinen energetisch nicht äquidistant angeordneten Energieniveaus im QD [37, 45], zu unterschiedlichen Bedingungen für das Auftreten von Tunnelprozessen führt. Ausschlaggebend hierfür ist der Energieabstand zwischen benachbarten Energieniveaus, der selbst wieder eine Funktion des Ladezustands ist [37, 55, 56]. Durch geeignete Wahl der Systemparameter ist es möglich, QDs zu realisieren, deren Energieabstand als äquidistant angenommen werden kann [57], wobei ein derartiges System im Rahmen der experimentellen Betrachtung diskutiert wird. Zur Verdeutlichung des Unterschieds zwischen metallischen Systemen und halbleiterbasierten QDs zeigt das untere linke Teilbild von Abb. 2.3 schematisch den Zusammenhang zwischen der Coulomb-Ladeenergie und der Energielücke für ein System gemäß [57].

### 2.3.3 Coulomb-Blockade in Quantenpunkt-Systemen

Wird nun ein einfaches QD-System bestehend aus einem QD, der an zwei Ladungsträgerreservoirs gekoppelt ist, betrachtet, so zeigen sich für  $V_{ds} = 0$  die bereits diskutierten Spitzen im Leitwert. Der Abstand dieser Spitzen  $\Delta V_g$  entspricht dem energetischen Abstand zweier Zustände im QD und, im Falle eines metallischen Systems, der Coulomb-Ladeenergie. Daher kann für die Coulomb-Ladeenergie gefolgert werden, dass

$$E_c = e\alpha\Delta V_g = e\frac{C_{tb3}}{C}\Delta V_g \quad (2.32)$$

gilt, mit dem Proportionalitätsfaktor  $\alpha$  [53, 58, 59].  $\alpha$  kennzeichnet den kapazitiven Einfluss der Gatespannung auf den QD und wird als das Verhältnis der Gate-QD-Kapazität  $C_{tb3}$  zur QD-Kapazität  $C$  angegeben. Somit wird klar, dass bei kleinen Werten von  $C_{tb3}$  der Abstand der Leitwertmaxima ansteigt und dementsprechend höhere Gatespannungen angelegt werden müssen, um den Ladezustand des QD zu ändern. Je größer  $C$  wird, desto enger rücken die Leitwertmaxima zusammen. Dies ist allerdings kein Effekt, der direkt mit der kapazitiven Ankopplung zwischen Gate und QD korreliert ist, sondern folgt aus der Bedingung für die Coulomb-Ladeenergie  $E_c \propto 1/C$ . Für eine metallische, kreisförmige Scheibe mit dem Radius  $r$  kann deren Kapazität als  $C = 8\epsilon\epsilon_0 r$  genähert werden [37]. Daraus ergibt sich für die Coulomb-Ladeenergie ein direkter Zusammenhang zwischen der räumlichen Ausdehnung eines QD und dessen Kapazität.

Für die Berechnung der Größe eines QD und dessen Coulomb-Ladeenergie genügt die Bestimmung von  $\Delta V_g$  bei  $V_{ds} = 0$  nicht. Vielmehr ist es notwendig  $\alpha$  und  $C_{tb3}$  zu extrahieren, um daraus  $E_c$  und  $C$  zu ermitteln. Hierfür wird das System bei Vorwärtsspannungen  $V_{ds} \neq 0$  betrieben und die Änderung der Leitwertmaxima in Abhängigkeit von  $V_g$  und  $V_{ds}$  betrachtet. Mit



dem Anlegen einer positiven Vorwärtsspannung reduziert sich das elektrochemische Potential  $\mu_d$  drainseitig. Somit wird ein Transportfenster zwischen Drain und Source geöffnet. Während bei Source das elektrochemische Potential  $\mu_s$  durch die Fermi-Energie bestimmt ist, reduziert sich  $\mu_d$  um den Wert  $eV_{ds}$ . In diesem schmalen, energetischen Bereich  $\mu_s - \mu_d$  ist ein Ladungsträgertransport durch den QD möglich, wodurch sich eine Verbreiterung der Leitwertmaxima mit zunehmender Vorwärtsspannung ergibt. Da sich das betrachtete System symmetrisch bezüglich Drain und Source verhalten soll, ergibt sich für negative Vorwärtsspannungen ein vergleichbarer Einfluss auf den Ladungsträgertransport.

Für die Coulomb-Blockade hat dies zur Folge, dass sich mit betragsmäßig gesteigener Vorwärtsspannung die Bereiche unterdrückten Ladungsträgertransports verkleinern. Ab einer kritischen Vorwärtsspannung  $V_{ds,crit}$  ist die Coulomb-Blockade vollständig unterdrückt und die Leitfähigkeit des Systems ist immer größer 0. Dies wird dann erreicht, wenn das durch  $V_{ds}$  geöffnete Transportfenster größer ist als der durch die Coulomb-Ladeenergie  $E_c$  oder  $\Delta E + E_c$  bei halbleiterbasierten Systemen erzeugte Abstand zwischen den Energieniveaus im QD. Ab dieser Vorwärtsspannung liegt immer mindestens ein Energieniveau im Transportfenster. Bei großen Vorwärtsspannungen, d.h. bei Werten in der Größenordnung von mehreren 10 mV, werden dementsprechend durch mehrere Energieniveaus Ladungsträger transportiert, wodurch die Leitfähigkeit des Systems weiter ansteigt. Obwohl eine Erhöhung der Vorwärtsspannung zu einer steigenden Anzahl von Energieniveaus im Transportfenster führt, kann auch ein Einbruch der Leitfähigkeit des Systems auftreten. Stehen mehrere Energieniveaus zur Verfügung kann es zu Konkurrenz zwischen diesen kommen. Hierbei blockiert ein Elektron im QD ein anderes Elektron und verhindert, dass dieses auf den QD tunnelt. Dadurch erhöht sich die Relaxationszeit des Elektrons im QD und zusätzliche Streueffekte können auftreten [37, 60].

Da die Verbreiterung des Transportfensters unabhängig vom Ladezustand des QD ist, kann der Einfluss auf die Leitfähigkeit des Systems für alle möglichen  $n$  beobachtet werden. Somit ergibt sich ein in  $n$  symmetrischer Verlauf des Leitwerts. Das rechte Teilbild von Abb. 2.3 zeigt schematisch den Leitwert in Abhängigkeit von  $V_g$  und  $V_{ds}$ . Für  $V_{ds} = 0$ , entlang der schwarzen, gestrichelten Linie, zeigen sich die erwarteten Leitwertmaxima. Zwischen zwei Leitwertmaxima kann der Ladezustand des QD, bedingt durch die Coulomb-Blockade, nicht geändert werden. Für Vorwärtsspannungen ungleich 0 zeigt sich eine Verbreiterung der Leitwertmaxima und die Grenzen der Coulomb-Blockade verschieben sich diagonal bis zu einem Schnittpunkt, an dem die Breite des Transportfensters gleich dem Abstand der Energieniveaus im QD ist. Somit wird die Coulomb-Blockade durch Bereiche maximaler Leitfähigkeit eingegrenzt, die ein periodisches, rautenförmiges Muster ergeben. Diese Strukturen werden häufig auch als Coulomb-Diamanten bezeichnet.

Anhand der Veränderung der Coulomb-Blockade in Abhängigkeit der Vorwärtsspannung können die kapazitiven Kopplungen zwischen dem QD und den Reservoirs bzw. dem Gate bestimmt werden. Hierfür wird die Steigung der Kanten eines Coulomb-Diamanten betrachtet. Ausgehend vom Schnittpunkt bei  $V_{ds,crit}$  kann mit Hilfe der abfallenden Kante das Verhältnis

von  $C_{tb1}$  und  $C_{tb3}$  zu

$$\frac{\partial V_{g,f}}{\partial V_{ds,f}} = -\frac{C_{tb1}}{C_{tb3}} \quad (2.33)$$

bestimmt werden. Für die ansteigende Kante ergibt sich äquivalent:

$$\frac{\partial V_{g,s}}{\partial V_{ds,s}} = \frac{C - C_{tb1}}{C_{tb3}}. \quad (2.34)$$

Somit kann der Proportionalitätsfaktor  $\alpha$ , der auch häufig als Konversionsfaktor bezeichnet wird, aus den Steigungen der Kanten als

$$\alpha = \frac{C_{tb3}}{C} = \left[ \frac{C - C_{tb1}}{C_{tb3}} - \left( -\frac{C_{tb1}}{C_{tb3}} \right) \right]^{-1} = \left( \frac{\partial V_{g,s}}{\partial V_{ds,s}} - \frac{\partial V_{g,f}}{\partial V_{ds,f}} \right)^{-1} \quad (2.35)$$

extrahiert werden. Für einen vollständig symmetrischen Coulomb-Diamanten - für die Steigungen gilt  $\partial V_{g,s}/\partial V_{ds,s} = -\partial V_{g,f}/\partial V_{ds,f} = 1/2$  - liegt der Konversionsfaktor bei 1. Somit ist die Kapazität  $C$  des QD gleich der Gate-QD-Kapazität  $C_{tb3}$  und doppelt so groß wie die Drain-QD-Kapazität  $C_{tb1}$ . Aus Symmetriegründen folgt somit, dass die Source-QD-Kapazität  $C_{tb2}$  gleich  $C_{tb1}$  sein muss. Bei einer Erhöhung der Steigungen der Kanten, z.B. mit  $\partial V_{g,s}/\partial V_{ds,s} = -\partial V_{g,f}/\partial V_{ds,f} = 1$ , reduziert sich  $\alpha$  auf  $1/2$ , wodurch sich  $C$  auf  $2C_{tb3}$  vergrößert und  $C_{tb1} = C_{tb2} = C_{tb3}$  ergibt. Ein Konversionsfaktor kleiner 1 steht für eine stärkere Kopplung des QD an die Ladungsträgerreservoirs und ein Anwachsen der Kapazität des QD im Vergleich zur Gate-QD-Kapazität.

Durch diese relativ einfache Vorgehensweise können der Konversionsfaktor und die Kapazitäten des Systems ermittelt werden. Mit Hilfe der Leitwertmaxima bei unterschiedlichen  $V_{ds}$  kann die Coulomb-Ladeenergie und die räumliche Ausdehnung des QD berechnet werden. Werden statt eines QD mehrere QDs in einem System gekoppelt, ergeben sich weitaus komplexer strukturierte Coulomb-Diamanten [61, 62, 63, 64, 65, 66, 67, 68].

Um dies zu verdeutlichen, dient ein Zwei-QDs-System. Im ersten Fall sind die QDs parallel geschaltet, d.h. beide QDs sind an die Ladungsträgerreservoirs und das Gate gekoppelt. Eine Interaktion und somit ein Ladungsaustausch zwischen den QDs ist verboten, genauso wie eine kapazitive Kopplung. Der Leitwert des Gesamtsystems wird sich damit als eine additive Überlagerung der beiden einzelnen Leitwerte der QDs ergeben, wodurch im Coulomb-Diamanten des einen QD das Transportfenster und die damit verbundenen Leitwertmaxima des anderen QD liegen können und umgekehrt. Unter der Voraussetzung, dass die systeminternen Zusammenhänge bekannt sind, kann der sich ergebende Verlauf der Leitfähigkeit adäquat interpretiert werden.

Im zweiten Fall sind die QDs in Reihe geschaltet, wodurch ein direkter Ladungsträgertransport Reservoir-QD-Reservoir unterbunden wird. Hier müssen Elektronen zuerst von Source auf den ersten QD und von diesem auf den zweiten QD tunneln, um nach Drain zu gelangen. Somit dominiert der QD mit der größeren Coulomb-Ladeenergie den Ladungsträgertransport des Gesamtsystems. Der Verlauf des Leitwerts wird dem eines einzelnen QD sehr ähneln, wobei,

in Abhängigkeit von der kapazitiven Kopplung der QDs untereinander, Doppel- und Dreifach-Maxima im Leitwert möglich sind und damit auch Coulomb-Diamanten unterschiedlicher Größe als Kettenstruktur auftreten können [61, 63].

In beiden Fällen wurde angenommen, dass kein Ladungsträgertransport parallel zu den QDs auftritt. Des Weiteren wurden speziell bei den parallel-gekoppelten QDs das Tunneln von Elektronen von einem QD auf den anderen QD ebenso ausgeschlossen wie eine kapazitive Kopplung zwischen den QDs. Durch Einbeziehung dieser Transportmöglichkeiten bzw. zusätzlichen Kopplung sind auch Mischformen der Parallel- und Reihenschaltung von QDs möglich, wodurch sich die Form der Coulomb-Diamanten ändert.

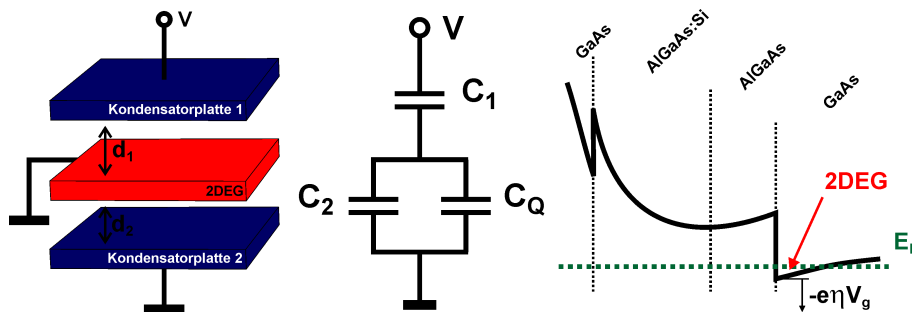
Bei einem einfachen QD-System sorgen Vorwärtsspannungen in der Größenordnung von  $V_{ds,crit}$ , bei geeigneter Konfiguration der Gatespannung dafür, dass dauerhaft ein Transportfenster geöffnet ist und Ladungsträgertransport durch den QD stattfinden kann. Man befindet sich nicht mehr in der Coulomb-Blockade sondern im Ein-Elektron-Tunnel-Regime (single-electron tunnelling: SET), das sich zwischen den Coulomb-Diamanten zweier aufeinander folgender Ladezustände  $n$  und  $n + 1$  ausbildet. Hier ist die Anzahl der Ladungsträger auf dem QD nicht konstant, sondern kann zwischen den Ladezuständen  $n$  und  $n + 1$  variieren, was durch Resonanzen zwischen den jeweiligen Energieniveaus bzw. deren angeregten Zuständen und der Fermi-Kante von dem drain- und sourceseitigem Ladungsträgerreservoir geschieht. Die sich somit ausbildenden Resonanzlinien sind auf der rechten Seite von Abb. 2.3 schematisch für einen einzelnen QD dargestellt. Anhand des Abstands zwischen den Resonanzen und deren Lage können sowohl die Abstände der angeregten Zustände ermittelt als auch die Kopplung zu den Ladungsträgerreservoirs näher bestimmt werden [58, 60].

## 2.4 Quantenpunkte in niederdimensionalen Transportsystemen

Nachdem im letzten Abschnitt grundlegende Transportmechanismen in QDs diskutiert wurden, beschäftigt sich dieses Kapitel mit der Coulomb-Wechselwirkung zwischen einem QD und einem nahen Transportkanal. Hierzu wird zunächst auf die Quantenkapazität und die damit verbundene Gate-Effektivität eingegangen, die speziell für niederdimensionale Systeme an Bedeutung zunehmen. Mit Hilfe der Gate-Effektivität können in den folgenden Abschnitten der Lade- und Entladezyklus eines QD beschrieben und die Coulomb-Wechselwirkung zwischen einem QD und den Transporteigenschaften eines Kanals vorgestellt werden. Abschließend werden einige Besonderheiten des Y-Schalters als Bauelement erörtert.

### 2.4.1 Quantenkapazität und Gate-Effektivität

In einem makroskopischen, metallischen System, dessen Abmessungen sehr viel größer als die *de Broglie*-Wellenlänge der Ladungsträger sind, werden elektrische Felder fast komplett an der Oberfläche abgeschirmt. Somit ist die Eindringtiefe des elektrischen Felds sehr viel kleiner als



**Abb. 2.4:** Links: Schematische Darstellung eines Plattenkondensators zwischen dessen Elektroden eine weitere, geerdete Elektrode eingebracht wurde. Mitte: Ersatzschaltbild für die links dargestellte Kondensatorstruktur. Rechts: Schematische Darstellung des Leitungsbands einer modulationsdotierten Heterostruktur.

die Dicke einer Kondensatorplatte und kann damit bei der Berechnung der Kapazität vernachlässigt werden. Für die Kapazität  $C_{makro}$  eines idealen Plattenkondensators gilt

$$C_{makro} = \epsilon_0 \epsilon \frac{A}{d} \quad (2.36)$$

mit der Elektrodenfläche  $A$  und dem Elektrodenabstand  $d$ . Voraussetzung für diese klassische Näherung ist allerdings, dass zum einen das Verhältnis  $A/d$  groß genug ist, um Randeffekte und somit Streufelder vernachlässigen zu können. Zum anderen wird angenommen, dass das elektrische Feld nicht in die Kondensatorplatten eindringt und vollständig auf der Oberfläche abgeschirmt wird.

Um die letzte Annahme zu verdeutlichen, wird der auf der linken Seite von Abb. 2.4 dargestellte Aufbau aus zwei Kondensatorplatten und einer Elektrode in der Mitte betrachtet. An die Kondensatorplatte 1 wird eine Spannung  $V$  angelegt und Kondensatorplatte 2 ist geerdet. Die Kapazität dieses Plattenkondensators lässt sich durch Gleichung 2.36 berechnen. Wird nun eine geerdete, metallische Elektrode zwischen die beiden Kondensatorplatten 1 und 2 eingebracht, wird das elektrische Feld durch die Erdung der Elektrode komplett abgeschirmt. Der Raum der Höhe  $d_2$  zwischen Elektrode und Kondensatorplatte 2 ist somit feldfrei und das elektrische Feld beschränkt sich auf das obere Kondensatorplatte-Elektroden-Paar mit dem Abstand  $d_1$ . Die Gesamtkapazität  $C_{ges}$  eines einfachen Kondensatorplatte-Elektrode-Kondensatorplatte-Systems kann einfach durch die Reihenschaltung zweier Kondensatoren berechnet werden und ergibt sich zu

$$C_{ges} = \frac{C_1 C_2}{C_1 + C_2} = \frac{\epsilon_0 \epsilon_1 \epsilon_2 A}{\epsilon_1 d_2 + \epsilon_2 d_1} \quad (2.37)$$

mit den relativen Dielektrizitätskonstanten  $\epsilon_1$  und  $\epsilon_2$  für die Räume zwischen den Kondensatorplatten und der Elektrode [69].

Handelt es sich bei der Elektrode jedoch nicht um eine den klassischen Forderungen genügende metallische Elektrode, so ist es möglich, dass das elektrische Feld nicht vollständig

abgeschirmt wird. Somit gilt der untere Kondensator nicht als feldfrei und die oben angegebene Beschreibung ist nicht gültig. Speziell in mesoskopischen Systemen, d.h. Systeme mit Abmessungen, die in der Größenordnung der *de Broglie*-Wellenlänge liegen aber noch keine atomare Dimensionen besitzen, können einzelne Komponenten so klein sein, dass die Eindringtiefe des elektrischen Feldes größer als deren Ausdehnung ist. Als Beispiel hierfür eignet sich ein 2DEG, das in einer Richtung auf wenige Nanometer begrenzt ist und bei dem die Abschirmlänge eines Elektrons, z.B. in GaAs, auf wenige 10 nm reduziert ist [35]. In diesem Fall spielt die Quantenkapazität  $C_Q$ , die sich als direkte Konsequenz gemäß dem *Pauli*-Prinzip ergibt, wonach Energie für die Population eines 2DEG mit Ladungsträgern aufgebracht werden muss, eine wichtige Rolle. Für ein solches System ergibt sich das in der Mitte von Abb. 2.4 gezeigte Ersatzschaltbild, wobei das Verhältnis der Ladungsdichten  $\sigma_1$  und  $\sigma_2$  der Kondensatorplatten über  $C_Q$  zu

$$-\frac{\sigma_2}{\sigma_1} = \frac{C_2}{C_2 + C_Q} \quad (2.38)$$

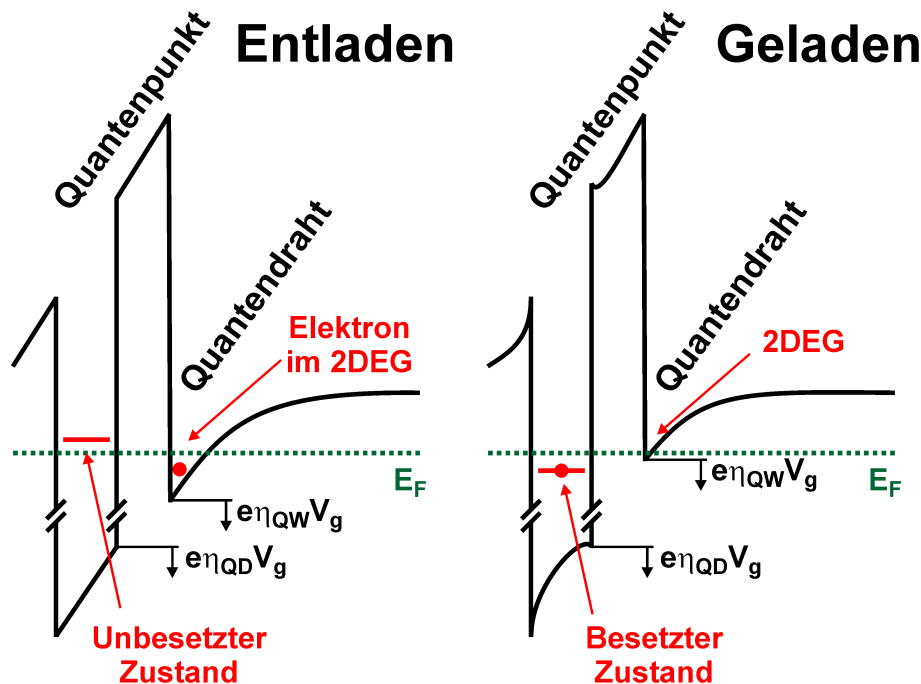
verknüpft ist [70]. Hier wird ersichtlich, dass für ein metallisches System, bei dem  $C_Q \rightarrow \infty$  gilt, keine Ladung auf Kondensatorplatte 2 induziert wird. Für ein System mit einer Quantenkapazität gleich 0, d.h. ohne Abschirmwirkung der zusätzlichen Elektrode, ist  $\sigma_1$  gleich  $-\sigma_2$ .

Zur Beurteilung des Einflusses der Quantenkapazität kann ein System, das nur aus Quantenkapazität und einer Kondensatorplatte besteht betrachtet werden. Hierbei wird nun der Zusammenhang zwischen einer Änderung des elektrostatischen Potentials  $\phi_Q$  der Elektrode und einer Variation der Spannung  $V$  untersucht. Die sich ergebende Kenngröße wird als Idealitätsfaktor  $n$  bzw. als Gate-Effektivität  $\eta$  bezeichnet und ist durch

$$\eta = \frac{1}{n} = \frac{\partial \phi_Q}{\partial V} = \frac{1}{1 + \frac{C_Q}{C_1}} \quad (2.39)$$

gegeben [70, 71]. Anhand dieser Gleichung wird deutlich, dass die relative Änderung  $\partial \phi_Q / \partial V$  maximal wird, wenn  $C_Q / C_1$  minimal wird. Somit können Systeme mit kleinem  $C_Q$  oder großem  $C_1$  Signale gut übertragen. Die gleichen kapazitiven Zusammenhänge ergeben sich für Quantendrähte oder Y-Schalter, bei denen der Ladungsträgertransport über seitlich angelegte Spannungen und somit elektrische Felder kontrolliert wird. Daher eignet sich  $\eta$ , um die Schalteigenschaften eines solchen Systems zu charakterisieren und mit anderen Systemen zu vergleichen.

Im Fall des MOSFET ist ein Vergleich zwischen verschiedenen Bauelementen ohne weiteres möglich, da - wie in Abschnitt 2.1.5 gezeigt wurde - eine untere Schwelle für das Schalten existiert. Somit kann ein MOSFET ausreichend genau über den Subthreshold Swing charakterisiert werden. Für mesoskopische Systeme kann zur Bestimmung von  $\eta$  als Referenz der ideale Subthreshold Swing eines MOSFET mit 60 mV/dec herangezogen werden. 60 mV/dec kennzeichnet ein ideales Schalten bei Raumtemperatur und die Gate-Effektivität eines Quantendrahts (**quantum wire**: QW) mit diesem Wert wird durch  $\eta = 1$  widergespiegelt [72]. Ein Subthreshold Swing größer als 60 mV/dec führt dementsprechend zu einem anteilig verringerten  $\eta$ .



**Abb. 2.5:** Schematische Darstellung eines, mittels einer Potentialbarriere isolierten, QD-2DEG-Systems im entladenen (links) und geladenen (rechts) Zustand.

Mit Hilfe von  $\eta$  ist eine Beschreibung des Leitungsbands einer modulationsdotierten Heterostruktur möglich. Das rechte Teilbild von Abb. 2.4 zeigt schematisch das Leitungsband einer solchen Struktur mit dem zugehörigen Dreieck-Potential und dem 2DEG an der AlGaAs-GaAs-Grenzschicht. Über die Gatespannung  $V_g$ , die mittels der Gates kapazitiv an das 2DEG koppelt und der Gate-Effektivität kann somit die Lage des Leitungsbands bestimmt werden. Hierbei ist die Energie des Leitungsbands  $E_L \propto -e\eta V_g$ . Die Schwellspannung ist mittels  $E_L = E_F = -e\eta V_t$  definiert

## 2.4.2 Laden und Entladen

Wird nun in einer modulationsdotierten Heterostruktur nahe der AlGaAs-GaAs-Grenzschicht eine dünne Schicht InAs bzw. InGaAs eingebracht, so können sich dort selbstorganisierte QDs ausbilden. Diese sind, in Abhängigkeit der Position der QD-Schicht, durch eine wenige Nanometer dicke AlGaAs-Schicht räumlich vom 2DEG getrennt. Energetisch gesehen bildet sich zwischen QD und 2DEG eine Potentialbarriere aus, die als Isolationsschicht wirkt.

Wie im vorangegangenen Abschnitt erläutert, kann das Leitungsband der modulationsdotierten Heterostruktur mittels einer Gatespannung verändert werden. Hier wird allerdings sowohl dem QD-Gate-System ( $\eta_{QD}$ ) als auch dem QW-Gate-System ( $\eta_{QW}$ ) eine Gate-Effektivität zugeordnet. Im Allgemeinen kann davon ausgegangen werden, dass bei planar-kontrollierten Quantendrähten die Gate-Effektivität des QW größer als die des QD ist. Der Grund hierfür ist

die stärkere kapazitive Kopplung des Gates an den QW, auf Grund der größeren Oberfläche der Struktur, im Vergleich zu einem einzelnen QD. Ferner liegt als Besonderheit bei planar-kontrollierten Quantendrähten das 2DEG im Gate in der gleichen Ebene wie das 2DEG im QW. Die QDs sind allerdings um die Dicke der isolierenden AlGaAs-Schicht aus dieser Ebene gerückt, was zu einer weiteren Verringerung der kapazitiven Kopplung führt.

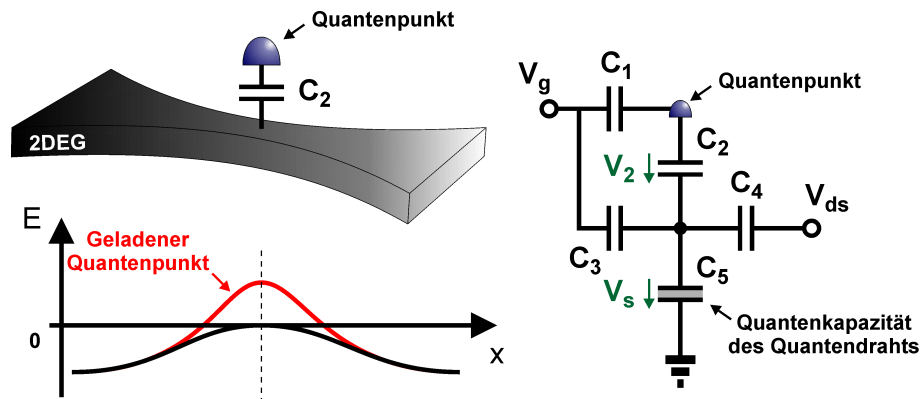
Betrachtet man zuerst den entladenen Zustand, so befinden sich Elektronen im 2DEG und der QD ist entladen. Die linke Seite von Abb. 2.5 stellt den zugehörigen Verlauf des Leitungsbandes schematisch dar. Um einen entladenen QD zu laden, wird über eine Gatespannung das elektrostatische Potential im QD und QW angehoben. Durch  $\eta_{QD} < \eta_{QW}$  ist die Verschiebung des Leitungsbandes für einen festen Wert von  $V_g$  im QW stärker als im QD und ein Laden des QD kann für negative Gatespannungen beobachtet werden. Beim Laden tunneln Elektronen vom 2DEG auf den QD und besetzen einen freien Zustand. Dieser Tunnelprozess wird durch die Besetzung des Zustands unterdrückt, da auf Grund der Coulomb-Blockade eine Verschiebung der Energie-Niveaus eintritt [73]. Der Tunnelprozess ist somit selbstlimitierend.

Beim geladenen QD hat sich der Verlauf des Leitungsbandes geändert und ist schematisch im rechten Teilbild von Abb. 2.5 dargestellt. Die untere Leitungsbandkante des 2DEG liegt energetisch gesehen oberhalb des besetzten Zustands im QD. Ein Tunneln von Elektronen aus dem QD heraus ist damit nicht möglich. Wird nun eine positive Gatespannung angelegt, so verschiebt sich das Leitungsband des 2DEG stärker hin zu kleineren Energien als das elektrostatische Potential im QD. Sobald nun das 2DEG energetisch günstiger liegt als der besetzte Zustand im QD, wird dieser über Tunnelprozesse entladen. Auch hier sorgt die Coulomb-Blockade für eine sofortige Verschiebung der Energie-Niveaus im QD, was wiederum zu einer Unterdrückung eines weiteren Tunnelprozesses führt.

### 2.4.3 Coulomb-Wechselwirkung

Zunächst wird ein sehr einfaches QD-QW-System betrachtet. Als QW bezeichnet man typischerweise einen eindimensionalen Transportkanal, der entweder mittels eines metallischen Gates auf der Oberfläche des Halbleiters oder mit der Hilfe von, durch Ätzverfahren elektrisch isolierten, seitlich angelagerten Sidegates kontrolliert wird. Hier wird der letztere Fall betrachtet und angenommen, dass ein QD nahe der Stelle der stärksten Einschnürung des QW positioniert ist. Das obere linke Teilbild von Abb. 2.6 verdeutlicht den Zusammenhang schematisch.

Ist der QD ungeladen, so befindet sich das Leitungsband des 2DEG ohne wirkende Vorwärtsspannung im thermischen Gleichgewicht. Am Ort der stärksten Einschnürung des QW wird das Leitungsband lokal angehoben, wodurch sich eine Potentialbarriere ausbildet. Diese Potentialbarriere kennzeichnet die Schwellspannung des QW, da nur für den Fall, dass das Maximum der Potentialbarriere unterhalb der Fermi-Energie liegt, Ladungsträgertransport stattfinden kann. Falls der QD mit Elektronen geladen ist, üben diese eine zusätzliche Kraft auf den QW aus. Diese Coulomb-Wechselwirkung sorgt dafür, dass Elektronen im 2DEG, die sich in der Nähe des QD befinden abgestoßen werden. Somit verarmt das 2DEG lokal, was zu einer Erhöhung des Leitungsbandes führt. Dieser Zusammenhang ist schematisch im unteren linken



**Abb. 2.6:** Links oben: Schematische Darstellung eines QD, der kapazitiv an das 2DEG eines QW angeschlossen ist. Links unten: Schematische Darstellung eines Leitungsbandes des QW entlang dessen Längsachse für einen geladenen und entladenen QD. Rechts: Elektrisches Ersatzschaltbild für ein QD-QW-System unter Berücksichtigung der Quantenkapazität des QW.

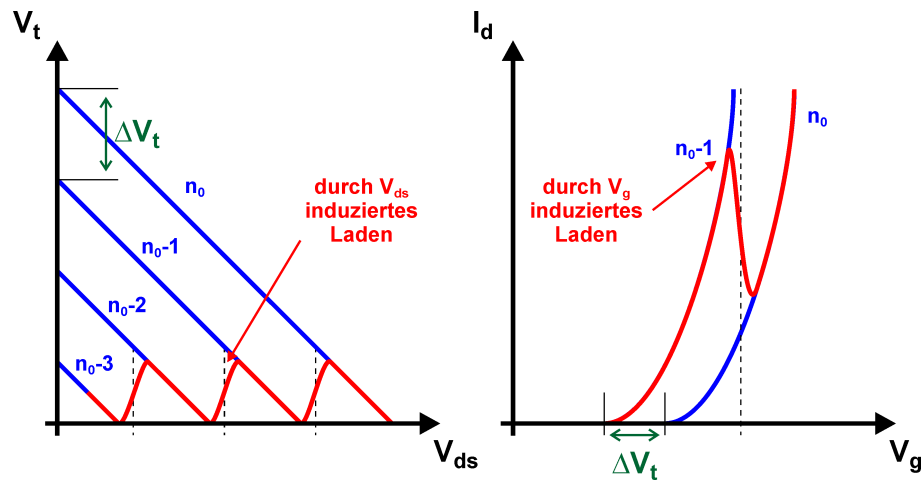
Teilbild der Abb. 2.6 dargestellt. Ein geladener QD wirkt ähnlich einer zusätzlichen geometrischen Einschnürung des QW und erhöht die Schwellspannung des Systems. Diese Schwellspannungsänderung steht in direktem Zusammenhang mit dem Ladezustand des QD, wodurch  $V_t \propto n$  folgt.

Um diese Änderung der Schwellspannung zu ermitteln, kann das QD-QW-System mit Hilfe eines einfachen, kapazitiven Ersatzschaltbilds modelliert werden. Die rechte Seite von Abb. 2.6 zeigt das entsprechende Schaltbild. Zusätzlich zu der kapazitiven Kopplung zwischen QD und QW wird die kapazitive Kontrolle der Sidegates auf QD und QW, der Einfluss der Vorwärtsspannung auf die Potentialbarriere im QW und die Quantenkapazität des QW selbst mit einbezogen. Eine ausführliche Diskussion des Modells findet im Rahmen der experimentellen Ergebnisse statt.

Beide Seiten von Abb. 2.7 zeigen vorab die wichtigsten Resultate der Modellierung. Anhand des kapazitiven Ersatzschaltbilds lässt sich leicht erkennen, dass sowohl die Gatespannung als auch die Vorwärtsspannung den Ladezustand des QD beeinflussen.  $n$  zeigt somit eine Abhängigkeit von  $V_g$  und  $V_{ds}$ . Wird nun die Änderung der Schwellspannung mit steigender Vorwärtsspannung betrachtet, so verhält sich  $V_t$  global, wie in Abschnitt 2.1.4 diskutiert. Bedingt durch unterschiedliche Ladezustände des QD ist die Schwellspannung mit steigendem  $n$  hin zu positiven Werten verschoben. Mit steigender Vorwärtsspannung kann nun ein Laden des QD induziert werden. Zusammen mit dem Drain-Induced-Barrier Lowering ergeben sich Spitzen im Verlauf der Schwellspannung, was schematisch auf der linken Seite von Abb. 2.7 dargestellt ist.

In einer einzelnen Transferkennlinie sind Änderungen des Ladezustands, die durch die Vorwärtsspannung induziert wurden, nicht zu erkennen. Der Strom verläuft, wie in Abschnitt 2.1.1 beschrieben und steigt mit zunehmender Gatespannung an. Anders verhält es sich mit Ladepro-





**Abb. 2.7:** Links: Verlauf der Schwellspannung in Abhängigkeit der Vorwärtsspannung für verschiedene Ladezustände des QD. Rechts: Verlauf der Transferkennlinie für unterschiedliche Ladezustände des QD.

zessen, die durch die Gatespannung induziert sind. Wird der QD bei einer bestimmten Gatespannung geladen, so hat dies eine Verschiebung der Schwellspannung zur Folge. Der Drainstrom des Systems nimmt so lange ab - obwohl die Gatespannung ansteigen kann - bis die durch den neuen Ladezustand des QD definierte um die Schwellspannungsänderung  $\Delta V_t$  verschobene, Transferkennlinie erreicht wird. Im Drainstrom zeigt sich somit eine Spitze und ein anschließender Stromabfall. Die rechte Seite von Abb. 2.7 verdeutlicht dies. Ein durch  $V_g$  induziertes Entladen des QD hätte folglich keinen Einbruch von  $I_d$  sondern einen sprunghaften und starken Anstieg zur Folge.

#### 2.4.4 Y-Schalter und Self-Gating

Im QW kennzeichnen die beiden Anschlüsse - Drain und Source - den Transportkanal, wodurch die Ausdehnung des 2DEG und somit der Weg des elektrischen Stroms ausreichend definiert sind. Einerseits können die Sidegates bei geeigneter Beschaltung den Kanal unterschiedlich kontrollieren und ein einzelner QW kann, wenn die beiden Sidegates jeweils als separater Eingang betrieben werden, als logisches NAND-Gatter dienen [74]. Andererseits ist es nicht möglich, den Strom gezielt in dessen Richtung zu beeinflussen und den durch die beiden Sidegates erzeugten Unterschied zu ermitteln, da ohne Hilfe z.B. eines Magnetfelds keine räumliche Auftrennung an den Anschlüssen möglich ist. Ein Y-Schalter (**Y-branch switch**: YBS), der im Prinzip aus einem QW, also einem Wellenleiter für Elektronenwellen, besteht und dessen Transportkanal sich drainseitig symmetrisch in zwei elektrisch isolierte, einzelne Kanäle aufteilt, bietet diese Möglichkeit. Somit kann der elektrische Strom rein durch ein elektrisches Feld zwischen zwei Anschlüssen geschaltet werden. Diese Eigenschaft den Strom hin- und herzuschalten ohne die Elektronen mittels einer Barriere zu stoppen, macht den Y-Schalter für Anwendungen im

Bereich der Signalverarbeitung im Hochfrequenzbetrieb interessant [71, 75, 76, 77].

Der Y-Schalter hat einen Source- und zwei Drain-Kontakte, die über einen, sich in zwei Äste verzweigenden, Transportkanal miteinander verbunden sind. Zu beiden Seiten dieses Transportkanals schließen sich Sidegates an. Bei gleicher positiver Drainspannung an beiden Ästen bewegen sich Elektronen von Source durch den Stamm und werden in Abhängigkeit der Spannungsdifferenz zwischen den Sidegates in den einen oder anderen Ast abgelenkt. Hierbei ist klar, dass der Ast mit der positiveren Sidegate-Spannung mehr Strom führt als der gegenüberliegende Ast. Durch die kleinen Systemabmessungen von wenigen 10 nm ist im gesamten Bauelement ballistischer Transport möglich und, da die Elektronen in Ihrer Bewegung abgelenkt und nicht gebremst werden, bleibt dieser auch während des Schaltvorgangs erhalten. Dieses Funktionsprinzip wurde bereits auf verschiedenen Ausgangsmaterialien erfolgreich demonstriert [78, 79, 80, 81, 82, 83].

Werden unterschiedliche Drainspannungen an die Äste angelegt, so ist es möglich, dass im Bereich des Verzweigungspunkts die Potentialdifferenz zwischen den Ästen ausreicht, um ein selbst-induziertes Schalten, das als Self-Gating bezeichnet wird, zu ermöglichen [84]. Dieser Effekt kann weitaus stärker sein als das durch die Sidegates verursachte Schalten und zu einer Verbesserung der Schalteigenschaften beitragen. Im Gegensatz zur Gate-Effektivität der Sidegates, die auch hier mit zunehmender Quantenkapazität des Transportkanals abnimmt, kann die Gate-Effektivität  $\eta_{sg}$  für das Self-Gating zu

$$\eta_{sg} = \frac{C_Q}{C_Q + C_{g,a} + 2C_{a,a}} \quad (2.40)$$

bestimmt werden [71]. Hierbei sind  $C_{g,a}$  und  $C_{a,a}$  die geometrischen Kapazitäten zwischen Sidegate und Ast bzw. zwischen den beiden Ästen. Wie leicht zu erkennen ist, nimmt  $\eta_{sg}$  mit steigender Quantenkapazität zu und kann somit für großes  $C_Q$  viel größere Werte als die Gate-Effektivität der Sidegates annehmen. Im Gegensatz zu einem QW kann es somit bei einem Y-Schalter mit zunehmender Vorwärtsspannung zu einer starken Verbesserung der Schalteigenschaften kommen. Dieser Effekt kann noch weiter verstärkt werden, wenn die Sidegates des Y-Schalters nicht zum Schalten benutzt werden, sondern nur den Arbeitspunkt des Bauelements definieren. Dadurch wird es bei geeigneter Parametrisierung möglich, eine Potentialbarriere zwischen einem Ast und dem Verzweigungspunkt zu erzeugen und diesen Ast als internes Gate zu nutzen. Da hierbei dann die Gate-Effektivität zwischen den Ästen, also  $\eta_{sg}$ , maßgebend ist, kann das Schaltverhalten verbessert und eine hohe Verstärkung erreicht werden [85].

# Kapitel 3

## Speicherelemente auf der Basis von GaAs/AlGaAs Heterostrukturen mit integrierten Quantenpunkten

### 3.1 Quantendraht-Transistor als Speicherelement

In modernen elektronischen Systemen spielen nichtflüchtige Speicherelemente eine immer größere Rolle. Während bei flüchtige Speicherelementen kurze Zugriffszeiten und niedrige Herstellungskosten im Vordergrund stehen, sind bei nichtflüchtige Speicherzellen, Halte- und Ladezeiten, Anzahl der möglichen Lade- bzw. Entladezyklen und Leistungsaufnahme beim Ladevorgang wichtige Kenngrößen. Die Realisierung von flüchtige Speichern, wie beispielsweise eine DRAM-Zelle (**d**ynamic-**r**andom-**a**ccess **m**emory: DRAM), ist denkbar simpel und beruht auf dem Auflade eines Kondensators über einen FET [15]. Der FET dient als Schalter, um den Zugriff auf den Energiespeicher zu steuern. Die Information, die gespeichert ist, entspricht der Spannung, die über dem Kondensator abfällt und somit der Ladung des Kondensators. Der kritische Punkt hierbei ist das stetige Entladen des Kondensators über Leckströme, wodurch die gespeicherte Information verloren geht. Um dies zu verhindern, ist ein periodisches Erneuern (Refreshen) des Ladezustands notwendig, was typischerweise in Zyklen von wenigen ns bis  $\mu$ s geschieht.

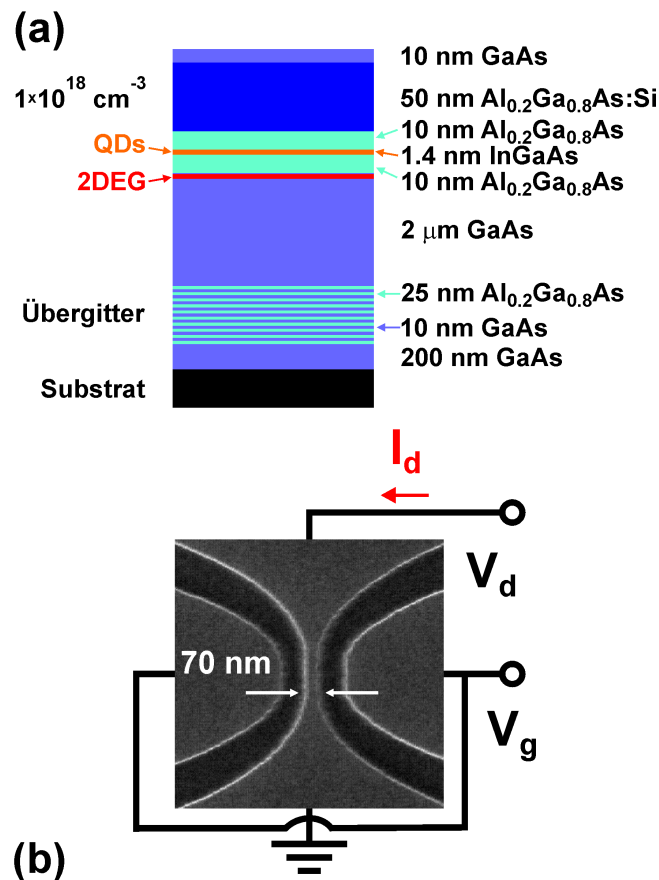
Bei nichtflüchtige Speichern muss bezüglich der gewünschten Haltezeit unterschieden werden. In einer SRAM-Zelle (**s**tatic-**r**andom-**a**ccess **m**emory: SRAM) steht die gespeicherte Information so lange zur Verfügung, bis die Versorgungsspannung abgeschaltet wird. Durch den Aufbau aus insgesamt 4 bis 6 FETs wird ein Refreshen unnötig, wodurch der gespeicherte Zustand dauerhaft abgreifbar ist. Wird ein Erhalt der gespeicherten Information auch ohne anliegende Versorgungsspannung gewünscht, bietet sich ein Floating-Gate-Transistor an, bei dem ein zusätzliches, elektrisch isoliertes Gate in die Isolationsschicht integriert ist. Durch die Ladung dieses Floating Gates kann das effektiv wirkende elektrische Feld des Gates beeinflusst und somit die Schwellspannung des FET gesteuert werden. Über das Laden bzw. Entladen

des Floating Gates können Informationen elektrisch und, da das Floating Gate sehr gut isoliert ist, auch dauerhaft gespeichert werden [19]. Der kritische Punkt bei dieser Art der Informationsspeicherung ist das Aufbringen bzw. Entfernen der Ladungsträger auf dem Floating Gate. Hierfür müssen Elektronen vom Kanal durch die Isolationsschicht auf das Floating Gate gelangen, was nur bei hohen Gate- oder Drainspannungen möglich ist. Zudem sorgt jeder Lade- bzw. Entladevorgang für Degenerationen in der Isolationsschicht und führt zu einer Reduzierung der Haltezeit. Um dieses Problem der Degeneration zu vermeiden, werden neue Arten von Isolatormaterialien und Floating Gates erforscht, die weniger anfällig sind oder bereits bei geringeren Gate- oder Drainspannungen laden bzw. entladen. Durch die kleiner werdenden Bauteilabmessungen rücken in diesem Zusammenhang QDs als Floating Gate in den Vordergrund, da bei diesen zum einen ein Laden bzw. Entladen über degenerationsfreie Tunneleffekte möglich ist. Zum anderen erhöht sich durch die starke räumliche Einschränkung der QDs und die damit einhergehenden Quantisierungseffekte das Speicherpotential des Floating Gates.

### 3.1.1 Aufbau und Design eines Quantenpunkt-Speichers

Für die Speicherfunktion in Quantendraht-Transistoren wurde eine modulationsdotierte GaAs/AlGaAs Heterostruktur mit selbstorganisierten InGaAs QDs verwendet. Das obere Teilbild von Abb. 3.1 stellt den Schichtaufbau der Heterostruktur schematisch dar. Auf einem halbisolierenden GaAs-Substrat ist eine 200 nm dicke Bufferschicht aus GaAs abgeschieden worden. Hierauf folgt ein Übergitter, das aus einer alternierenden Folge von 25 nm dicken  $\text{Al}_{0,2}\text{Ga}_{0,8}\text{As}$ - und 10 nm dicken GaAs-Schichten besteht. Nach dem Wachstum von weiteren  $2\ \mu\text{m}$  GaAs ist ein 20 nm dicker  $\text{Al}_{0,2}\text{Ga}_{0,8}\text{As}$ -Spacer aufgebracht worden, in dessen Mitte sich InGaAs QDs ausbilden. Für die Herstellung der QDs wird beim Wachstum des Spacers 1.4 nm InGaAs mittig in diesen eingebracht. Auf Grund des Stranski-Krastanov-Wachstums bilden sich selbstorganisierte QDs mit einem Durchmesser von 25 nm und einer Konzentration von  $5 \times 10^{10}\ \text{cm}^{-2}$ . Die Heterostruktur wird durch eine weitere 50 nm dicke, jedoch siliziumdotierte  $\text{Al}_{0,2}\text{Ga}_{0,8}\text{As}$ -Schicht, gefolgt von einem 10 nm dicken GaAs-Cap, abgeschlossen. Die Siliziumkonzentration in der  $\text{Al}_{0,2}\text{Ga}_{0,8}\text{As}$ -Schicht beträgt hierbei  $1 \times 10^{18}\ \text{cm}^{-3}$ .

Am Heterostrukturübergang bildet sich als Folge der Bandverbiegung ein 2DEG aus. Für tiefe Temperaturen ( $T = 4.2\ \text{K}$ ) konnte anhand von Hall-Messungen eine Elektronendichte von  $n_e = 4 \times 10^{11}\ \text{cm}^{-2}$  und eine Elektronenbeweglichkeit von  $\mu_{2DEG} = 8.5 \times 10^3\ \text{cm}^2/\text{Vs}$  im 2DEG ermittelt werden. Speziell die Elektronenbeweglichkeit liegt unterhalb der Beweglichkeiten, die in Hochbeweglichkeits-Heterostrukturen erreicht werden können. Ein Grund dafür ist die Ausbildung von zusätzlichen Streuzentren im 2DEG durch die QDs im Spacer [86]. Da sich die QDs in direkter Nähe zum 2DEG befinden und nur durch die unteren 10 nm des  $\text{Al}_{0,2}\text{Ga}_{0,8}\text{As}$ -Spacers vom 2DEG getrennt sind, tritt eine Coulomb-Wechselwirkung zwischen den Ladungsträgern auf den QDs und den Elektronen im 2DEG auf. Auch im Gleichgewichtszustand, d.h. ohne ein externes Feld, sind die QDs geladen und diese Ladung sorgt für eine Verdrängung der Elektronen im 2DEG unterhalb der QDs. Das 2DEG verarmt lokal und Elektronenfehlinseln (Anti-QDs) bilden sich aus. Diese Anti-QDs sorgen für eine erhöhte Streuung



**Abb. 3.1:** (a) Schematische Darstellung des Schichtaufbaus, der der Heterostruktur des untersuchten QDFM zu Grunde liegt. (b) SEM-Aufnahme eines QDFM eingefügt in den elektrischen Messaufbau mit den angelegten Spannungen und gemessenen Strömen.

von Elektronen, wodurch die Elektronenbeweglichkeit stark reduziert wird.

Anhand der Coulomb-Wechselwirkung und deren Einfluss auf die Transporteigenschaften der Struktur kann, in Abhängigkeit der Ladung der QDs, ein elektrischer Zustand gespeichert werden. Die Quantendraht-Transistoren haben somit Speichereigenschaften und können als Flash-Speicher eingesetzt werden. Die Strukturierung dieser Quantenpunkt-Flash-Speicher (**quantum-dot-flash memory: QDFM**) auf der Basis eines Quantendraht-Transistors erfolgt mittels hochauflösende Elektronenstrahlolithographie und anschließendem nasschemischen Ätzen. Nach Aufschleudern einer 100 nm dicken Schicht aus Poly(Methyl/Methacrylat)-Lack und anschließendem Trocknen, wird das Layout des TTJ durch Elektronenstrahlolithographie, mit einer Beschleunigungsspannung von 80 kV und einem Strahlstrom von 1 nA, auf die Oberfläche der Heterostruktur geschrieben. Grundlage für die weitere Prozessierung und die darauf folgende Erzeugung der Ätzmaske, waren Standardprozesse zur Entwicklung der Lackschicht und des anschließenden Lift-Offs [87]. Als Basis für das nasschemische Ätzen diente  $\text{H}_2\text{O} : \text{NH}_4\text{OH} : \text{H}_2\text{O}_2$  (75 : 0.5 : 0.5), wodurch die GaAs-Cap, die siliziumdotierte  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$

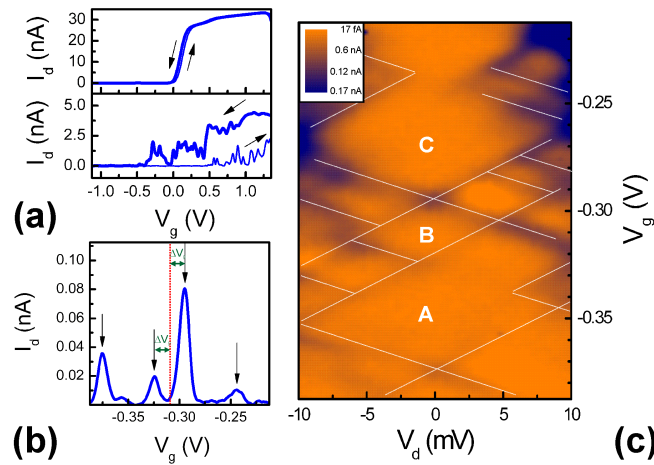
Schicht, der  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ -Spacer und ein Teil der GaAs-Schicht entfernt wurden [88]. Bei den so hergestellten QDFMs wurden die in der Ebene liegenden Sidegates durch Ätzgräben vom leitfähigen Kanal elektrisch isoliert [89, 90, 91]. Abb. 3.1b zeigt eine Rasterelektronenmikroskop-Aufnahme (scanning-electron-microscope: SEM) eines QDFM, wobei hier die Ätztiefe 110 nm beträgt. Die Sidegates der Struktur sind durch 150 nm breite Ätzgräben vom QW getrennt. Der leitfähige Kanal zwischen Drain und Source ist etwa 70 nm breit und im Bereich der größten Einschnürung circa 200 nm lang. Für die Form des Quantendrahts und der Ätzgräben wurde ein parabolisches Profil gewählt, um einen stetigen Übergang zwischen den Elektronenreservoirs und dem Bereich der Einschnürung zu erreichen. Hierdurch wird das Auftreten von Kleindimensionseffekten, wie z.B. Sprüngen in der Zustandsdichte im Quantendraht, vermieden, was sonst zu Reflexionen von Elektronen und einem Einbrechen der Transmission führen kann [92].

Die Kennlinien des QDFM wurden durch Messung der Ströme im Bauteil in Abhängigkeit der angelegten Spannungen ermittelt. Abb. 3.1b zeigt den verwendeten, elektrischen Messaufbau schematisch. Die Drainspannung  $V_d$  und die Gatespannung  $V_g$  werden an den Kontakten von Drain bzw. Gate angelegt, wobei Source als Bezugspunkt dient und geerdet ist. Als Messumgebung wurde ein abgeschlossenes Heliumsystem gewählt, wobei die Struktur mit Hilfe eines geeigneten Probenhalters in flüssige Helium eingebracht wurde ( $T = 4.2 \text{ K}$ ).

### 3.1.2 Lineares Transportregime eines Quantendraht-Transistors als Quantenpunkt-Speicher

Im linearen Transportregime ist die Drainspannung auf typischerweise kleine Werte von  $V_d < 50 \text{ mV}$  beschränkt, wodurch der Einfluss von heißen Ladungsträgern oder die Streuung an Phononen vernachlässigt werden kann. Die grundlegende Frage bezüglich des QDFM ist, wie dieser sich in seinem Verhalten von einem Quantendraht-Transistor (quantum-wire transistor: QWT) unterscheidet und welchen Einfluss die QDs haben. Abb. 3.2a zeigt die Transferkennlinie eines QWT (oben) und eines QDFM (unten) für eine Drainspannung von 1 mV. Sowohl beim Hochfahren (up sweep) als auch beim Herunterfahren (down sweep) der Gatespannung ist der QWT bis zu  $V_g = 0.0$  geschlossen und öffnet mit steigendem  $V_g$ . Für  $V_g > 0.5 \text{ V}$  erreicht der Drainstrom seinen Maximalwert in der Größenordnung von 30 nA. Der QDFM öffnet beim Hochfahren von  $V_g$  ab einer Spannung von  $V_g > 0.5 \text{ V}$ , wobei eine Reihe von Spitzen im Stromverlauf zu erkennen sind. Wird die Gatespannung heruntergefahren, schließt der Kanal erst ab einer Gatespannung von  $V_g < -0.5 \text{ V}$ . Auch hier sind Spitzen im Stromverlauf erkennbar, deren Form und Anzahl sich jedoch von denen beim Hochfahren von  $V_g$  signifikant unterscheiden. Im QDFM kann eine Schwellspannungshysterese von 1.0 V beobachtet werden, während beim QWT die Schwellspannungshysterese kleiner als 20 mV ist.

Ursache für die Spitzen im Drainstrom des QDFM ist die Coulomb-Blockade. Durch die Coulomb-Wechselwirkung zwischen den Ladungsträgern in den QDs und den Elektronen im 2DEG bilden sich in Letzterem verarmte Bereiche und Anti-QDs aus. Anhand der Konzentration der QDs kann eine mittlere Anzahl von 7 QDs im Kanalbereich abgeschätzt werden. Somit



**Abb. 3.2:** (a) Drainstrom in einem QWT mit (unten) und ohne (oben) QDs bei einer Drainspannung von 1 mV. (b) Differentieller Drainstrom aufgetragen über der Gatespannung bei  $V_d = 0.0$ . (c) Differentieller Drainstrom in Abhängigkeit der Drain- und der Gatespannung. Die gestrichelten Linien kennzeichnen die Kanten der Coulomb-Diamanten.

ergeben sich mehrere, gekoppelte Elektroneninseln, die den Stromtransport begrenzen und für die charakteristischen Coulomb-Blockade-Oszillationen in den Transferkennlinien sorgen.

Für das Lock-In-Messverfahren wurde eine Oszillatorfrequenz von 177 Hz und eine Amplitude von  $100 \mu\text{V}$  gewählt. Abb. 3.2b zeigt den differentiellen Drainstrom, aufgetragen über der Gatespannung für  $V_d = 0.0$ . Im Drainstrom zeigen sich Stromspitzen für  $V_g = -0.375$ ,  $-0.325$ ,  $-0.295$  und  $-0.244$  V. Interessanterweise ist die Position der Stromspitzen spiegelsymmetrisch zum Gatespannungswert  $V_g = -0.31$  V, wodurch betragsmäßig gleiche Verschiebungen  $\Delta V_g$  auftreten. Das rechte Teilbild von Abb. 3.2 zeigt den differentiellen Drainstrom für einen Drainspannungsbereich von  $-10$  mV bis  $10$  mV als Fehlfarbandarstellung. Blaue Bereiche entsprechen differentiellen Strömen größer als  $0.17$  nA und in den orangefarbenen Bereichen liegen Werte kleiner als  $17$  fA vor. Mit steigender Drainspannung konvergieren die Resonanzen von  $V_d = 0.0$  und bilden diamantartige Strukturen aus, die den Bereich niedrigen, differentiellen Stroms begrenzen. Die Grenzen dieser Bereiche und zugehörige feinere Strukturen sind durch weiße, gepunktete Linien hervorgehoben. Die drei zu erkennenden, voneinander abgetrennten Bereiche niedrigen Stroms sind mit den Buchstaben A, B und C gekennzeichnet.

Die Bereiche niedrigen, differentiellen Drainstroms sind Coulomb-Diamanten, die sich auf Grund des Ladungsträgertransports durch gekoppelte Elektroneninseln ergeben. Die Coulomb-Diamanten werden gekoppelten Elektroneninseln im 2DEG zugeordnet, die sich auf Grund des Floating-Gate-Einflusses der QDs auf das 2DEG geformt haben. Mit steigenden Drainspannungen können, zusätzlich zu den Coulomb-Diamanten, Resonanzen mit dem Drain- bzw. Source-reservoir beobachtet werden [60]. Anhand der Steigung der Flanken der Coulomb-Diamanten und dem Abstand der Coulomb-Blockade-Spitzen bei  $V_d = 0.0$  können die Ladeenergie  $E_c$ , der Proportionalitätsfaktor  $\alpha$ , der Durchmesser  $d$  der Elektroneninsel und die Kapazitäten  $C_d$  und

**Tab. 3.1:** Ladeenergie  $E_c$ , der Proportionalitätsfaktor  $\alpha$ , der Durchmesser  $d$  der Elektroneninsel und die Kapazitäten  $C_d$  und  $C_g$  zwischen Elektroneninsel und dem Drainreservoir bzw. Gate für die gekennzeichneten Bereiche.

|   | $E_c$    | $\alpha$ | $d$   | $C_d$   | $C_g$  |
|---|----------|----------|-------|---------|--------|
| A | 10.7 meV | 0.21     | 16 nm | 5.5 aF  | 3.1 aF |
| B | 4.9 meV  | 0.17     | 35 nm | 19.4 aF | 5.6 aF |
| C | 10.2 meV | 0.20     | 17 nm | 5.7 aF  | 3.1 aF |

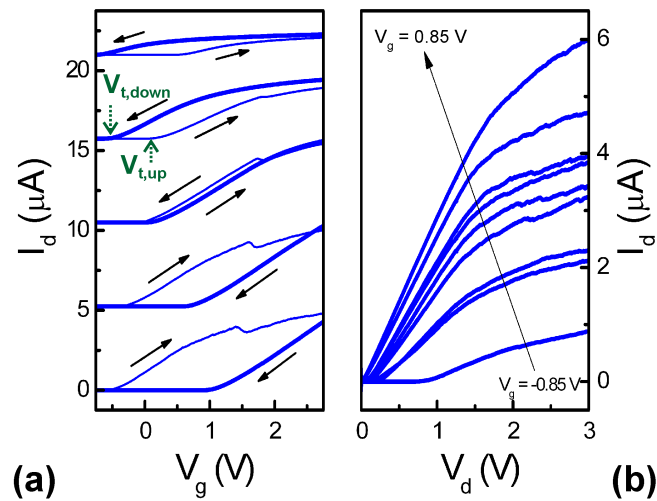
$C_g$  zwischen Elektroneninsel und dem Drainreservoir bzw. Gate ermittelt werden. Die charakteristischen Größen der Coulomb-Diamanten  $A$ ,  $B$  und  $C$  sind in Tabelle 3.1 zusammengefasst. Wie man leicht erkennen kann, sind die Werte der Strukturen  $A$  und  $C$  in allen Bereichen nahezu identisch, während sie sich von den Kenngrößen von  $B$  signifikant unterscheiden. Daher wird angenommen, dass die Strukturen  $A$  und  $C$  durch die gleiche Elektroneninsel hervorgerufen werden. Diese Annahme wird durch die spiegelsymmetrische Verteilung der Resonanz für  $V_d = 0.0$  unterstützt, die sich durch die laterale Kopplung zweier Elektroneninseln in einem 2DEG ergibt [61, 63]. Somit existieren zwei Elektroneninseln mit unterschiedlicher Ausdehnung im Transportkanal. Die Kapazität zwischen Gate und Elektroneninsel liegt im Bereich von 3.1 aF bis 5.6 aF, was der geometrischen Kapazität zwischen Gate und QW entspricht. Die minimale Anzahl von QDs, die für die Bildung von zwei Elektroneninseln notwendig sind, liegt bei 3 bis 4, was gut mit der mittleren Anzahl von QDs im Kanalbereich übereinstimmt.

### 3.1.3 Speichereigenschaft der Quantenpunkte in einem Quantendraht-Transistor

Um die Speichereigenschaften von QDs sowohl optisch als auch elektrisch zu charakterisieren, wurden QDs in einer Vielzahl von Materialsystemen hergestellt und in Nanostrukturen integriert [73, 93, 94, 95, 96, 97, 98, 99, 100, 101, 102, 103]. Hierbei wurde gezeigt, dass QDs auf Grund der Coulomb-Wechselwirkung einen naheliegenden Transportkanal effizient kontrollieren und als Floating Gate auf diesen wirken können. Liegen die Strukturdimensionen, im Besonderen der Abstand zwischen QDs und Transportkanal, in der Größenordnung der Debye'schen Abschirmlänge, führen die Ladungsträger in den QDs zur Formierung von Anti-QDs bzw. gekoppelten Elektroneninseln im Transportkanal oder verarmen diesen vollständig. Mit Hilfe von Transportspektroskopie an den gekoppelten Elektroneninseln und der sich ergebenden Coulomb-Blockade können sowohl die Kapazitäten zwischen den Elektroneninseln bestimmt als auch Rückschlüsse auf die kapazitive Ankopplung, z.B. der Steuergates, gezogen werden [61, 63, 66, 104, 105, 106, 107, 108]. Die Kenntnis dieser Kapazitäten ist essentiell für die Beschreibung des Systems durch ein geeignetes Modell, wobei sich die Kapazitäten auch durch externe Parameter wie die Drainspannung ändern können [72].

Abb. 3.3a zeigt das Transferkennlinienfeld eines QDFM für Drainspannungen von 1.8 V bis



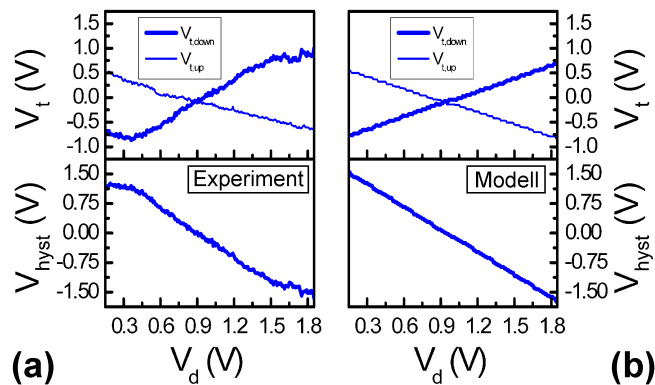


**Abb. 3.3:** (a) + (b) Transfer- und Ausgangskennlinienfeld eines QDFM.

0.2 V in Schritten von 0.4 V. Aus Gründen der Übersichtlichkeit, wurden die Strom-Spannungskennlinien für  $V_d = 1.4, 1.0, 0.6$  und  $0.2\text{ V}$  um  $5.25, 10.5, 15.75$  bzw.  $21\ \mu\text{A}$  verschoben. Die Richtung der Gatespannung ist durch die Pfeile symbolisch dargestellt. Für eine Drainspannung von  $1.8\text{ V}$  ist der QDFM beim Hochfahren von  $V_g$  bis zu einer Gatespannung von  $-0.6\text{ V}$  geschlossen. Erhöht sich  $V_g$  über diesen Wert, nimmt  $I_d$  monoton zu und sättigt bei großen Gatespannungen, wobei bei  $V_g = 1.45\text{ V}$  eine Spitze im Stromverlauf erkennbar ist. Beim Herunterfahren von  $V_g$  nimmt der Drainstrom kontinuierlich ab und der Kanal schließt für Gatespannungen kleiner als  $0.9\text{ V}$ . Durch den Unterschied zwischen den Schwellspannungen  $V_{t,up}$  und  $V_{t,down}$  des Hoch- bzw. Herunterfahrens der Gatespannung ergibt sich somit eine Schwellspannungshysterese  $V_{hyst} = V_{t,up} - V_{t,down} = -1.5\text{ V}$ . Bei kleineren Drainspannungen erhöht sich  $V_{t,up}$ , während sich  $V_{t,down}$  hin zu negativen Werten verschiebt. Folglich reduziert sich die Breite der Hysterese und  $V_{hyst}$  verschwindet für eine kritische Drainspannung von  $1.0\text{ V}$ . Eine weitere Reduzierung von  $V_d$  sorgt für eine Umkehr des Vorzeichens der Schwellspannungshysterese und es gilt somit nun  $V_{t,up} > V_{t,down}$ .

Die Ausgangskennlinie des QDFM ist in Abb. 3.3b für den Gatespannungsbereich von  $-0.85\text{ V}$  bis  $0.85\text{ V}$  in Schritten von  $0.2\text{ V}$  dargestellt. Hierfür wurde vor der Messung ein Spannungspuls von  $4.5\text{ V}$  für  $V_d = 0.0$  und einen Zeitraum von  $5\text{ s}$  an die Sidegates angelegt, um einen für die Messungen vergleichbaren Ladezustand aller QDs zu gewährleisten. Für  $V_g = 0.85\text{ V}$  nimmt der Drainstrom mit steigender Drainspannung linear zu, wobei die Steigung  $3\ \mu\text{A/V}$  beträgt. Ab  $V_d = 1.8\text{ V}$  geht der Drainstrom in Sättigung, wodurch sich die Steigung verringert und ein Maximalstrom von  $6\ \mu\text{A}$  bei  $V_d = 3\text{ V}$  erreicht wird. Mit sinkender Gatespannung nehmen sowohl der Maximalstrom als auch die Steigung ab. Es ist klar ersichtlich, dass ab  $V_g = -0.85\text{ V}$  der Kanal für kleinere Drainspannungen geschlossen ist und erst für größere Werte von  $V_d$  ein Stromfluss einsetzt.

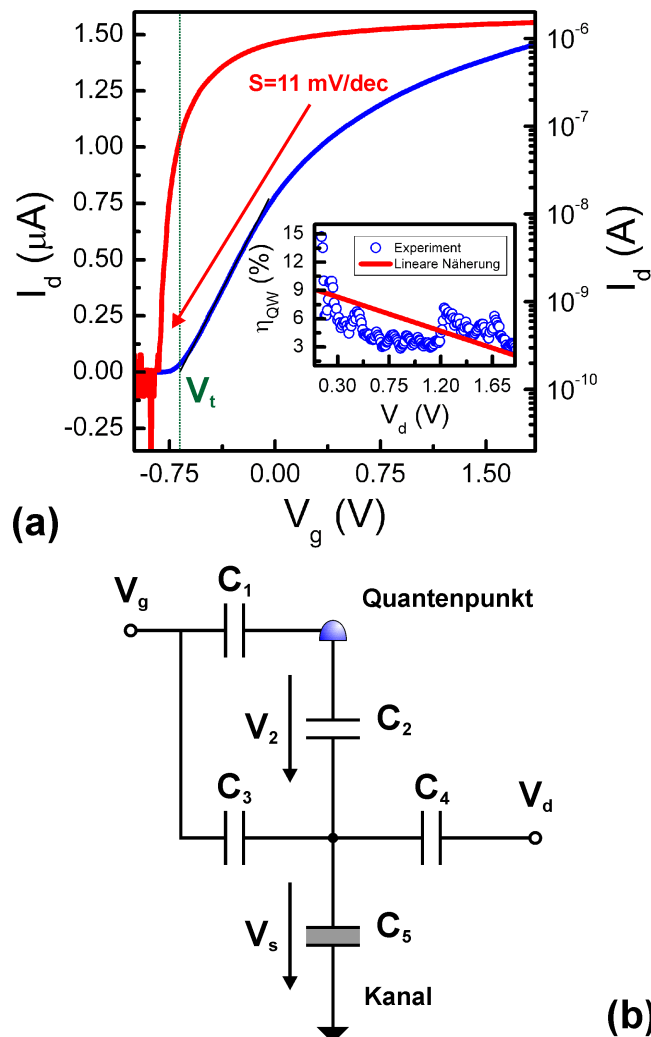
Sowohl Ausgangs- als auch Transferkennlinienfeld verdeutlichen den, für die Transistor-



**Abb. 3.4:** (a) + (b) Schwellspannungen und Hysteresebreiten in den Transferkennlinien des QDFM in Abhängigkeit der Drainspannung.

funktion zu Grunde liegenden, Feldeffekt. Der QDFM verhält sich somit vergleichbar zu einem QWT, wobei im Unterschied zum QWT, bei dem der Verlauf der Schwellspannung von Kleindimensionseffekten bestimmt wird, hier die Schwellspannung in Abhängigkeit des Ladezustands der QDs variiert. Im Transferkennlinienfeld ist das Laden und Entladen der QDs gut erkennbar. Für hohe Drainspannungen werden die QDs im Spacer bei positiven Gatespannungen geladen, was zu einer Erhöhung der Coulomb-Wechselwirkung zwischen den Ladungen auf den QDs und den Elektronen im 2DEG führt. Das 2DEG wird verarmt, die Leitfähigkeit verringert sich und die Schwellspannung verschiebt sich hin zu positiven Werten. Dieses Laden der QDs bei positiven Gatespannungen wird anhand der Stromspitze bei  $V_g = 1.45$  V für die Drainspannungen  $V_d = 1.0, 1.4$  und  $1.8$  V verdeutlicht [100]. Wie bereits in Kapitel 2.4.3 erläutert wurde, führt das Laden eines QD, während des Hochfahrens der Gatespannung, zu einem Einbruch im Stromverlauf. Somit kennzeichnet die Position dieser Stromspitze die Ladespannung eines QD bei der gegebenen Drainspannung. Die Ausgangskennlinien des QDFM unterscheiden sich nicht von den Kennlinien eines QWT. Durch das monotone Ansteigen und die sich anschließende Sättigung von  $I_d$  mit steigender Drainspannung kann ein Laden der QDs auf Grund von drain-induzierten, heißen Elektronen ausgeschlossen werden. Ein Laden der QDs durch heiße Elektronen würde zu einem abrupten Abfall in den Ausgangskennlinien führen, was beim QDFM für  $V_d \leq 3.0$  V nicht beobachtet wird [19]. Daher ist das Laden bzw. Entladen der QDs über die anliegende Gatespannung gesteuert und wird nicht, wie in konventionellen Floating-Gate-Transistoren üblich, durch heiße Ladungsträger hervorgerufen.

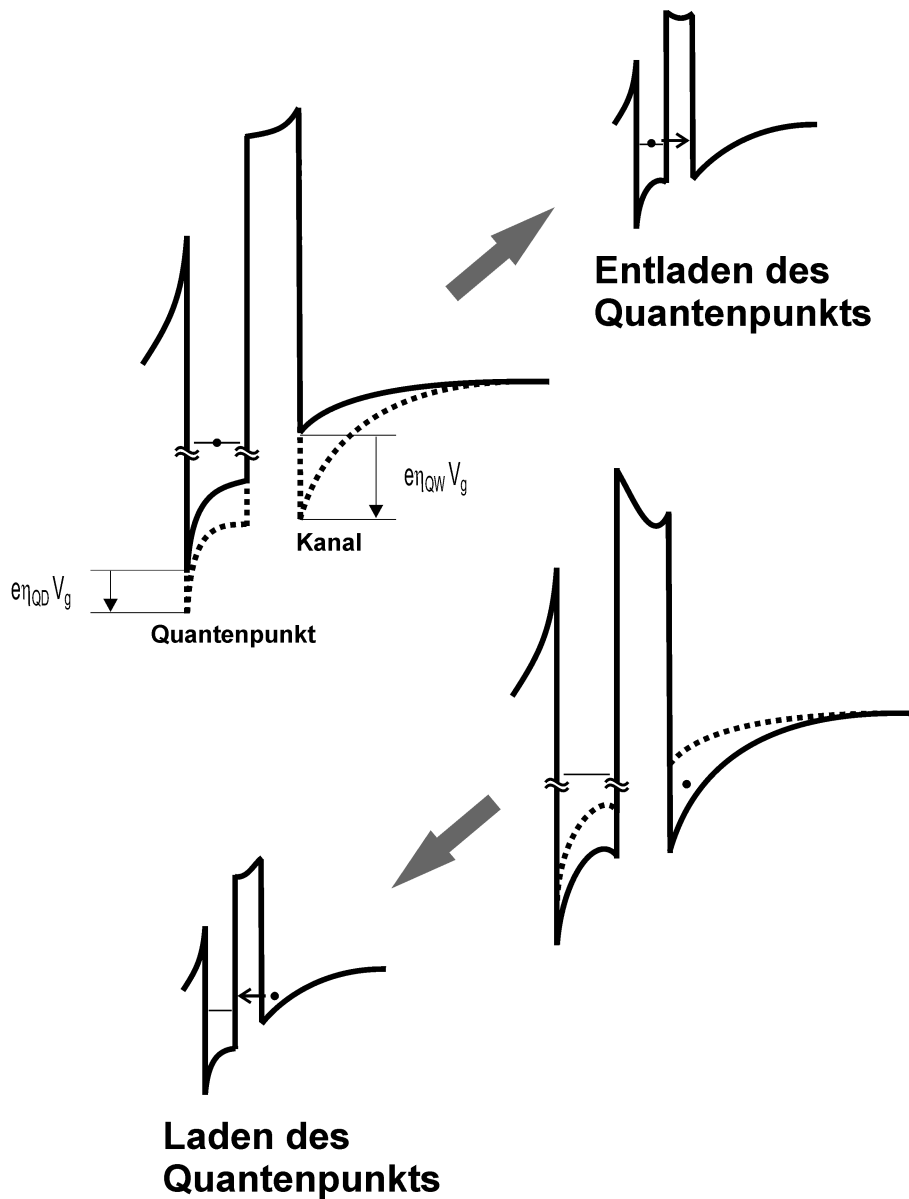
Die linke Seite von Abb. 3.4 zeigt die Schwellspannungen und Hysteresebreite in Abhängigkeit der Drainspannung. Im Bereich kleiner Werte von  $V_d$  ist  $V_{t,up}$  größer als  $V_{t,down}$ . Mit Ansteigen der Drainspannung verschiebt sich  $V_{t,up}$  hin zu negativen Werten und erreicht ein Minimum von  $-0.6$  V bei  $V_d = 1.8$  V, während  $V_{t,down}$  im gleichen Drainspannungsbereich zunimmt und einen Maximalwert von  $0.9$  V bei  $V_d = 1.8$  V hat. Somit ist die Hysteresebreite für kleines  $V_d$  positiv und hat ein Maximum von  $1.3$  V. Auch hier geht mit einer Erhöhung von  $V_d$  eine Veränderung von  $V_{hyst}$  einher, wobei sich die Hysteresebreite durchschnittlich um



**Abb. 3.5:** (a) Transferkennlinie des QDFM bei  $V_d = 0.25$  V in linearer (blau) und halblogarithmischer (rot) Darstellung. Aus der halblogarithmischen Darstellung kann der Subthreshold Swing extrahiert werden. Kleines Teilbild: Gate-Effektivität aufgetragen über der Drainspannung. (b) Kapazitives Ersatzschaltbild zur Modellierung der Schwellspannung und Hysteresebreite.

$-2.0$  V/V ändert und ein Minimum von  $-1.5$  V bei  $V_d = 1.8$  V hat.

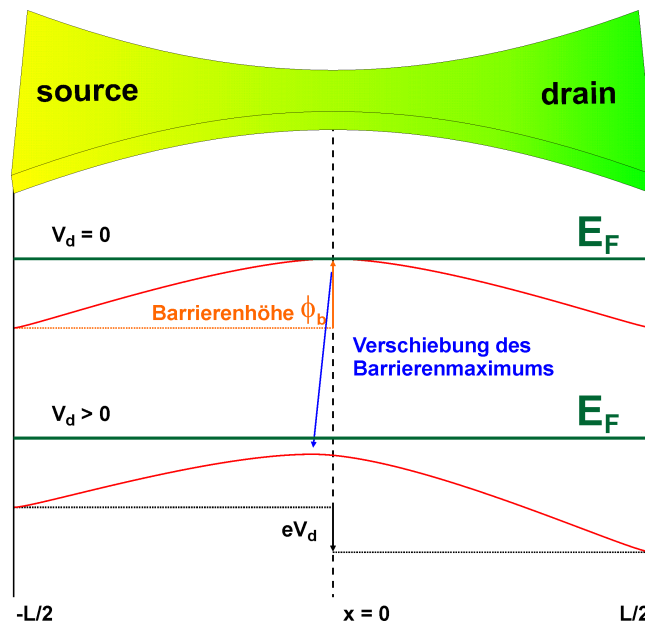
Um das Schalten und damit die Gate-Effektivität des QDFM zu bestimmen, wird der Subthreshold Swing in Abhängigkeit der Drainspannung ermittelt und mit dem idealen, thermisch limitierten Wert von  $S \approx 1$  mV/dec bei  $T = 4.2$  K verglichen. Abb. 3.5a zeigt die Transferkennlinie des QDFM für  $V_d = 0.25$  V in linearer (blau) und halblogarithmischer (rot) Darstellung. Durch eine Regressionsgerade wird die Schwellspannung  $V_t = -65$  mV bestimmt und, anhand der halblogarithmischen Darstellung von  $I_d$ , der Subthreshold Swing  $S$  ermittelt. Für die vorliegende Kennlinie beträgt dieser etwa 11 mV/dec. Das kleine Teilbild in Abb. 3.5 zeigt die



**Abb. 3.6:** Skizze des Bandverlaufs eines QD und QW innerhalb eines Ladezyklus.

Gate-Effektivität  $\eta_{QW}$  des Quantendrahts in Abhängigkeit der Drainspannung. Für kleine Werte von  $V_d$  liegt  $\eta_{QW}$  im Bereich von 10 % bis 15 % und nimmt mit zunehmender Drainspannung ab. Die durchschnittliche Abnahme von  $\eta_{QW}$  mit  $V_d$  beträgt 4 %/V, wodurch die Gate-Effektivität ein Minimum von 2 % bei  $V_d = 1.8$  V erreicht.

Die Abnahme der Hysteresebreite mit steigender Drainspannung und die Umkehrung des Vorzeichens können mit Hilfe einer unterschiedlichen Änderung des elektrostatischen Potentials bezüglich einer Verschiebung der Gatespannung in QW und den QDs erklärt werden. Zur



**Abb. 3.7:** Schematische Darstellung des Leitungsbandverlaufs im QW für eine feste Gatespannung bei unterschiedlichen Drainspannungen.

besseren Verdeutlichung dieses Mechanismus ist das Leitungsband eines QD und des QW in Abb. 3.6 schematisch dargestellt. Ein Energieniveau des QD ist geladen, sofern es unterhalb des Leitungsbands des QW liegt. Sowohl QW als auch QD werden kapazitiv über die lateral am Kanal anliegenden, elektrisch isolierten Sidegates kontrolliert. Eine Änderung der Gatespannung führt daher zu einer Änderung des elektrostatischen Potentials im QW und im QD. Für kleine Drainspannungen ist das elektrostatische Potential entlang des QW symmetrisch, d.h. die Potentialbarriere liegt mittig zwischen Drain und Source. Ferner befindet sich die Elektronen im Kanal geometrisch gesehen in der gleichen Ebene wie die Elektronen in den Sidegates. Die QDs hingegen sind durch ihre Lage im Spacer aus dieser Ebene gerückt, wodurch die geometrische Kapazität zwischen QD und Sidegate kleiner als die geometrische Kapazität zwischen Kanal und Sidegates ist. Wie in Kapitel 2.4.1 erläutert, führt eine größere geometrische Kapazität zu einer höheren Gate-Effektivität, wodurch im QDFM bei kleinen Drainspannungen  $\eta_{QW} > \eta_{QD}$  gilt. Folglich sorgt eine Änderung der Gatespannung für eine stärker ausgeprägte Verschiebung des Leitungsbands des QW als im QD und bei positivem  $V_g$  wird das elektrostatische Potential im QW ( $\propto -e\eta_{QW}V_g$ ) stärker abgesenkt als im QD ( $\propto -e\eta_{QD}V_g$ ). Ab einem geeigneten Wert von  $V_g$  ist die Verschiebung so groß, dass ein besetztes Energieniveau im QD energetisch oberhalb des Leitungsbands des QW liegt. Über einen Tunnelprozess kann das Elektronen den QD verlassen und der QD entlädt sich. Somit reduziert sich die Coulomb-Wechselwirkung zwischen den Elektronen im QD und dem QW, wodurch das Leitungsband des QW weiter abgesenkt wird und ein erneutes Besetzen des Energieniveaus im QD verhindert wird.

Negative Gatespannungen führen zu einer Erhöhung der elektrostatischen Potentiale von

QW und QD. Eine ausreichend große, negative Gatespannung hebt das Leitungsband im QW über ein unbesetztes Energieniveau im QD und ein Elektron kann über einen Tunnelprozess in den QD gelangen. Der QD lädt und sorgt durch eine erhöhte Coulomb-Wechselwirkung zwischen den Elektronen im QD und dem QW für eine Anhebung des Leitungsbands im QW. Durch die Coulomb-Blockade bildet sich eine Energielücke zwischen besetzten und unbesetzten Energieniveaus aus, wobei dieser energetische Abstand so groß ist, dass das Laden des QD selbstlimitiert ist. Somit kann für eine gegebene Gatespannung nur ein Elektron in den QD gelangen, was bereits in Kapitel 2.4.2 erläutert wurde.

Mit steigender Drainspannung verschiebt sich die Lage der Potentialbarriere im QW in Richtung des Sourcekontakts, wodurch sich der effektive Abstand zwischen Sidegate und Potentialbarriere vergrößert. Um diesen Zusammenhang zu verdeutlichen, ist der Leitungsbandverlauf im QW in Abb. 3.7 schematisch dargestellt. Für eine feste Gatespannung  $V_g = V_t$  hat sich bei  $V_d = 0$  eine symmetrische Potentialbarriere im QW ausgebildet. Hierbei ist die Barrierenhöhe  $\phi_b$  durch den Aufbau, die Herstellung und das Design des QW gegeben. Wird die Drainspannung erhöht, so verringert sich die effektive Barrierenhöhe im QW und das Barrierenmaximum verschiebt sich in Richtung des Sourcekontakts. Um die Verschiebung des Barrierenmaximums zu beschreiben, wird eine symmetrische Potentialbarriere angenommen, die ein Maximum bei  $x = 0$ , d.h. in der Mitte des QW, besitzt. Auf Grund des Designs des QW wird für die Potentialbarriere ein stetig differenzierbarer Verlauf des Barrierenpotentials vorausgesetzt. Eine einfache Funktion die diese Voraussetzungen erfüllt, d.h. sich somit zur Beschreibung der Potentialbarriere eignet, ist:

$$\phi_b = -a_1 x^2 + a_0. \quad (3.1)$$

Hierbei charakterisiert  $a_1$  die Krümmung und  $a_0$  die absolute Höhe der Barriere. Für einen QW der Länge  $L$  gilt an den Kontakten bei  $x = -L/2$  bzw.  $x = L/2$ , dass  $\phi_b$  gleich dem elektrochemischen Potential  $\mu_d$  von Drain bzw.  $\mu_s$  von Source sein muss. Für  $V_d = V_s = 0$  folgt:

$$a_0 = a_1 \frac{L^2}{4} + \mu_s. \quad (3.2)$$

Für  $V_s = 0$  ergibt sich die Abnahme der Barrierenhöhe direkt durch die angelegte Drainspannung. Die damit zusammenhängende Leitungsbandverbiegung ist  $-eV_d$ , wodurch  $\phi_b$  eine von  $V_d$  und  $x$  abhängige Komponente erhält. Dieser dynamische und von  $V_d$  abhängige Verlauf kann in erster Näherung durch

$$\phi_{b,dyn} = -\frac{x e V_d}{L} - e \frac{V_d}{2} \quad (3.3)$$

beschrieben werden. Mit Gleichung 3.1 bis 3.3 ergibt sich für den Verlauf der Potentialbarriere:

$$\phi_\Sigma = \phi_b + \phi_{b,dyn}. \quad (3.4)$$

Um die Lage des Barrierenmaximums  $x_{max}$  in Abhängigkeit der Drainspannung zu ermitteln, wird  $\partial\phi_\Sigma/\partial x = 0$  zu

$$x_{max} = -\frac{eV_d}{2a_1 L} \quad (3.5)$$

bestimmt. Anhand dieser Gleichung wird klar, dass sich die Position des Barrierenmaximums, wie in Abb. 3.7 schematisch dargestellt, mit steigender Drainspannung in Richtung des Sourcekontakts verschiebt. Diese Verschiebung nimmt mit sinkender Länge des QW zu, was dem in Gleichung 2.6 diskutierten Drain-Induced-Barrier Lowering entspricht. Wie bei konventionellen MOSFETs verschiebt sich auch im QW das Barrierenmaximum. Der Unterschied besteht allerdings darin, dass sich im QW mit der Verschiebung von  $x_{max}$  die kapazitive Kopplung zwischen Gate und Potentialbarriere ändert. Grund hierfür ist das Design des QW und der zugehörigen Ätzgräben. Sowohl dem QW als auch den Ätzgräben liegt ein parabolischer Verlauf zu Grunde und der minimale Gateabstand  $d_0$  befindet sich bei  $x = 0$ . In Richtung der Kontakte nimmt der Gateabstand  $d$  zu und kann über

$$d = (k_1 - k_0)x^2 + d_0 \quad (3.6)$$

beschrieben werden. Hierbei entspricht der Faktor  $(k_1 - k_0)$  dem Unterschied im Design zwischen Gate und QW und kennzeichnet die Krümmung des parabolischen Verlaufs. Somit tritt mit steigender Drainspannung eine dynamische Erhöhung des Gateabstands auf, wodurch sich für großes  $V_d$  die kapazitive Kopplung zwischen Gate und QW verringert. Für eine Kapazität  $C = \epsilon_0 \epsilon A / d$  zwischen Gate und QW, mit der Elektrodenfläche  $A$ , dem Elektrodenabstand  $d$ , der absoluten und relativen Dielektrizitätskonstante  $\epsilon_0$  bzw.  $\epsilon$ , ergibt sich mit der Quantenkapazität  $C_Q$  und gemäß Gleichung 2.39:

$$\eta = \frac{\epsilon_0 \epsilon A}{\epsilon_0 \epsilon A + C_Q \left( d_0 + \frac{k_1 - k_0}{4a_1^2 L^2} e^2 V_d^2 \right)}. \quad (3.7)$$

Die Gate-Effektivität des QW ist eine Funktion der angelegten Drainspannung und nimmt mit steigendem  $V_d$  ab. Die Gate-Effektivität der QDs ändert sich nicht durch die Drainspannung, da die QDs im Spacer lokalisiert sind und deren Position unabhängig von der Drainspannung ist. Mit steigendem  $V_d$  nimmt  $\eta_{QW}$  ab, während  $\eta_{QD}$  konstant bleibt. Dadurch reduziert sich die, durch eine angelegte Gatespannung hervorgerufene, Verschiebung des Leitungsbands im QW und die Energiedifferenz  $-e\eta_{QW}V_g + e\eta_{QD}V_g$  sinkt. Für eine kritische Drainspannung ist  $\eta_{QW} = \eta_{QD}$ , was dazu führt, dass sich die elektrostatischen Potentiale in QW und QD parallel verschieben. Es ist also nicht mehr möglich die Energieniveaus des QD in Relation zum QW zu ändern, d.h. sowohl ein Entladen als auch ein Laden wird verhindert. Eine weitere Erhöhung der Drainspannung führt zu  $\eta_{QW} < \eta_{QD}$ , wodurch der oben beschriebene Lade- bzw. Entladezyklus invertiert wird und der QD für positive Gatespannungen läd und für negatives  $V_g$  entläd.

Um den Zusammenhang zwischen Schwellspannungshysterese und Drainspannung beschreiben zu können, wird der QDFM mit Hilfe des in Abb. 3.5b gezeigten, kapazitiven Netzwerks modelliert. Hierbei kontrolliert die Gatespannung über die Kapazitäten  $C_1$  und  $C_3$  sowohl das elektrostatische Potential in einem QD als auch im QW. Die Kapazitäten  $C_2$  und  $C_4$  kennzeichnen den kapazitiven Einfluss des QD bzw. Drainreservoirs auf die Potentialbarriere im QW. Die Spannung  $V_s$  entspricht dem Spannungsabfall über der Quantenkapazität  $C_5$  des QW und ist gleich der Differenz zwischen elektrochemischem und elektrostatischem Potential [70, 109,

110]. Die Lösung des kapazitiven Netzwerks liefert:

$$V_s = \frac{-neC_2 + (C_1 + C_2)C_4V_d + \frac{1}{2} \left[ \sum_{j=1}^3 \sum_{k=1}^3 (C_jC_k - \frac{1}{3}C_j^2) \right] V_g}{C_2^2 - (C_1 + C_2) \sum_{i=2}^5 C_i}, \quad (3.8)$$

mit der Elementarladung  $e$  und der Anzahl der Elektronen  $n$  auf dem QD. Für  $V_s = 0$  ist das elektrochemische gleich dem elektrostatischen Potential des QW und somit befindet sich keine Elektronen im Kanal. Folglich ist die Schwellspannung  $V_t$ :

$$V_t = \frac{1}{\frac{1}{2} \sum_{j=1}^3 \sum_{k=1}^3 (C_jC_k - \frac{1}{3}C_j^2)} [neC_2 - V_d(C_1 + C_2)C_4]. \quad (3.9)$$

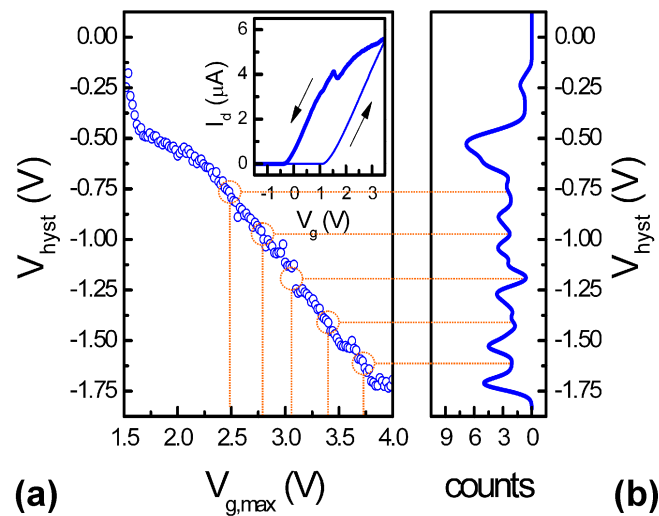
Anhand dieser Gleichung ist ersichtlich, dass  $V_t$  sowohl von der Anzahl der Elektronen auf dem QD als auch von der Drainspannung abhängt. Um das Laden bzw. Entladen des QD über Tunnelprozesse zu beschreiben, ist es notwendig, den - wie in Kapitel 2.3.2 diskutiert - Spannungsabfall über der Tunnelbarriere zu ermitteln. Für das Laden bzw. Entladen des QD dient die 10 nm dicke  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ -Spacerschicht zwischen 2DEG und QD als Tunnelbarriere, wodurch in diesem Fall  $n$  durch

$$n = \frac{eV_2}{E_c} \quad (3.10)$$

gegeben ist [37, 111].  $E_c$  ist die Energiedifferenz zwischen zwei aufeinanderfolgenden Energieniveaus im QD und  $V_2$  der Spannungsabfall über der Kapazität  $C_2$ .  $V_2$  kann über einen kapazitiven Spannungsteiler als Funktion der Gatespannung ausgedrückt werden. Unter Berücksichtigung der Definition der Gate-Effektivität gilt  $V_2 = (\eta_{QD} - \eta_{QW})V_g$ . Die Modellierung mit Gleichungen 3.9 und 3.10 liefert die in Abb. 3.4b gezeigten Verläufe für  $V_{t,up}$ ,  $V_{t,down}$  und  $V_{hyst}$ . Hierfür wurden die Kapazitäten  $C_1 = 1$  aF,  $C_2 = 3.5$  aF,  $C_3 = 4.5$  aF und  $C_4 = 1$  aF verwendet. Der energetische Abstand der Energieniveaus im QD kann näherungsweise als konstant angenommen werden und beträgt für die Struktur  $E_c = 30$  meV [57]. Mit Hilfe der im kleinen Teilbild von Abb. 3.5a gezeigten linearen Näherung, wurde die Abhängigkeit von  $\eta_{QW}$  von der Drainspannung approximiert, wobei  $\eta_{QD}$  als konstant angenommen wurde und den Wert von  $\eta_{QW}$  bei  $V_d = 0.9$  V hat. Mit der Dichte der QDs im Spacer folgt, dass sich 3 bis 4 QDs im Bereich des Kanals befinden und als Floating Gate dienen. Die Modellierung zeigt, dass sich der Ladezustand pro QD, innerhalb eines Lade- bzw. Entladezyklus, um bis zu 10 Elektronen ändern kann.

Bei der bisherigen Betrachtung der Speichereigenschaften des QDFM wurde der Gatespannungsbereich konstant gehalten und in jeder Messung sowohl die minimale als auch maximale Gatespannung angelegt. Das linke Teilbild von Abb. 3.8 zeigt die sich ergebende Hysteresebreite in Abhängigkeit der maximalen, angelegten Gatespannung  $V_{g,max}$ . Für diese Messserie wurde eine Drainspannung von  $V_d = 1.5$  V an den QDFM angelegt und die minimale Gatespannung betrug  $-3.1$  V. Zur Verdeutlichung des Lademechanismus zeigt das kleine Teilbild die Transferkennlinie des QDFM. Für  $V_{g,max} < 1.5$  V tritt keine Schwellspannungshysteresis auf. Mit steigendem, oberen Umkehrpunkt von  $V_g$  nimmt  $V_{hyst}$  kontinuierlich zu, wobei die mittlere Steigung der Hysteresebreite bei  $-0.6$  V/V liegt. Bei den kritischen Werten  $V_{g,max} = 2.42$ ,





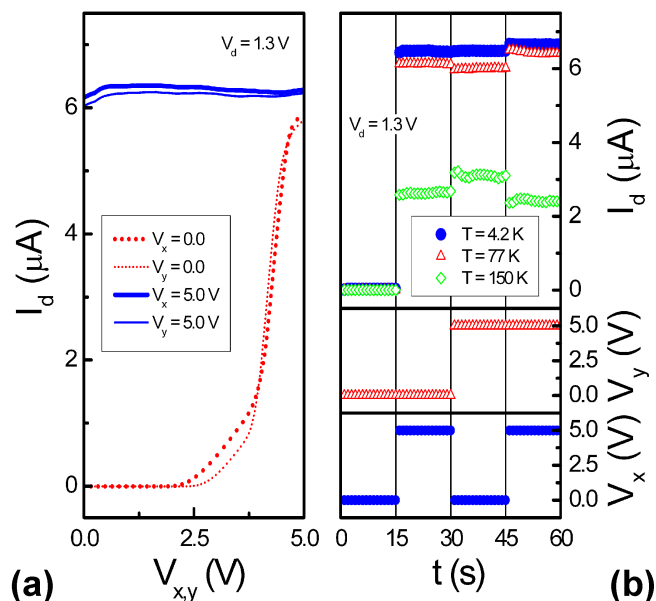
**Abb. 3.8:** (a) Hysteresebreite aufgetragen über der maximalen Gatespannung. Kleines Bild: Transferkennlinie des QDFM für eine Drainspannung von 1.5 V. (b) Häufigkeitsverteilung der Hysteresebreite im Bereich der maximalen Gatespannung von 1.5 V bis 4.0 V.

2.76, 2.96, 3.08 und 3.64 V treten Sprünge im Verlauf von  $V_{hyst}$  auf. Das rechte Teilbild von Abb. 3.8 zeigt eine Häufigkeitsverteilung von  $V_{hyst}$ , wobei mehrere Minima bei den Werten  $V_{hyst} = -0.8, -1.0, -1.2, -1.4$  und  $-1.6$  V erkennbar sind.

Die Vergrößerung der Hysteresebreite mit steigendem  $V_{g,max}$  verdeutlicht die Abhängigkeit des Ladezustands der QDs von der maximalen Gatespannung. Für größere  $V_{g,max}$  erhöht sich die Energiedifferenz  $-e\eta_{QW}V_g + e\eta_{QD}V_g$  und mehr Elektronen können auf die QDs tunneln. Die Minima in der Häufigkeitsverteilung zeigen, dass es bestimmte Hysteresebreiten gibt, die seltener auftreten. Grund hierfür ist, dass bevor diese Hysteresebreiten erreicht werden, ein Laden der QDs einsetzt und somit ein Sprung hin zu größeren  $V_{hyst}$  erfolgt. Das Ausbleiben bestimmter Bereiche von  $V_{hyst}$  wird daher dem Laden der QDs zugeschrieben.

### 3.1.4 Spannungsaktiviertes Speicherelement auf der Basis eines Quantendraht-Transistors

Die spannungsgesteuerte Hysteresebreite in einem QDFM bietet nun die Möglichkeit, das Laden und Entladen des Floating Gates gezielt zu aktivieren und zu deaktivieren. Dadurch ergibt sich ein Bauelement, das sowohl als FET ohne Speichereigenschaft als auch als Speicherelement betrieben werden kann. Die Besonderheit ist hierbei, dass beide Funktionen in einem Bauelement integriert sind und elektrisch zwischen den Operationsmodi umgeschaltet werden kann. Solche Multi-Funktions-Bauelemente sind insbesondere für technische Anwendungen interessant, da mit einem Bauelement mehrere, verschiedenartige Probleme gelöst werden können. An einem QWT ohne QDs konnte bereits eine NAND-Funktionalität nachgewiesen werden

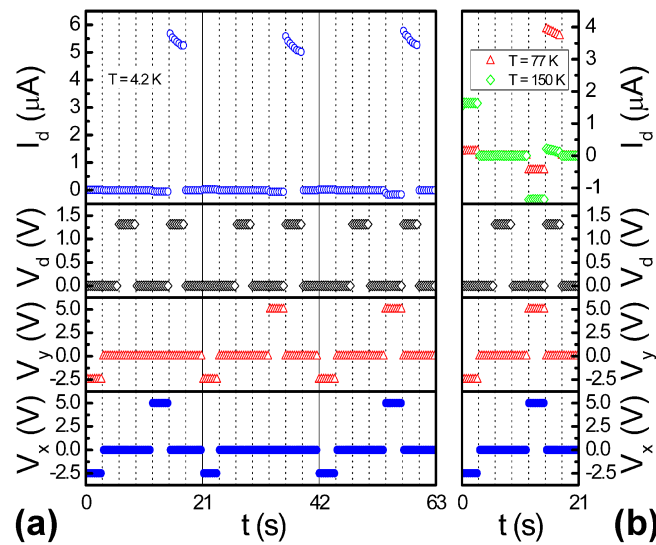


**Abb. 3.9:** (a) Transienten des Drainstroms des QDFM bei einer festen Drainspannung von 1.3 V. (b) Drainstrom des QDFM für alle möglichen, logischen Eingangskombinationen bei verschiedenen Temperaturen.

[74], wobei die beiden Sidegates als eigenständige Anschlüsse, also Eingangsterminals, dienen. Die Frage ist nun, ob dies auch bei den hier untersuchten QDFMs möglich ist und ob mit Hilfe der QDs das Ergebnis der logischen Operation gespeichert werden kann.

Als logisches Bauelement wurde hier das OR-Gatter gewählt, wobei sich die Untersuchung auf die OR-Funktionalität im Drainstrom beschränkt. Das Einbringen einer Last zwischen Spannungsquelle und Drainkontakt liefert einen funktionellen NOR-Zusammenhang in der Ausgangsspannung. Basierend auf der in Abb. 3.1a gezeigten modulationsdotierten GaAs/AlGaAs Heterostruktur und mit Hilfe von Elektronenstrahlolithographie und nasschemischem Ätzen wurde ein QDFM mit einem 70 nm breiten Kanal hergestellt. Die geätzten Gräben, die die Sidegates vom leitfähigen Kanal isolieren, waren 90 nm tief und 140 nm breit. Auf Grund der leicht unterschiedlichen Verteilung der selbstorganisierten QDs ist die kritische Drainspannung, bei der die Unterdrückung der Schwellspannungshysterese auftritt, in diesem QDFM hin zu höheren Drainspannungen verschoben und beträgt 1.3 V.

Abb. 3.9a zeigt die Transienten der Strom-Spannung-Kennlinie des QDFM für unterschiedliche Kombinationen der Eingangsspannungen  $V_x$  und  $V_y$  an den Sidegates bei  $T = 4.2$  K. Für die kritische Drainspannung  $V_d = 1.3$  V ist klar erkennbar, dass nur für die Eingangskombination  $V_x = V_y = 0.0$  ein Minimum im Drainstrom erreicht wird. Sobald ein oder beide Eingangsspannungen gleich 5.0 V sind, werden Drainströme von bis zu 6.5  $\mu\text{A}$  beobachtet. Der Drainstrom im QDFM verhält sich somit gemäß der Logik eines OR-Gatters. Abb. 3.9b zeigt eine vergleichbare Messung der logischen OR-Funktion bei den Temperaturen  $T = 4.2, 77$  und



**Abb. 3.10:** (a) + (b) Drainstrom des QDFM für alle möglichen, logischen Eingangskombinationen bei verschiedenen Temperaturen und in Abhängigkeit der Drainspannung.

150 K. Im unteren Teilbild sind die angelegten Eingangsspannungen dargestellt und das obere Teilbild zeigt die resultierenden Drainströme. Auch hier ist die logische OR-Funktionalität klar erkennbar, wobei der Abstand der logischen Niveaus mit zunehmender Temperatur abnimmt. Unabhängig davon zeigt sich bei keiner Temperatur eine Schwellspannungshysterese.

Bei Drainspannungen kleiner als 1.3 V tritt sowohl eine Schwellspannungshysterese als auch die logische OR-Funktion auf. Wird  $V_d$  während einer logischen Operation verringert, kann deren Ergebnis gespeichert werden. Abb. 3.10a zeigt den Drainstrom bei  $T = 4.2$  K für verschiedene Kombinationen der Eingangsspannungen und simultaner Änderung der Drainspannung. Das Experiment beginnt mit  $V_d = 0.0$ , wodurch der QDFM als Speicherelement betrieben wird. Durch einen kurzen, negativen Spannungspuls  $V_x = V_y = -2.5$  V werden die QDs geladen. Unabhängig von der Drainspannung ist der QDFM für  $V_x = V_y = 0.0$  geschlossen, was der Logik eines OR-Gatters entspricht. Wird nun eine oder beide Eingangsspannungen auf 5.0 V erhöht und zeitgleich die Drainspannung auf 0.0 gehalten, zeigt sich, dass das Ergebnis der logischen OR-Operation in den QDs gespeichert wird. Dies ist leicht überprüfbar, indem bei der Eingangskombination  $V_x = V_y = 0.0$  die Drainspannung auf 1.3 V gesetzt wird und nun ein stark positiver Drainstrom auftritt. Da bei  $V_d = 0.0$  ein Laden und Entladen der QDs stattfinden kann, ergibt sich ein positiver Drainstrom durch ein Entladen der QDs. Das rechte Teilbild von Abb. 3.10 zeigt eine vergleichbare Messung der Speichereigenschaften bei  $T = 77$  und 150 K. Hierbei ist zu beachten, dass, trotz der auftretenden Leckströme bei höheren Temperaturen, ein Anwachsen des Drainstroms nach gezieltem Entladen auch noch bei  $T = 150$  K zu erkennen ist. Damit bleibt die Funktion als logisches Speicher-OR erhalten.

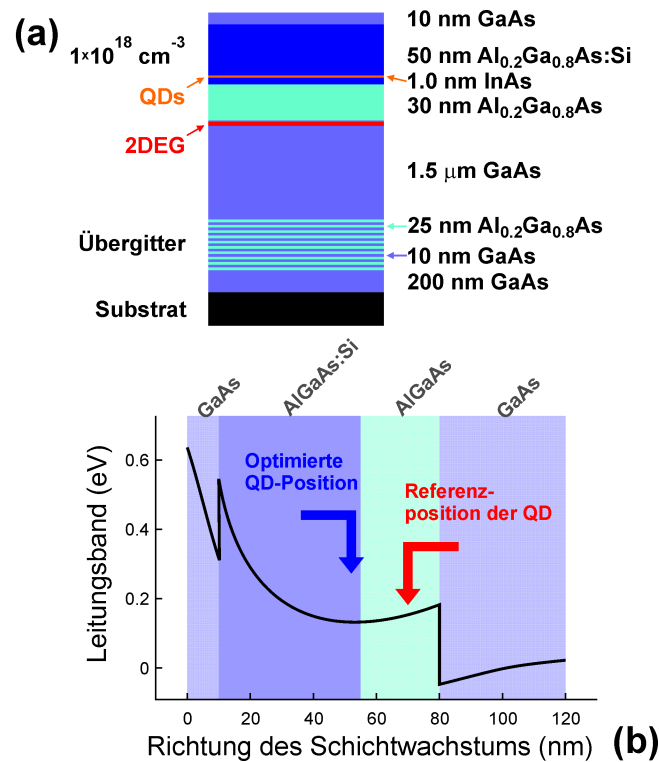
### 3.1.5 Quantendraht-Transistor als Speicherelement bei Raumtemperatur

Wie bereits ausführlich diskutiert wurde, können QDs in der Nähe eines Transportkanals dessen Schwellspannung kontrollieren, wodurch ein Speicherelement realisiert werden kann [98, 112]. Diese Floating-Gate-Eigenschaft der QDs wurden in vielen Bereichen der Bauelemententwicklung untersucht und für eine große Vielfalt von Halbleitermaterialien und verschiedenen Herstellungsparametern erfolgreich nachgewiesen [73, 93, 101, 103]. Das Laden und Entladen der QDs beruht meist auf dem Tunneln von Elektronen durch eine dünne Isolationsschicht, die die QDs vom Kanal trennt. Zur Kontrolle dieser Tunnelprozesse dient ein elektrisches Feld, wobei ebenso ein optisch-induziertes Tunneln realisiert werden kann [94].

Für modulationsdotierte GaAs/AlGaAs Heterostrukturen besteht die Herausforderung darin, dass die Haltezeit von einzelnen InGaAs- oder InAs-QDs mit steigender Temperatur stark abnimmt. Der Grund hierfür ist die Zunahme der thermischen Energie der Elektronen, wodurch sich die Wahrscheinlichkeit für eine unkontrollierte Entladung der QDs erhöht. Eine Möglichkeit dies zu umgehen, ist die Verwendung von Viel-Schicht-Strukturen, bei denen mehrere, über- oder hintereinander liegende QD-Schichten als Floating Gate dienen. Durch die elektrische Struktur der QDs ist es Elektronen nur dann erlaubt die eine QD-Schicht zu verlassen, wenn in der benachbarten QD-Schicht ein oder mehrere geeignete Energieniveaus unbesetzt sind. Durch diesen kaskadierten Entladeprozess konnten Speicherelemente realisiert werden, die Haltezeiten von mehreren Minuten bis Stunden bei Raumtemperatur haben [97, 113].

Zielsetzung war es nun, eine Methode zu entwickeln, um ein Speicherelement mit einer einzigen QD-Schicht zu erhalten, das bei Raumtemperatur funktioniert. Hierfür wurde der bekannte Schichtaufbau der modulationsdotierten GaAs/AlGaAs Heterostruktur abgeändert und Abb. 3.11a zeigt eine schematische Darstellung des modifizierten Schichtaufbaus. Auf einem halbisolierenden GaAs-Substrat wurde eine 200 nm dicke Bufferschicht aus GaAs abgeschieden. Hierauf folgt ein Übergitter, das aus einer alternierenden Folge von 25 nm dicken  $\text{Al}_{0,2}\text{Ga}_{0,8}\text{As}$ - und 10 nm dicken GaAs-Schichten besteht. Nach dem Wachstum von weiteren  $1,5 \mu\text{m}$  GaAs wird ein 30 nm dicker  $\text{Al}_{0,2}\text{Ga}_{0,8}\text{As}$ -Spacer aufgebracht. Die QDs werden in die nachfolgende, siliziumdotierte  $\text{Al}_{0,2}\text{Ga}_{0,8}\text{As}$ -Schicht integriert, wobei die Siliziumkonzentration  $1 \times 10^{18} \text{ cm}^{-3}$  beträgt. Für die Herstellung der QDs wird, beim Wachstum der Dotierschicht, 1,0 nm InAs nach den ersten 10 nm der  $\text{Al}_{0,2}\text{Ga}_{0,8}\text{As}$ -Schicht eingebracht. Auf Grund des Stranski-Krastanov-Wachstums bilden sich selbstorganisierte QDs mit einem Durchmesser von 35 nm und einer Konzentration von  $4 \times 10^{10} \text{ cm}^{-2}$  aus. Die Heterostruktur wird durch ein 10 nm dickes GaAs-Cap abgeschlossen.

Am Heterostrukturübergang bildet sich als Folge der Bandverbiegung ein 2DEG aus, das sich etwa 90 nm unterhalb der Oberfläche befindet. Die QDs sind durch den  $\text{Al}_{0,2}\text{Ga}_{0,8}\text{As}$ -Spacer und die unteren 10 nm der Dotierschicht vom 2DEG getrennt. Um für das 2DEG als Floating Gate dienen zu können, muss der Abstand zwischen QDs und 2DEG kleiner als die Abschirmlänge  $\lambda$  sein. Bei hohen Temperaturen, d.h. Raumtemperatur, und schwach dotierten Halbleitern, kann  $\lambda$  über die sogenannte Debye-Hückel-Abschirmlänge berechnet werden.



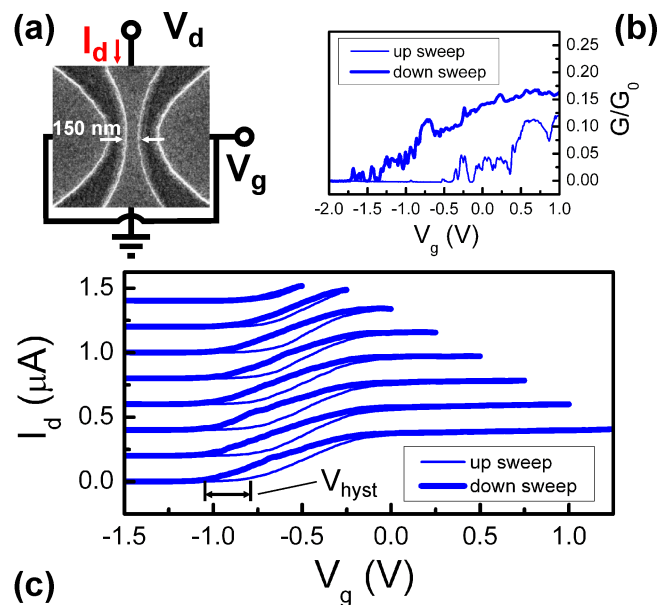
**Abb. 3.11:** (a) Schematische Darstellung des Schichtaufbaus, der der Heterostruktur des untersuchten QDFM zu Grunde liegt. (b) Schematische Darstellung des Leitungsbandverlaufs in der verwendeten Heterostruktur. Zum besseren Vergleich ist die Position der QDs in dieser Struktur und in einer Referenzstruktur eingezeichnet.

Hierbei gilt

$$\lambda = \sqrt{\frac{\varepsilon_0 \varepsilon k_B T}{e^2 n_0}}, \quad (3.11)$$

mit der Ladungsträger- bzw. Dotierkonzentration  $n_0$  [114]. Die zu Grunde liegende Dotierkonzentration entspricht in diesem Fall der Konzentration der QDs und wird aus dieser abgeschätzt. Die Konzentration der QDs in der zweidimensionalen QD-Schicht beträgt  $n_{0,2D} = 4 \times 10^{14} \text{ m}^{-2}$  und kann näherungsweise über  $n_0 \approx \sqrt{n_{0,2D}^3}$  zu  $8 \times 10^{21} \text{ m}^{-3}$  in eine dreidimensionale Konzentration übergeführt werden. Für die InAs-QDs ergibt sich bei Raumtemperatur somit eine Abschirmlänge von  $\lambda = 52 \text{ nm}$ . Damit ist der Abstand zwischen QDs und 2DEG geringer als die Abschirmlänge im Materialsystem, wodurch die QDs als Floating Gate auf das 2DEG wirken können. Erhöht sich nun der Ladezustand der QDs, wird auf Grund der Coulomb-Wechselwirkung das 2DEG unterhalb der QDs verarmt und die Leitfähigkeit verringert sich.

Für die Floating-Gate-Eigenschaft der QDs ist eine Positionierung dieser in der Nähe des 2DEG unerlässlich. Abb. 3.11b zeigt schematisch das Leitungsband einer modulationsdotierten GaAs/AlGaAs Heterostruktur entlang der Wachstumsachse. Beginnend an der Oberfläche der Heterostruktur fällt das Leitungsband ab und erreicht ein lokales Minimum in der Mitte der bei-



**Abb. 3.12:** (a) SEM-Aufnahme eines QDFM eingefügt in den elektrischen Messaufbau mit den angelegten Spannungen und gemessenen Strömen. (b) Leitwert des QDFM in Einheiten des Leitwertquants bei einer Drainspannung von 1 mV. (c) Drainstrom für verschiedene, maximale Gatespannungen bei einer Drainspannung von 50 mV.

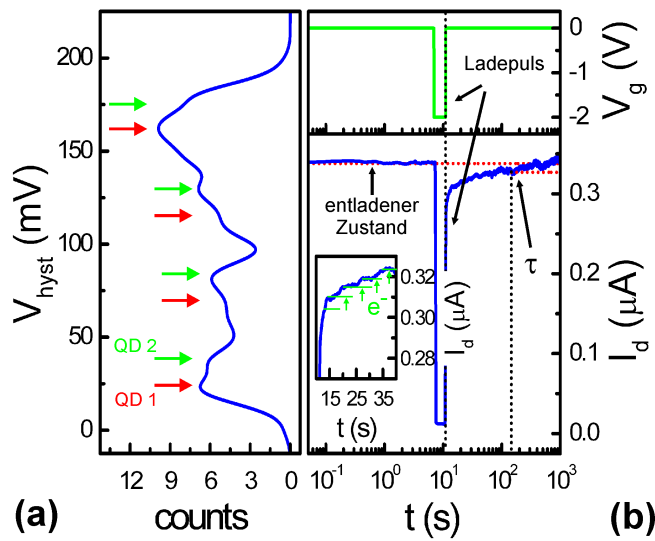
den  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ -Schichten. Durch die Bandverbiegung bildet sich ein 2DEG im GaAs, in der Nähe des Heteroübergangs, aus. Durch Referenzmessungen konnte gezeigt werden, dass QDs, die mittig in der Spacerschicht eingebettet sind, ihre Floating-Gate-Eigenschaften bei Temperaturen von 200 K verlieren [115]. Limitierend hierbei ist das unkontrollierte Entladen der QDs auf Grund der hohen thermischen Energie der Elektronen. Um diesen Einfluss zu reduzieren, wurden bei dieser Heterostruktur die QDs in dem lokalen Minimum des Leitungsbands integriert, d.h. in der mit Silizium dotierten  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ -Schicht. Somit vergrößert sich die Dicke der Isolationsschicht zwischen den QDs und dem 2DEG und die Energie des Grundzustands wird relativ zur Energie des 2DEG verringert. Beide Effekte tragen zu einer besseren Kontrolle der Lade- und Entladevorgänge bei. Die Floating-Gate-Eigenschaft der QDs bleibt bei höheren Temperaturen erhalten und die Speichereigenschaften der QDs verbessern sich. Zum Vergleich ist die Position der QDs bei der Referenzprobe bzw. -messung und die hier verwendete QD-Position in Abb. 3.11b vermerkt.

Der QDFM mit den planaren Sidegates [89, 90, 91] wurde durch Elektronenstrahlolithographie definiert und mit Hilfe von nasschemischem Ätzen strukturiert. Die Sidegates und der QW wurden durch 100 nm tiefe und 200 nm breite Ätzgräben voneinander isoliert. Abb. 3.12a zeigt eine SEM-Aufnahme des QDFM zusammen mit dem verwendeten Messaufbau. Für die Messung wurde der eine Anschluss des QDFM (Source) geerdet, die Gatespannung  $V_g$  an die beiden Sidegates und eine Drainspannung  $V_d$  an den anderen Anschluss des QDFM (Drain) angelegt.

Abb. 3.12b zeigt den Leitwert  $G$  des QDFM in Einheiten des Leitwertquants  $G_0$  bei einer kleinen Drainspannung  $V_d = 1$  mV. Vor dem Start der Messung wurde der QDFM in flüssiges Helium ( $T = 4.2$  K) eingebracht. Wird die Gatespannung hochgefahren, ist der Kanal bis  $V_g < -0.5$  V geschlossen und zeigt beim Öffnen Spitzen im Leitwert für höhere Gatespannungen. Für  $V_g > 0.5$  V erreicht der Kanal seine maximale Leitfähigkeit von  $0.12 \times G_0$ . Beim Herunterfahren der Gatespannung verringert sich die Leitfähigkeit und auch hier können, in der Nähe der Schwellspannung des QWT, klare Spitzen im Leitwert beobachtet werden. Die Schwellspannung hat sich allerdings bis auf  $-1.75$  V verringert, wodurch sich eine Schwellspannungshysterese von mehr als  $1.25$  V für einen kompletten Gatespannungszyklus ergibt. Wie man klar erkennt, unterscheiden sich die Spitzen im Leitwert zwischen dem Hoch- und Herunterfahren von  $V_g$  signifikant

Ursache für die Spitzen im Leitwert des QDFM ist das Ausbilden von gekoppelten Elektroneninseln im Transportkanal, auf Grund der Coulomb-Wechselwirkung zwischen den QDs und dem 2DEG. Bei kleinen Drainspannungen ist der Elektronentransport im 2DEG auf Einzel-Elektronen-Tunneln zwischen den Elektroneninseln beschränkt. Die Coulomb-Blockade in den Elektroneninseln selbst sorgt dann für Quantisierungseffekte im Stromtransport, wodurch Coulomb-Blockade-Oszillationen im Leitwert beobachtet werden können. Die laterale Ausdehnung und die Kopplung der Elektroneninseln hängt stark vom Ladezustand der QDs ab, wodurch sich Position, Größe und Struktur der Coulomb-Blockade-Oszillationen verändern. Somit sind die unterschiedlichen Coulomb-Blockade-Oszillationen innerhalb eines Gatespannungszyklus ein Indiz für eine Änderung des Ladezustands der QDs. Positive Gatespannungen führen zu einem gezielten Entladen der QDs und die beobachtete Schwellspannungshysterese wird mit einem durch die Gatespannung kontrollierten Ladezustand der QDs assoziiert. Folglich können die QDs als Floating Gate für das 2DEG dienen und die Schwellspannung des QDFM effizient kontrollieren. Der genaue Ablauf des Lade- und Entladezyklus wurde bereits im vorangegangenen Abschnitt anhand von Abb. 3.6 erläutert.

Bei Raumtemperatur ist die thermische Energie der Elektronen größer als die Coulomb-Ladeenergie. Für die gekoppelten Elektroneninseln im 2DEG ist somit ein Auflösen einzelner Lade- bzw. Entladevorgänge nicht mehr möglich. Der Einfluss von Einzel-Elektronen-Tunneln wird unterdrückt und keine Coulomb-Blockade-Oszillationen können nachgewiesen werden. In Abb. 3.12c ist der Drainstrom  $I_d$  in Abhängigkeit der Gatespannung bei Raumtemperatur dargestellt. Hierbei betrug die Drainspannung  $50$  mV und die maximale Gatespannung  $V_{g,max}$  erhöht sich von  $-0.5$  V in  $0.25$  V-Schritten auf  $1.25$  V. Aus Gründen der Übersichtlichkeit wurden die Strom-Spannung-Kennlinien für  $V_{g,max} = 1.0, 0.75, 0.5, 0.25, 0.0, -0.25$  und  $-0.5$  V um  $0.2, 0.4, 0.6, 0.8, 1.0, 1.2$  bzw.  $1.4 \mu\text{A}$  verschoben. Unabhängig von  $V_{g,max}$  ist der QDFM beim Hochfahren der Gatespannung für  $V_g < -0.85$  V geschlossen. Gatespannungen größer als diese Schwellspannung führen zu einem Öffnen des Kanals, wodurch ein Stromfluss einsetzt. Mit steigendem  $V_g$  erhöht sich der Drainstrom kontinuierlich und ein Maximalwert von  $0.35 \mu\text{A}$  wird für  $V_g > 0.0$  erreicht. Beim Herunterfahren der Gatespannung verschiebt sich die Schwellspannung mit steigendem  $V_{g,max}$  hin zu negativeren Werten und für  $V_{g,max} > 0.25$  V treten Schwellspannungshysteresen von mehr als  $200$  mV auf.



**Abb. 3.13:** (a) Häufigkeitsverteilung der Hysteresebreite im Bereich der maximalen Gatespannung von  $-0.75\text{ V}$  bis  $0.0$ . (b) Zeitlicher Verlauf des Drainstroms nach einem  $5\text{-s}$ -Ladepuls. Kleines Bild: Drainstrom für den Zeitraum bis  $40\text{ s}$  nach dem Ladepuls.

Maximale Gatespannungen kleiner als  $-0.75\text{ V}$  führen zu keiner Schwellspannungshysterese  $V_{hyst}$ . Mit steigendem  $V_{g,max}$  nimmt  $V_{hyst}$  annähernd linear zu und bereits bei maximalen Gatespannungen größer als  $0.0$  treten Hysteresebreiten in der Größenordnung von maximal  $200\text{ mV}$  auf. Für  $V_{g,max} > 0.0$  geht  $V_{hyst}$  in eine Sättigung über und die durchschnittliche Hysteresebreite für  $V_{g,max} > 0.0$  beträgt  $190\text{ mV}$ . Das linke Teilbild von Abb. 3.13 zeigt eine Häufigkeitsanalyse der Schwellspannungshysterese für einen Bereich von  $-0.75\text{ V} < V_{g,max} < 0.0$ . Die Häufigkeitsverteilung zeigt mehrere Doppel-Spitzen-Strukturen, deren Mittelpunkte bei den Werten  $V_{hyst} = 30, 76, 122$  und  $169\text{ mV}$  liegen. Mit Hilfe von roten und grünen Pfeilen sind die Positionen der einzelnen Spitzen in den Doppel-Spitzen-Strukturen gekennzeichnet, wobei der Abstand zwischen zwei Pfeilen der gleichen Farbe  $46\text{ mV}$  beträgt. Die Mittelpunkte der Doppel-Spitzen-Strukturen liegen äquidistant verteilt und zwischen den beiden Spitzen innerhalb einer solchen Struktur kann ein Abstand von etwa  $16\text{ mV}$  ermittelt werden.

Auf Grund der äquidistanten Verteilung der Doppel-Spitzen-Struktur und den beobachteten, lokalen Minima in der Häufigkeitsverteilung, liegt die Schlussfolgerung nahe, dass nur zwei QDs als Floating Gate dienen. Die QDs werden durch positive Gatespannungen entladen und die maximale Ladungsänderung sind  $4$  Elektronen pro QD. Anhand der Häufigkeitsverteilung kann eine durchschnittliche Änderung der Schwellspannung von  $20\text{ mV}$  pro Elektron ermittelt werden.

Eine kritische Kenngröße für die Beurteilung von Speicherelementen bei Raumtemperatur ist die Haltezeit der gespeicherten Information. Um die Haltezeit zu ermitteln, wurde der QDFM vor der Messung gezielt entladen. Danach wurde ein Ladepuls von  $V_g = -2.0\text{ V}$  für eine Zeit  $t = 5\text{ s}$  an die Sidegates angelegt und der Verlauf des Drainstroms über der Zeit aufgenommen.



Im oberen Teilbild von Abb. 3.13b ist der angelegte Ladepuls zu sehen und im unteren Teilbild die Systemreaktion über der Zeit aufgetragen. Nach Abklingen des Ladepulses fällt der Drainstrom exponentiell, d.h. vom geladenen Zustand in den entladenen Zustand der QDs, ab. Die Zeitkonstante hierbei beträgt  $\tau = 155$  s und die QDs sind nach etwa 370 s wieder entladen. Das kleine Teilbild in Abb. 3.13b zeigt den Drainstrom für den Zeitraum  $t \leq 40$  s. In diesem Bereich sind klare Sprünge mit einer durchschnittlichen Höhe von 6 nA im Drainstrom erkennbar.

Die Sprünge im Drainstrom kennzeichnen Einzel-Elektronen-Entladungen der QDs [116, 117, 118] und unterstützen die anhand der Häufigkeitsanalyse diskutierte Floating-Gate-Eigenschaft der QDs. Auch hier sind nur wenige Sprünge erkennbar (4 Sprünge für  $t \leq 40$  s), was auf eine geringe Anzahl von QDs schließen lässt und mit den Beobachtungen bei der Häufigkeitsanalyse der Hysteresebreite in Einklang steht.

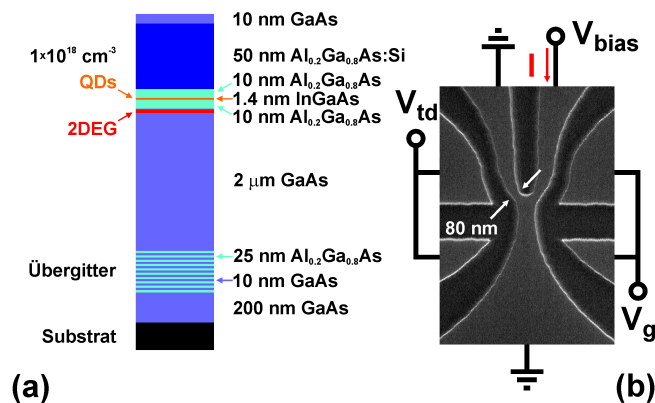
## 3.2 Y-Schalter als Speicherelement

Im Gegensatz zum QDFM, dessen Basis ein QWT ist, besteht der YBS aus zwei kapazitiv gekoppelten Transportkanälen [71, 75, 76, 77, 78, 79, 80, 81, 82, 83, 119]. Durch geeignete externe Beschaltung ist es möglich, die Schalteigenschaften mit Hilfe des selbst-induzierten Schaltens stark zu verbessern und komplexe logische Gatter und Grundbausteine für elektrische Schaltung und für die Verarbeitung von Signalen zu realisieren [29, 78, 83, 85, 120, 121, 122, 123, 124, 125]. Im Bereich der Speicherelemente bietet der YBS durch die beiden Äste die Möglichkeit, in jedem Ast Information zu speichern und somit die Informationsdichte des Bauelements zu verdoppeln. Derartige Multi-Terminal-Strukturen würden bei einer stetig wachsenden Integrationsdichte für eine effektivere Nutzung der zur Verfügung stehenden Fläche führen, was in aktuellen Mikrochips verstärkt forciert wird [9]. Unter Berücksichtigung der kapazitiven Kopplung zwischen den Ästen wäre beispielsweise eine simultane Speicherung von Bit und Anti-Bit möglich, was weiterführende Verarbeitungsprozesse wie nachgeschaltete Inverterstufen ersetzen könnte.

### 3.2.1 Aufbau und Design eines Y-Schalters

Die in dieser Arbeit untersuchten YBSs basieren auf einer modulationsdotierten GaAs/AlGaAs Heterostruktur mit selbstorganisierten InGaAs QDs. Das linke Teilbild von Abb. 3.14 zeigt eine schematische Darstellung des Schichtaufbaus, der bereits in Abschnitt 3.1.1 vorgestellt wurde.

Die Strukturierung der einzelnen Bauelemente erfolgt mittels hochauflösende Elektronenstrahlolithographie und anschließendem nasschemischen Ätzen. Die sich hierbei ergebenden YBSs wurden durch Ätzgräben von den in der Ebene liegenden Sidegates elektrisch isoliert. Mit den für die YBSs verwendeten Belichtungsvorlagen werden Strukturen erzeugt, die im Bereich weniger 10 nm liegen. Da sich die einzelnen YBSs in der lateralen Ausdehnung unterscheiden können, wird in jedem einzelnen Abschnitt gesondert auf die wichtigen Kenngrößen hingewiesen.

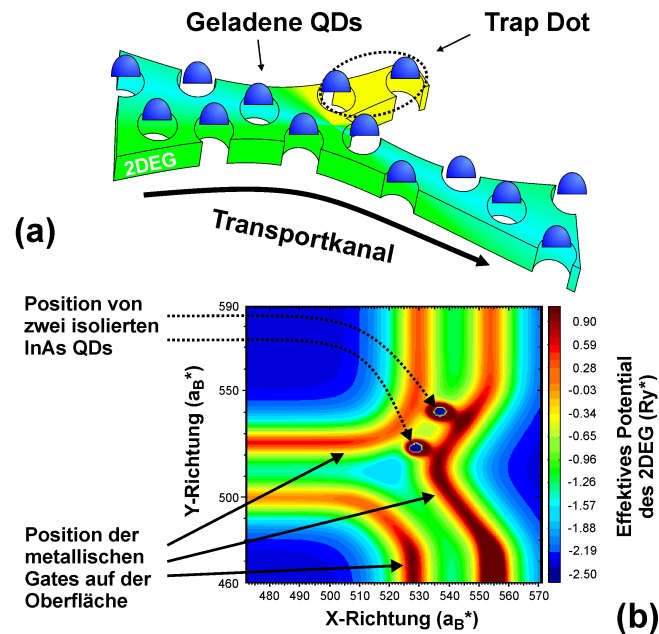


**Abb. 3.14:** (a) Schematische Darstellung des Schichtaufbaus, der der Heterostruktur der untersuchten YBSs zu Grunde liegt. (b) SEM-Aufnahme eines YBS eingefügt in den elektrischen Messaufbau mit den angelegten Spannungen und gemessenen Strömen zur Messung der Coulomb-Gleichrichtung.

### 3.2.2 Coulomb-Gleichrichtung im Y-Schalter

In der Entwicklung der Mikroelektronik haben nichtlineare Bauelemente eine dominierende Position eingenommen. Hierzu zählen in erster Linie Bauelemente, deren Eigenschaften extern kontrolliert werden können wie beispielsweise Transistoren. Eine weitere wichtige Gruppe von elektronischen Bauelementen sind Gleichrichter. Obwohl bei diesen keine Anschlüsse vorliegen, die eine Steuerung der Bauteileigenschaften ermöglichen, stellt die Gleichrichtung für viele technische Anwendungen eine Grundlage dar. Zu den Anwendungen zählen nicht nur die bekannten Gleichrichterschaltungen für Wechselspannung, sondern auch Spannungsstabilisatoren, z.B. Zenerdioden, als Referenzspannungsquellen oder photoempfindlich Sensoren.

In klassischen Systemen wird Gleichrichtung über eine bauteilinerente Asymmetrie erreicht. Dies kann beispielsweise durch unterschiedliche Dotierkonzentrationen, verschiedenartige Dotierungen in einem PN-Übergang oder durch einen Metall-Halbleiter-Übergang realisiert werden. Mit abnehmender räumlicher Ausdehnung der Bauelemente, also beim Übergang zu nanostrukturierten, elektronischen Bauelementen, können Strukturgrößen erreicht werden, die kleiner sind als die mittlere freie Weglänge der Elektronen. Somit ist der Ladungsträgertransport hauptsächlich von Reflexionen der Elektronenwellen an den Strukturgrenzen oder der Streuung von Elektronen an Streuzentren bestimmt und Elektronen können das Bauelement ballistisch durchqueren [81, 126, 127, 128, 129, 130, 131]. Hier reicht allein die ballistische Bewegung der Elektronen aus, um den Effekt der Gleichrichtung zu erreichen, wie in Kapitel 4.3.2 demonstriert wird. Die so erzeugten Bauelemente überzeugen auf der einen Seite durch einen äußerst stabilen Effekt. Auf der anderen Seite beeinflusst die Form und Ausdehnung des aktiven Bereichs der Struktur deren Eigenschaften maßgeblich [26, 27, 126, 129, 132], wodurch sich sehr hohe Anforderungen an die Herstellungsverfahren ergeben. Des Weiteren reichen einzelne Defekte im aktiven Bereich aus, um die Bauteileigenschaften nachhaltig so stark zu ändern, dass die Charakteristika der Bauelemente nicht mehr vergleichbar sind. Im nachfolgenden Abschnitt



**Abb. 3.15:** (a) Schematische Darstellung des 2DEG unterhalb der QDs. Durch die Coulomb-Wechselwirkung werden die Elektronen im 2DEG verdrängt und es bilden sich Anti-QDs. Hierdurch wird eine Elektroneninsel im 2DEG selbst geformt (rechts oben) (b) Numerische Simulation der Beeinflussung des 2DEG durch geladene QDs und der Bildung eines Anti-QD in einem der beiden Äste. Die Darstellung ist in Einheiten des effektiven Bohr'schen Atomradius  $a_B^*$  und der effektiven Rydberg-Konstanten  $Ry^*$  skaliert.

wird nun untersucht, ob im Bereich der nanostrukturierten Bauelemente ähnlich robuste und einfach herzustellende Gleichrichter existieren, die nicht auf ballistischem Transport beruhen.

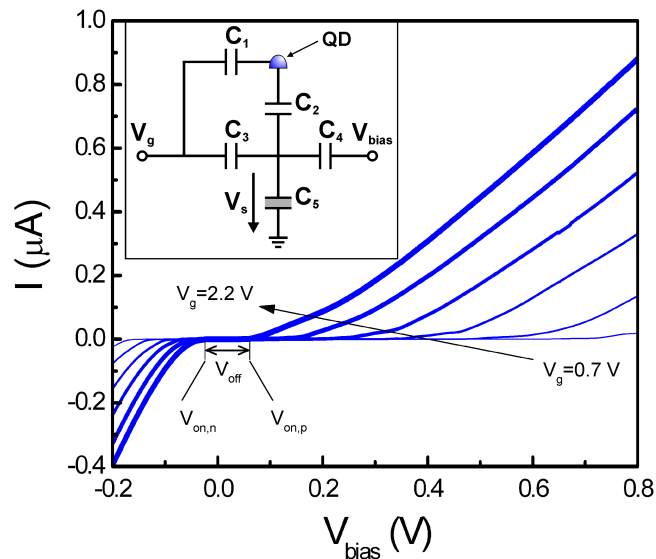
Ein Ansatz wäre, die klassisch vorgestellten Konzepte weiterzuführen und somit Dioden oder dioden-ähnliche Strukturen mit Ausdehnungen auf der Skala weniger Nanometer zu fertigen. Für derart kleine Strukturgrößen werden Technologien zur Herstellung benötigt, die eine extrem hohe räumliche Auflösung bereitstellen. Ein alternativer Lösungsansatz ist das Aufbrechen der Inversionssymmetrie des Bauelements. In solchen Systemen, die in der Literatur häufig als Ratchets bezeichnet werden, ergibt sich die Gleichrichtung aus der Systemeigenschaft, Energie, z.B. aus der thermisch-induzierten Eigenbewegung der Teilchen, zu ziehen, was beispielsweise durch ein Sägezahn-Potential des Leitungsbands erreicht werden kann [133, 134, 135, 136]. Eine gestörte Inversionssymmetrie ergibt sich aber auch, wenn eine einzelne Komponente, wie z.B. ein QD, asymmetrisch an einen Transportkanal gekoppelt ist.

Der hier beschriebene Coulomb-Gleichrichter besteht aus einem YBS mit QDs. Die vier elektrisch isolierten Sidegates sind durch 200 nm breite und 110 nm weite Ätzgräben von der leitfähigen Struktur getrennt. Der circa 200 nm breite Stamm teilt sich im Verzweigungspunkt symmetrisch in zwei 80 nm breite Äste auf. Abb. 3.14b zeigt eine SEM-Aufnahme der Struktur, zusammen mit dem für die Messung verwendeten Messaufbau. Für die Messung wurden der

Stamm und der linke Ast geerdet und die Vorwärtsspannung  $V_{bias}$  an den rechten Ast angelegt. Die Gatespannungen  $V_{td}$  und  $V_g$  lagen an den Sidegates zur Linken bzw. zur Rechten des YBS an. Bevor die Messung startete, wurde der YBS geerdet, d.h.  $V_{bias} = 0.0$ , und ein Spannungspuls  $V_{td} = V_g = -3.5$  V für 5 s angelegt, um die QDs im Spacer kontrolliert zu laden. Durch die Coulomb-Wechselwirkung zwischen den geladenen QDs und den Elektronen im 2DEG wird das 2DEG auf der Größenordnung der Abschirmlänge lokal, d.h. unterhalb der QDs, verarmt. Transportmessungen an diesen und vergleichbaren Strukturen haben gezeigt, dass sich dadurch Elektroneninseln im 2DEG ausbilden [115], was in Abb. 3.15a schematisch dargestellt ist. Zwischen den Elektronenreservoirs von Stamm und rechtem Ast entsteht ein Transportkanal für Elektronen, während sich im linken Ast eine Elektroneninsel nahe dem Verzweigungspunkt ausbildet. Diese Elektroneninsel (trap dot: td) ist mittels einer Potentialbarriere im Leitungsband vom Transportkanal getrennt.

Um diese Modellvorstellung von der Entstehung der Elektroneninsel im linken Ast zu überprüfen, wurde - in Kooperation mit *M. Stopa* - das effektive Potential im 2DEG eines YBS mit zwei QDs in der Spacer-Schicht oberhalb eines Asts simuliert. Für die Berechnungen lag eine elektronische Struktur zu Grunde, die mit der gewachsenen modulationsdotierten GaAs/AlGaAs Heterostruktur übereinstimmt. Die Berechnungen basieren auf der Lösung der Schrödingergleichung entlang der Wachstumsrichtung (Z-Richtung). Um eine quasi-adiabatische Lösung zu erhalten, wurde für jeden Punkt in der X-Y-Ebene die Thomas-Fermi-Näherung verwendet. Es wurde vorausgesetzt, dass sich die geladenen QDs in der Spacer-Schicht und somit zwischen der dotierten  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ -Schicht und dem 2DEG befinden. Zur lateralen Definition der Struktur wurden metallische Gates auf der Oberfläche der Heterostruktur angenommen. Man kann leicht erkennen, dass das effektive Potential in der Mitte der Struktur niedrig ist und in Richtung der Bauteilgrenzen ansteigt. Direkt unterhalb der beiden QDs wird das Leitungsband stark angehoben und es bilden sich zwei Anti-QDs aus. Die Elektronen, die sich somit zwischen diesen beiden Anti-QDs befinden sind sowohl vom Verzweigungspunkt des YBS als auch vom Elektronenreservoir des linken Asts elektrisch isoliert. Bedingt durch die Coulomb-Wechselwirkung zwischen den Ladungen in den QDs und dem 2DEG und der räumlichen Einschränkung des Asts selbst, bildet sich im linken Ast eine elektrisch isolierte Elektroneninsel aus.

Für die Messung wurde die Gatespannung  $V_{td}$  so gewählt, dass für einen Vorwärtsspannungsbereich von  $-1.0 \text{ V} < V_{bias} < 1.0 \text{ V}$  kein Stromfluss durch den linken Ast auftritt. Um dies für die Gatespannungen  $0.5 \text{ V} < V_g < 2.25 \text{ V}$  zu erreichen, wurde  $V_{td}$  während der gesamten Messung auf  $-1.0 \text{ V}$  gehalten. Durch diesen Wert von  $V_{td}$  wurde erreicht, dass kein Ladungsträgeraustausch zwischen dem Verzweigungspunkt und dem Ladungsträgerreservoir des linken Asts auftritt. Ladungsträger, die in diesen Ast verschoben werden, bleiben in diesem gespeichert und können auf Grund der kapazitiven Kopplung zwischen den Ästen die Leitfähigkeit des Transportkanals kontrollieren. Da ein Verschieben von Ladungsträgern in den linken Ast nur für positive Vorwärtsspannungen möglich ist, ist die Inversionssymmetrie des Systems gebrochen. Der linke Ast verhält sich somit wie ein QD, der asymmetrisch an einen Transportkanal gekoppelt ist und diesen über die Coulomb-Wechselwirkung kontrollieren kann. Ein



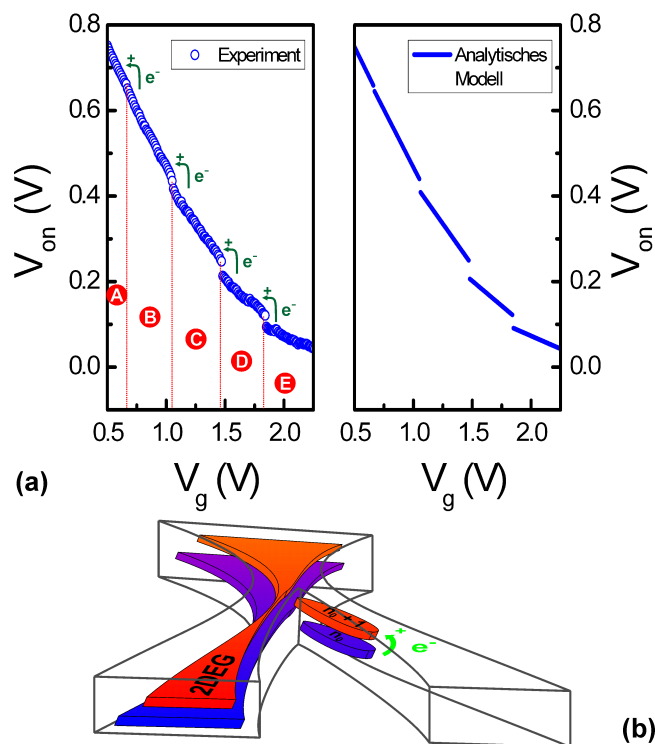
**Abb. 3.16:** Strom-Spannung-Kennlinie des YBS für verschiedene Gatespannungen. Kleines Bild: Kapazitives Ersatzschaltbild zur Modellierung der Einsatzspannung.

solcher Coulomb-Gleichrichter wurde von *M. Stopa* theoretisch vorhergesagt und beschrieben [137]. Um die Coulomb-Gleichrichtung im YBS zu bestimmen, wurde die Vorwärtsspannung von  $-0.2\text{ V}$  bis  $0.8\text{ V}$  bei konstantem  $V_g$  gefahren und der Strom im Transportkanal gemessen. Der Einfluss von  $V_g$  wurde bestimmt, indem diese Messung für verschiedene Gatespannungen wiederholt wurde, wobei sich  $V_g$  von  $0.5\text{ V}$  in Schritten von  $10\text{ mV}$  bis auf  $2.25\text{ V}$  erhöht. Die Messungen wurden bei einer Temperatur von  $4.2\text{ K}$  in flüssige Helium durchgeführt.

Abb. 3.16 zeigt die Strom-Spannung-Kennlinie des YBS für die Gatespannungen  $V_g = 0.7, 1.0, 1.3, 1.6, 1.9$  und  $2.2\text{ V}$ . Für kleine Vorwärtsspannungen ist  $I$  bei  $V_g = 2.2\text{ V}$  zunächst negativ und nimmt mit steigendem  $V_{bias}$  zu. Für Vorwärtsspannungen im Bereich von  $-15\text{ mV} < V_{bias} < 50\text{ mV}$  ist der Kanal geschlossen. Ein Stromfluss setzt erst bei  $V_{bias} > 50\text{ mV}$  wieder ein und für ein weiteres Ansteigen von  $V_{bias}$  werden Ströme bis zu  $0.9\text{ }\mu\text{A}$  beobachtet. Die Spannung  $V_{off}$  kennzeichnet den Vorwärtsspannungsbereich, in dem der Kanal geschlossen ist. Sie ist definiert als die Differenz der Einsatzspannungen  $V_{on,p}$  und  $V_{on,n}$  des Transportkanals für positive bzw. negative Vorwärtsspannungen.

Die Einsatzspannung  $V_{on,p}$  ist in Abb. 3.17a in Abhängigkeit der Gatespannung  $V_g$  gezeigt. Mit steigender Gatespannung verringert sich  $V_{on,p}$  von  $0.75\text{ V}$  auf  $0.05\text{ V}$ , wobei Stufen im Verlauf der Einsatzspannung bei den Gatespannungen  $V_g = 0.68, 1.06, 1.46$  und  $1.84\text{ V}$  auftreten. Der Abstand der Stufen ist nahezu äquidistant und zwischen diesen Stufen nimmt  $V_{on,p}$  linear ab. Hierbei verringert sich die Steigung der Kurve mit steigender Gatespannung.

Die Ergebnisse zeigen, dass der YBS als Coulomb-Gleichrichter wirkt und die Verschiebung von Ladungsträgern in den linken Ast über die Vorwärtsspannung gesteuert werden kann. Bedingt durch die aufgebrochene Inversionssymmetrie können Elektronen nur für positive Vor-



**Abb. 3.17:** (a) Vergleich zwischen der experimentell ermittelten Einsatzspannung und der sich durch die Modellierung ergebenden Einsatzspannung in Abhängigkeit der Gatespannung. (b) Schematische Darstellung der räumlichen Verteilung des QD im Ast mit zunehmender Gatespannung und Ladung.

wärtsspannungen vom Stamm entweder in den linken oder den rechten Ast gelangen. Durch die kapazitive Wechselwirkung zwischen den Elektronen im linken Ast und dem Verzweigungspunkt bzw. dem rechten Ast erhöht sich das elektrostatische Potential im Transportkanal mit steigender Ladung im linken Ast. Die sich somit bildende Potentialbarriere hängt direkt von der Anzahl der Elektronen im linken Ast ab und beeinflusst die Leitfähigkeit des Transportkanals. Daher ist die Gleichrichtung umso stärker ausgeprägt, je mehr Elektronen sich im linken Ast befinden. Während sich bei Coulomb-Gleichrichtern, die aus gekoppelten Elektroneninseln aufgebaut sind, immer nur ein Elektron im Verzweigungsbereich, d.h. entweder im Kanal oder in der asymmetrisch angekoppelten Elektroneninsel, befinden kann [137, 138], ist ein Betrieb des YBS mit vielen Elektronen im Verzweigungsbereich möglich. Damit erhöht sich das Nutzsignal erheblich und die Asymmetrie der Strom-Spannung-Kennlinie nimmt stark zu. Ein weiterer Effekt ist, dass die Elektroneninsel im linken Ast im Gleichgewichtszustand geladen sein kann. Dies führt dazu, dass sich selbst bei sehr kleinen Vorwärtsspannungen, bei denen sich das System vollständig symmetrisch verhalten sollte, da die Energie der Elektronen noch nicht ausreicht, um in den linken Ast zu gelangen, Einsatzspannungen ungleich 0 ergeben.

Um die Coulomb-Gleichrichtung im YBS zu beschreiben, wurde das kapazitive Ersatzschaltbild (kleines Bild in Abb. 3.16) der Struktur analytisch beschrieben. Die Gatespannung

kontrolliert sowohl den linken Ast als auch den Verzweigungspunkt. Dies kann über die beiden Kapazitäten  $C_1$  für den linken Ast und  $C_3$  für den Verzweigungspunkt modelliert werden. Die Kapazitäten  $C_2$  und  $C_4$  beschreiben die kapazitive Kopplung zwischen dem Verzweigungspunkt und dem linken Ast bzw. dem Elektronenreservoir des rechten Asts. Über die Spannung  $V_s$ , die dem Spannungsabfall an der Quantenkapazität  $C_5$  des Transportkanals entspricht, ist die Leitfähigkeit des Transportkanals definiert.  $V_s$  entspricht hierbei der Differenz zwischen dem elektrochemischen und dem elektrostatischen Potential im Transportkanal und kennzeichnet beispielsweise die Schwellspannung oder die Gate-Effektivität des Transportkanals [70, 109, 110]. Die Lösung des kapazitiven Ersatzschaltbilds liefert:

$$\left[ C_2^2 - (C_1 + C_2) \sum_{i=2}^5 C_i \right] V_s = -neC_2 + (C_1 + C_2)C_4V_{bias} + \frac{1}{2} \left[ \sum_{j=1}^3 \sum_{k=1}^3 \left( C_j C_k - \frac{1}{3} C_j^2 \right) \right] V_g, \quad (3.12)$$

mit der Elementarladung  $e$  und der Anzahl der Ladungen  $n$  im linken Ast. Eine Betrachtung von  $V_s$  liefert, dass für  $V_s = 0$  keine Ladungsträger im Transportkanal sind.  $V_s = 0$  kennzeichnet daher den Bereich unterhalb der Einsatzspannung, in dem kein Strom fließt. Im Bereich positiver Vorwärtsspannungen ist die Einsatzspannung  $V_{on,p}$  gegeben durch:

$$V_{on,p} = - \frac{\frac{1}{2} \left[ \sum_{j=1}^3 \sum_{k=1}^3 \left( C_j C_k - \frac{1}{3} C_j^2 \right) \right] V_g - neC_2}{(C_1 + C_2)C_4}. \quad (3.13)$$

Anhand dieser Gleichung ist klar ersichtlich, dass die Einsatzspannung direkt von der Gatespannung abhängt und sich mit steigendem  $V_g$  zu kleineren Vorwärtsspannungen hin verschiebt. Die Anzahl der Ladungen im linken Ast sorgt dafür, dass für höheres  $n$  der Elektronentransport durch den Kanal blockiert wird. Somit verschiebt sich die Einsatzspannung mit steigendem  $n$  zu positiven Vorwärtsspannungen. Für ein einzelnes Elektron, das der Elektroneninsel im linken Ast hinzugefügt wird, erhöht sich die Einsatzspannung  $V_{on,p}$  um

$$\Delta V_{on,p} = \frac{eC_2}{(C_1 + C_2)C_4}. \quad (3.14)$$

Durch Transportmessungen an QWs der gleichen Heterostruktur wurde die Kapazität  $C_3 = 0.5$  aF bestimmt. Messungen in dem noch folgenden Abschnitt 3.2.4 werden zeigen, dass sich der kapazitive Einfluss der Sidegates auf den gegenüberliegenden Ast, auf etwa 25% des Werts zwischen Sidegate und anliegendem Ast, reduziert. Mit Hilfe dieser Beobachtung kann die Kapazität  $C_1 = C_3/4$  bestimmt werden. Durch die Steigung der Einsatzspannung-Gatespannung-Kennlinie zwischen zwei aufeinanderfolgenden Sprüngen können, unter Berücksichtigung der durchschnittlichen Sprunghöhe von 30 mV, die Kapazitäten  $C_2$  und  $C_4$  berechnet werden. Hierbei ergeben sich je nach Gatespannungsbereich (Bereiche A bis E sind in Abb. 3.17a eingezeichnet) unterschiedliche Werte für  $C_2$  und  $C_4$ . Der modellierte Verlauf der Einsatzspannung ist zusammen mit den experimentellen Ergebnissen in Abb. 3.17 dargestellt. Zwischen zwei Sprüngen bleibt der Ladezustand des linken Asts konstant und die Einsatzspannung verschiebt

**Tab. 3.2:** Ermittelte Werte der Kapazitäten  $C_2$  und  $C_4$  anhand der Gleichungen 3.13 und 3.14 für die unterschiedlichen Bereiche der Gatespannung.

|           | A                     | B                     | C                     | D                     | E                     |
|-----------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|
| $C_2$ (F) | $2.5 \times 10^{-20}$ | $2.7 \times 10^{-20}$ | $4.1 \times 10^{-20}$ | $9.3 \times 10^{-20}$ | $1.3 \times 10^{-18}$ |
| $C_4$ (F) | $9.2 \times 10^{-19}$ | $9.7 \times 10^{-19}$ | $1.4 \times 10^{-18}$ | $2.4 \times 10^{-18}$ | $5.1 \times 10^{-18}$ |

sich linear. Mit jedem Sprung verändert sich der Ladezustand der Elektroneninsel, was auch zu einer Änderung der kapazitiven Kopplungen im YBS führt.

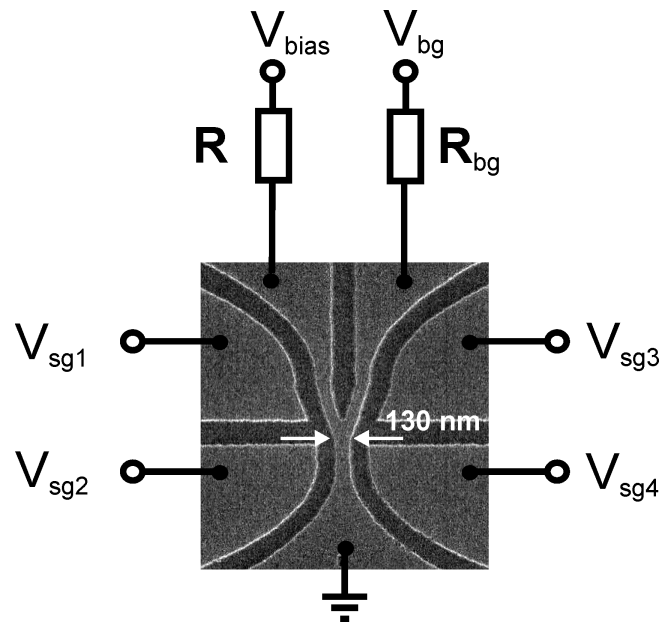
In Tabelle 3.2 sind die berechneten Werte der Kapazitäten  $C_2$  und  $C_4$  dem jeweiligen Gatespannungsbereich zugeordnet. Beide Kapazitäten wachsen mit steigender Gatespannung an und erreichen Maximalwerte in der Größenordnung von wenigen aF. Die Erhöhung von  $C_4$  entspricht einer Verschiebung der Potentialbarriere vom Verzweigungsbereich in Richtung des Elektronenreservoirs des rechten Asts.  $C_2$  hingegen charakterisiert die kapazitive Kopplung zwischen der Elektroneninsel im linken Ast und dem Transportkanal. Mit steigender Gatespannung nimmt  $C_2$  zu, wodurch auch die kapazitive Kopplung verstärkt wird. Dies spricht für eine dynamische Verringerung des Abstands zwischen dem Transportkanal und der Elektroneninsel. Höhere Gatespannungen sorgen für eine räumliche Verschiebung der Elektroneninsel in Richtung Verzweigungspunkt, was zu einer verstärkten Coulomb-Wechselwirkung zwischen den Elektronen im linken Ast und den Elektronen des Transportkanals führt. Der Einfluss einer Erhöhung der Gatespannung auf den Transportkanal und die Elektroneninsel im linken Ast ist in Abb. 3.17b schematisch dargestellt. Sowohl Transportkanal als auch Elektroneninsel werden vom positiven Sidegate beeinflusst und verlagern ihre Position. Für eine stark positive Gatespannung verlagert sich die Elektroneninsel mehr und mehr in Richtung Transportkanal, wodurch sich der Feldeffekt auf diesen verstärkt und die kapazitive Kopplung vergrößert.

### 3.2.3 Self-Gating-induziertes Speichern im Y-Schalter

In einem YBS konnte neben dem Steuern durch die Sidegates ein weiterer Schaltmechanismus, das selbst-induzierte Gaten, nachgewiesen werden. Dieses Schalten, bei dem einer der beiden Äste als steuerndes Gate genutzt wird, tritt bei hohen Vorwärtsspannungen und großen Lastwiderständen auf. Der große Vorteil dieses Schaltmechanismus ist, dass sich hierdurch die Schalteigenschaften des Bauelements um einige Größenordnungen verbessern lassen.

Als Basis für den YBS dient die modulationsdotierte Heterostruktur, die in Abb. 3.14 dargestellt ist. Auch hier liegt die Dichte der QDs im Spacer bei circa  $5 \times 10^{10} \text{ cm}^{-2}$  und der Durchmesser der QDs bei etwa 25 nm. Der YBS wurde durch Elektronenstrahlolithographie definiert und mit Hilfe von nasschemischem Ätzen strukturiert. 150 nm breite und 110 nm tiefe Ätzgräben trennen die Sidegates von der leitfähigen Struktur und sorgen somit für eine elektrische Isolation zwischen Gates und YBS. Die laterale Ausdehnung des Verzweigungspunkts im YBS beträgt nach der Strukturierung etwa 130 nm. Abb. 3.18 zeigt eine SEM-Aufnahme des

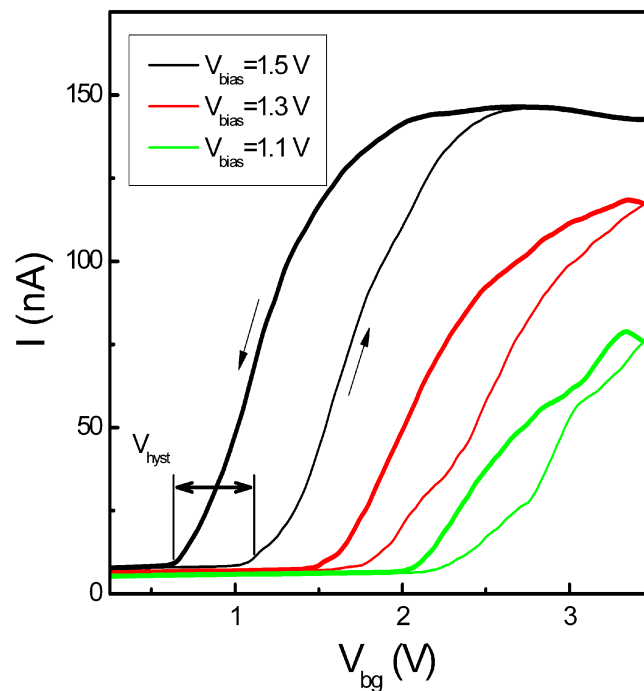




**Abb. 3.18:** SEM-Aufnahme eines YBS eingefügt in den elektrischen Messaufbau mit den angelegten Spannungen und gemessenen Strömen.

YBS zusammen mit dem elektrischen Messaufbau. Für die Messungen wurde der Stamm mit Masse verbunden. Die vier, separat ansteuerbaren Sidegates dienen zur Kontrolle der Äste und des Stamms und definieren den Arbeitspunkt der Struktur. Während der Messung wurden die folgenden Spannungen an die Sidegates angelegt und konstant gehalten:  $V_{sg1} = V_{sg2} = 2.0 \text{ V}$ ,  $V_{sg3} = -3.5 \text{ V}$  und  $V_{sg4} = -3.0 \text{ V}$ . Diese asymmetrische Beschaltung der Sidegates führt zu einer Verarmung im rechten Ast, wodurch sich eine Potentialbarriere ausbildet und den rechten Ast elektrisch vom Verzweigungspunkt isoliert. Durch die positiven Spannungen  $V_{sg1}$  und  $V_{sg2}$  werden im linken Ast Ladungsträger akkumuliert und ein leitfähiger Kanal bildet sich aus. Die Leitfähigkeit dieses Kanals kann über die Vorwärtsspannung  $V_{bias}$  beeinflusst werden. Zusätzlich zu der Vorwärtsspannung kann der Kanal durch die Spannung  $V_{bg}$ , die am rechten Ast, dem sogenannten Astgate (**branch gate: bg**), angelegt ist, gesteuert werden. Das Astgate dient als internes Gate und Stromfluss setzt im Kanal für den Fall ein, dass die Astgatespannung größer als die Schwellspannung des Kanals ist. Die Messungen selbst wurden bei  $T = 4.2 \text{ K}$  durchgeführt und die Widerstände  $R_{bg} = 100 \text{ k}\Omega$  und  $R = 1 \text{ M}\Omega$  verwendet.

Abb. 3.19 zeigt den Strom  $I$ , der durch den linken Ast fließt aufgetragen gegen die Astgatespannung  $V_{bg}$  für die Vorwärtsspannungen  $V_{bias} = 1.5, 1.3$  und  $1.1 \text{ V}$ . Die Astgatespannung wurde von  $-2.5 \text{ V}$  bis  $3.5 \text{ V}$  und wieder zurück gefahren. Für  $V_{bias} = 1.5 \text{ V}$  setzt beim Hochfahren von  $V_{bg}$  ein Strom ab einer Astgatespannung von  $1.1 \text{ V}$  ein. Der Strom steigt monoton an und sättigt mit steigendem  $V_{bg}$ . Beim Herunterfahren von  $V_{bg}$  verringert sich  $I$  kontinuierlich und der Kanal ist für  $V_{bg} < 0.68 \text{ V}$  geschlossen. Es ergibt sich zwischen dem Hoch- und Herunterfahren von  $V_{bg}$  eine Schwellspannungshysterese  $V_{hyst}$  von  $0.42 \text{ V}$ , wie in Abb. 3.19



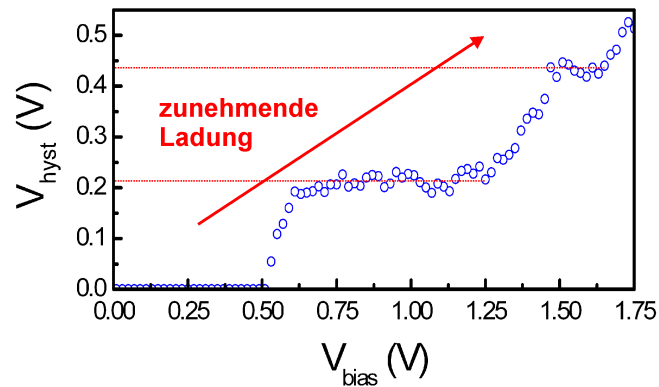
**Abb. 3.19:** Strom-Spannung-Kennlinie des YBS für verschiedene Vorwärtsspannungen.

verdeutlicht. Mit kleiner werdender Vorwärtsspannung reduziert sich der maximale Strom und die Schwellspannungen verschieben hin zu positiveren Astgatespannungen.

Abb. 3.20 zeigt die Schwellspannungshysterese in Abhängigkeit der Vorwärtsspannung. Für kleine  $V_{bias}$  bis 0.5 V ist der Kanal geschlossen und keine Hysterese kann beobachtet werden.  $V_{hyst}$  setzt sprunghaft bei  $V_{bias} > 0.6$  V ein und bleibt konstant bei  $V_{hyst} = 0.22$  V, bis die Vorwärtsspannung auf 1.2 V erhöht wird. Diese Erhöhung bewirkt ein Ansteigen von  $V_{hyst}$  auf 0.44 V. Für Vorwärtsspannungen größer als 1.5 V wird eine weitere Zunahme der Schwellspannungshysterese beobachtet und ein Maximalwert von 0.54 V wird erreicht.

Das Auftreten der Schwellspannungshysterese wird mit einem Laden und Entladen der QDs im Bereich des Verzweigungspunkts erklärt. Die QDs im Spacer dienen als Floating Gate und kontrollieren somit die Schwellspannung des Kanals. Um eine Verschiebung der Schwellspannung hin zu positiven Werten zu erreichen, ist ein Laden der QDs notwendig, was durch die Astgatespannung erreicht werden kann. Anhand der Messungen wird klar, dass die Kontrolle der QDs über  $V_{bg}$  mit steigender Vorwärtsspannung zunimmt und größere Schwellspannungshysteresen werden erreicht. Diese Beobachtung lässt die Vermutung zu, dass selbst-induziertes Schalten nicht nur die Leitfähigkeit des Kanals sondern auch den Ladezustand der QDs kontrollieren kann. Ein wichtiges Indiz hierfür ist, dass das Self-Gating mit steigender Vorwärtsspannung stärker wird und nur für größere Werte von  $V_{bias}$  auftritt [71, 85].

Durch das selbst-induzierte Schalten im YBS kann dieser als nanoelektronisches Speicherelement genutzt werden. Um zwei Speicherzustände zu unterscheiden, kann über die maximale



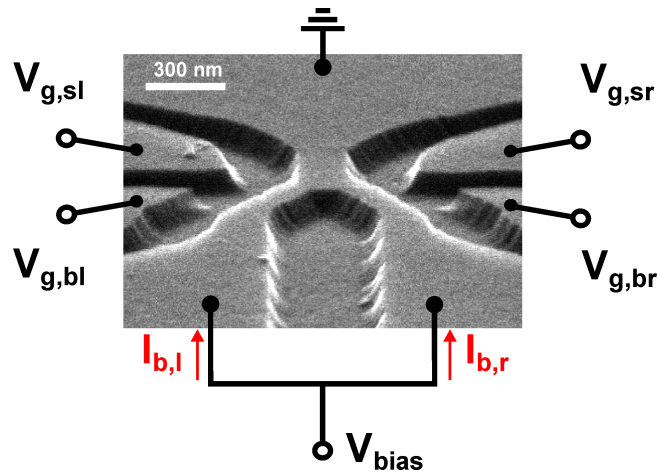
**Abb. 3.20:** Hysteresebreite in Abhängigkeit der Vorwärtsspannung. Die eingezeichneten Hysteresebreiten entsprechen unterschiedlichen Ladezuständen der QDs.

Schwellspannungshysterese von 0.54 V eine Stromänderung von annähernd 50% des Maximalstroms erzeugt werden. Durch den Betrieb bei tiefen Temperaturen sind die beobachteten Speichereffekte stabil. Bei höheren Temperaturen wird eine Abnahme der Speichereigenschaft erwartet, was zum einen mit der steigenden thermischen Energie der Elektronen zusammenhängt und somit die Wahrscheinlichkeit für ein thermisch-induziertes Entladen erhöht. Zum anderen ist das zu Grunde liegende, selbst-induzierte Schalten stark temperatur- und geometrieabhängig und nimmt mit steigender Temperatur ab. Self-Gating tritt beispielsweise bei Raumtemperatur nur in Strukturen auf, deren laterale Ausdehnung kleiner als 50 nm sind [139]. Die hierfür notwendigen Heterostrukturen verbieten allerdings die Integration einer QD-Schicht, da bei diesen kein isolierender Spacer mehr vorhanden ist.

### 3.2.4 Sidegate-kontrolliertes Speichern im Y-Schalter

Im vorangegangenen Kapitel konnte gezeigt werden, dass die Sidegates im YBS zur Definition des Arbeitspunkts genutzt werden können. Zudem ist durch das Self-Gating eine kontrollierte Änderung des Ladezustands der QDs möglich. Die gemessene Schwellspannungshysterese lag im Bereich bis 0.5 V, was verglichen mit den Hysteresebreiten in QDFM relativ gering ist. Daher stellt sich nun die Frage, welchen Einfluss die Sidegates selbst auf die Ladung der QDs haben und ob damit ähnliche Hysteresebreiten wie bei den QDFMs realisiert werden können. Ein Vorteil dieses Verfahrens wäre, dass damit ein Speicherbetrieb auch ohne große Lastwiderstände und somit bei niedrigen Vorwärtsspannungen möglich ist.

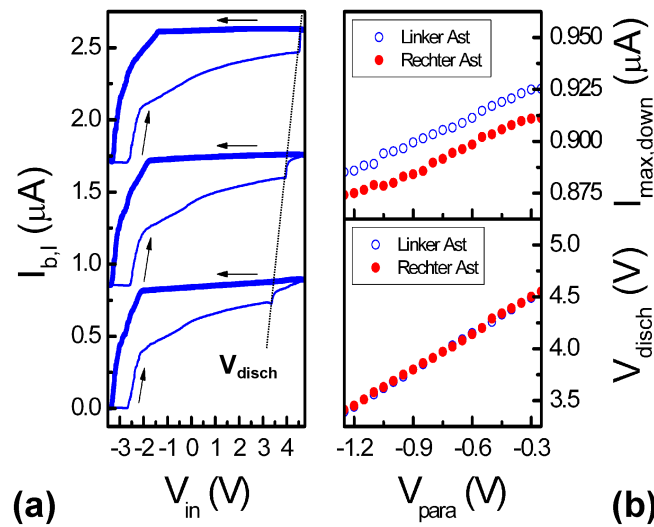
Auch hier dient die modulationsdotierte Heterostruktur aus Abb. 3.14 als Basis für den YBS. Der YBS wurde durch Elektronenstrahlolithographie definiert und mit Hilfe von nasschemischem Ätzen strukturiert, wodurch sich 250 nm breite und 110 nm tiefe Ätzgräben zwischen den Sidegates und der leitfähigen Struktur ergeben und für die elektrische Isolation sorgen. Der Stamm des YBS ist circa 200 nm breit und spaltet sich im Bereich des Verzweigungspunkts symmetrisch in zwei 80 nm breite Äste auf. Abb. 3.21 zeigt eine SEM-Aufnahme des YBS zu-



**Abb. 3.21:** SEM-Aufnahme eines YBS eingefügt in den elektrischen Messaufbau mit den angelegten Spannungen und gemessenen Strömen.

sammen mit dem elektrischen Messaufbau. Die vier, separat ansteuerbaren Sidegates dienen zur Kontrolle der Äste und des Stamms und werden variabel, d.h. in Abhängigkeit der gewünschten Funktion, beschaltet. Als Kennzeichnung der jeweiligen Gatespannungen wurden die Bezeichnungen  $V_{g,bl}$  und  $V_{g,sl}$  für die linksseitigen Sidegates und  $V_{g,br}$  und  $V_{g,sr}$  für die rechtsseitigen Sidegates gewählt. Auf jeder Seite werden die Sidegates noch bezüglich ihrer Position, also nahe dem Stamm oder nahe dem Ast unterschieden. Daher bezeichnet  $V_{g,bl}$  die Gatespannung, die an das linksseitige Sidegate nahe dem linken Ast angelegt (**branch left: bl**) wird.  $V_{g,sr}$  (**stem right: sr**) steht folglich für das rechtsseitige Sidegate nahe dem Stamm. Für die Messung wurde der Stamm geerdet und eine Vorwärtsspannung  $V_{bias} = 100$  mV an beide Äste angelegt. Die Messungen fanden in einem abgeschlossenen Heliumsystem bei  $T = 4.2$  K statt. Vor dem Start einer Messserie wurde eine Gatespannung von  $-3.5$  V an allen Sidegates für 5 s angelegt, um einen definierte Ladezustand für die Messungen zu gewährleisten.

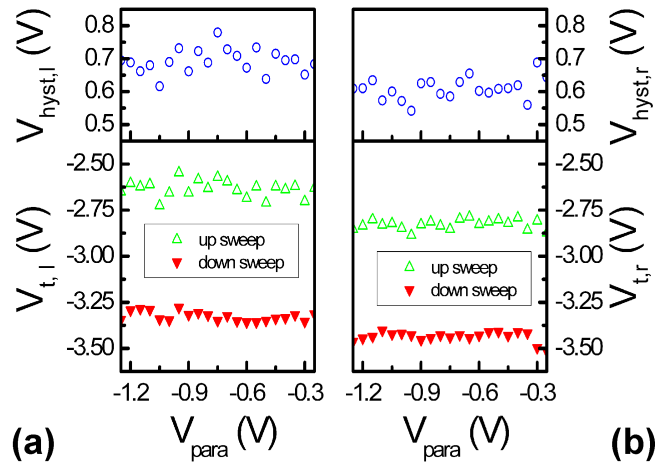
Im Gegensatz zum QDFM, bei dem das Auftreten einer Hysterese direkt mit einer Ladungsänderung der QDs nahe der Einschnürung zusammenhängt, ist dies im YBS nicht uneingeschränkt gültig. Durch die Aufteilung des Stamms in zwei kleinere Äste und die räumliche Verteilung der QDs über der gesamten Struktur kann eine Schwellspannungshysterese durch eine Ladungsänderung der QDs im Stamm, in einem der Äste oder im gesamten Bauteil hervorgerufen werden. Um ein gezieltes Laden in den Ästen zu erreichen, wurden die Sidegates der Äste als Eingänge definiert und die Eingangsspannung  $V_{in} = V_{g,bl} = V_{g,br}$  angelegt. Die Sidegates des Stamms wurden mit der Parameterspannung  $V_{para} = V_{g,sl} = V_{g,sr}$  verbunden, wobei die Parameterspannung während eines Lade- bzw. Entladezyklus konstant blieb. Das linke Teilbild von Abb. 3.22 zeigt den Verlauf des Stroms  $I_{b,l}$  im linken Ast in Abhängigkeit der Eingangsspannung für die Parameterspannungen  $V_{para} = -1.25$ ,  $-0.75$  und  $-0.25$  V. Die Kennlinien für  $V_{para} = -0.75$  und  $-0.25$  V wurden um  $0.85$  bzw.  $1.7$   $\mu$ A verschoben. Unabhängig von der Parameterspannung öffnet sich der linke Ast beim Hochfahren der Eingangsspannung für



**Abb. 3.22:** (a) Strom-Spannung-Kennlinie im linken Ast eines YBS für die Parameterspannungen  $V_{para} = V_{g,sl} = V_{g,sr} = -1.25, -0.75$  und  $-0.25$  V. Die Eingangsspannung  $V_{in} = V_{g,bl} = V_{g,br}$  liegen an den Sidegates nahe dem linken und rechten Ast an. Die Kennlinien für  $V_{para} = -0.75$  und  $-0.25$  V sind um  $0.85$  bzw.  $1.7 \mu\text{A}$  verschoben. (b) Maximaler Drainstrom beim Herunterfahren und Entladespannung in Abhängigkeit der Parameterspannung.

$V_{in} > -2.65$  V. Für  $V_{para} = -1.25$  V steigt  $I_{b,l}$  ab  $V_{in} > -2.0$  V steil an und nähert sich dann einem lokalen Maximalwert von  $0.75 \mu\text{A}$ . Bei Eingangsspannungen größer als  $3.5$  V ist ein weiterer, kurzer Stromanstieg bei  $V_{in} = V_{disch}$  erkennbar und der maximale Aststrom von  $0.9 \mu\text{A}$  setzt ein. Beim Herunterfahren der Eingangsspannung bleibt der Aststrom bis  $V_{in} = -2.0$  V nahezu konstant und fällt bei kleineren Eingangsspannungen sehr stark ab. Für  $V_{in} < -3.4$  V ist der Ast geschlossen. Mit Vergrößerung der Parameterspannung verschieben sich sowohl  $V_{disch}$  beim Hochfahren als auch der Punkt des starken Stromeinbruchs beim Herunterfahren hin zu positiven Werten. Im rechten Ast lässt sich bei gleicher Messung ein ähnliches Schaltverhalten beobachten, wobei nur leichte Abweichungen bei den Schwellspannungen und den maximalen Astströmen auftreten.

Abb. 3.22b zeigt den Verlauf von  $V_{disch}$  und den maximalen Aststrom  $I_{max,down}$  beim Herunterfahren von  $V_{in}$  in Abhängigkeit der Parameterspannung. Wie leicht zu erkennen ist, nimmt  $V_{disch}$  in beiden Ästen linear mit steigendem  $V_{para}$  zu. Ein ähnlicher Verlauf zeigt sich bei den maximalen Astströmen, wobei hier  $I_{max,down}$  im linken Ast etwa 2% größer ist als im rechten Ast. In Abb. 3.23 sind die Schwellspannungen  $V_{t,l}$  und  $V_{t,r}$  des linken bzw. rechten Asts für verschiedene Parameterspannungen dargestellt. Die Schwellspannungen liegen im Bereich von  $-2.5$  V bis  $-3.5$  V, wobei ein Vergleich der beiden Äste zeigt, dass sich der linke Ast erst bei höheren Eingangsspannungen öffnet und auch bei höherem  $V_{in}$  schließt. Die Schwellspannungshysterese im linken Ast beträgt etwa  $0.7$  V und ist damit geringfügig größer als die des rechten Asts. Die Schwellspannungen zeigen nur eine sehr geringe Abhängigkeit von  $V_{para}$  und



**Abb. 3.23:** (a) + (b) Schwellspannungen beim Hoch- und Herunterfahren von  $V_{in}$  des linken bzw. rechten Asts in Abhängigkeit der Parameterspannung  $V_{para} = V_{g,sl} = V_{g,sr}$ .

verschoben sich um einige 10 mV hin zu negativen Werten, wobei die zugehörige Hysterese in beiden Ästen konstant ist.

Anhand der Strom-Spannung-Kennlinie kann das Schalten bzw. die Gate-Effektivität des YBS bestimmt werden. Ausgangspunkt hierfür ist die Beurteilung der Transferkennlinie im Unterschwellspannungsregime. Abb. 3.24a zeigt  $I_{b,l}$  über die Eingangsspannung aufgetragen für  $V_{para} = -1.15$  V in linearer (blau) und halblogarithmischer (rot) Darstellung. Durch eine lineare Extrapolation wird die Schwellspannung  $V_t = -2.5$  V ermittelt und mit Hilfe der halblogarithmischen Darstellung von  $I_{b,l}$  der Subthreshold Swing  $S$  extrahiert. Dieser beträgt für den vorliegenden Strom-Spannung-Verlauf etwa 8 mV/dec, was  $\eta = \phi_t \ln 10 / S = 12.5\%$  entspricht. Das kleine Teilbild von Abb. 3.24a zeigt die Gate-Effektivität in Abhängigkeit der Parameterspannung für den linken und rechten Ast. Für kleine Werte von  $V_{para}$  liegt  $\eta$  im Bereich von 14% im linken und 6% im rechten Ast. Mit steigender Parameterspannung verringert sich die Gate-Effektivität in beiden Ästen mit einer Steigung von  $-5.5\%/V$  im linken Ast und  $-4.5\%/V$  im rechten Ast.

Die Schwellspannungshysterese in beiden Ästen ist unabhängig von der Parameterspannung, was ein Indiz dafür darstellt, dass die gemessene Hysterese vollständig durch QDs in den Ästen verursacht wird. Da die Wirkung der Parameterspannung lokal begrenzt ist und sich daher auf den Bereich des Stamms beschränkt, ändert sich der Ladezustand der QDs in den Ästen mit steigendem  $V_{para}$  nicht. Der abrupte Anstieg des Aststroms bei der Spannung  $V_{disch}$  kann durch ein Entladen der QDs in den Ästen erklärt werden. Folglich kennzeichnet  $V_{disch}$  die Entladespannung der QDs, die sich mit zunehmendem  $V_{para}$  hin zu positiven Werten verschiebt. Anhand des in Abb. 3.6 dargestellten Ladezyklus eines QD folgt, dass mit steigendem  $V_{para}$  die Gate-Effektivität der Äste verringert wird, wodurch das Entladen des QD erst bei größeren Gatespannungen stattfindet. Ein solches Szenario kann mit Hilfe von Perkulationsleitung [31, 140, 141, 142, 143, 144] im Stammbereich erklärt werden. Perkulationsleitung

beeinflusst zum einen den Floating-Gate-Effekt der QDs auf einen naheliegenden Kanal, z.B. [145, 146], und sorgt zum anderen, im Fall des YBS, für eine Verschiebung des Leitungsbands in den Ästen. Der Stammbereich ist mit einer Breite von  $b_{Stamm} = 225$  nm und einer Länge von  $l_{Stamm} = 500$  nm im Vergleich zu den Ästen relativ groß. Anhand der Konzentration der QDs ( $5 \times 10^{10} \text{ cm}^{-2}$ ) lässt sich eine Anzahl von  $N_{QD} = 57$  QDs im Stammbereich berechnen. Jeder QD verarmt das 2DEG lokal, wobei die Verarmung pro QD mit Hilfe der Thomas-Fermi-Abschirmlänge ermittelt werden kann. Die Abschirmlänge  $\lambda$  ist im dreidimensionalen Raum durch

$$\lambda = \frac{1}{2} \left( \frac{\pi}{3} \right)^{\frac{1}{6}} \frac{a_B^* \frac{1}{2}}{n_0^{\frac{1}{6}}} \quad (3.15)$$

gegeben, wobei  $a_0^*$  der effektive Bohr'sche Atomradius und  $n_0$  die Ladungsträger- bzw. Donatorkonzentration sind [147]. Die im Fall des YBS zu Grunde liegende Donatorkonzentration wird aus der Konzentration der QDs abgeschätzt. Die Konzentration der QDs in der zweidimensionalen QD-Schicht beträgt  $n_{0,2D} = 5 \times 10^{14} \text{ m}^{-2}$  und kann näherungsweise über  $n_0 \approx \sqrt{n_{0,2D}^3}$  zu  $1.1 \times 10^{22} \text{ m}^{-3}$  in eine dreidimensionale Konzentration übergeführt werden. Für die InAs- bzw. InGaAs-QDs ergibt sich ein effektiver Bohr'scher Atomradius von  $a_B^* = 35$  nm. Gemäß Gleichung 3.15 lässt sich die Abschirmlänge zu  $\lambda = 20$  nm bestimmen. Die QDs sind durch eine 10 nm-dicke  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ -Schicht vom 2DEG getrennt. Somit ergibt sich pro QD ein runder, d.h. symmetrischer, Verarmungsbereich von circa  $A_{depl,QD} = 1020 \text{ nm}^2$  im 2DEG. Durch herstellungsbedingte Verarmungseffekte kann an den Rändern der Struktur eine Verdrängung des 2DEG auf der Skala von mehreren 10 nm auftreten, wobei für GaAs/AlGaAs Heterostrukturen ein maximaler Wert von  $l_{depl} = 50$  nm ermittelt wurde [89, 148]. Die maximale Verdrängung des 2DEG im Stamm des YBS beträgt bei geladenen QDs:

$$\frac{N_{QD} A_{depl,QD}}{(b_{Stamm} - 2l_{depl})l_{Stamm}} \approx 90\%. \quad (3.16)$$

Anhand dieser Abschätzung zeigt sich, dass, selbst bei Ladung aller QDs im Stammbereich des YBS und maximaler Verarmung an den Rändern der Struktur, ein leitfähiger Bereich im 2DEG erhalten bleibt. Somit ist Perkulationsleitung durch den Stamm des YBS möglich, während im Bereich der Äste eine vollständige Verdrängung des 2DEG durch einen einzelnen QD erfolgen kann. Für geladene QDs bleibt der Stamm somit trotzdem leitfähig, während die Äste abgeschnürt sind. Abb. 3.24b skizziert diesen Zusammenhang, wobei der Stamm mit Elektronen gefüllt ist. Wird nun die Parameterspannung erhöht, senkt sich das Leitungsband im Stamm ab und mehr Ladungsträger gelangen in diesen Bereich. Gleichzeitig tritt auch ein Absenken der Potentialbarriere im Bereich der Äste auf und die Schwellspannungen der Äste verschiebt sich hin zu kleineren Werten. Um den Einfluss der Parameterspannung auf die Gate-Effektivität zu bestimmen, wird der Zusammenhang zwischen Quantenkapazität und Gatespannung untersucht. In einer Heterostruktur kann die Elektronendichte  $n_e$  über die Gatespannung kontrolliert werden. Allgemein gilt für  $V_g \geq V_t$ :

$$n_e = \frac{C_g}{e} (V_g - V_t), \quad (3.17)$$

wobei  $C_g$  der Kapazitätsbelag der Gatekapazität zwischen 2DEG und Gate ist [114]. Damit besteht ein direkter Zusammenhang zwischen  $n_e$  und  $V_g$  und die Elektronendichte im 2DEG nimmt mit steigender Gatespannung zu. Für niedrige Temperaturen kann die Elektronendichte des 2DEG aus dessen Zustandsdichte berechnet werden. Für die Elektronendichte zeigt sich, dass

$$n_e = \frac{m}{\pi\hbar^2} k_B T \ln \left[ 1 + \exp \left( \frac{E_F}{k_B T} \right) \right] \quad (3.18)$$

gilt, wobei  $D_{2DEG} = m/(\pi\hbar^2)$  die Zustandsdichte des 2DEG pro  $1/\text{m}^2$  ist [35, 114]. Zusammen mit Gleichung 3.17 kann die Quantenkapazität, die als  $C_Q = e^2 D_{2DEG} A_Q$  definiert ist [70], mittels

$$C_Q = \frac{e A_Q C_g (V_g - V_t)}{k_B T \ln \left[ 1 + \exp \left( \frac{E_F}{k_B T} \right) \right]} \quad (3.19)$$

bestimmt werden, mit der Fläche  $A_Q$  des 2DEG. Damit ergibt sich gemäß Gleichung 2.39 eine Abhängigkeit der Gate-Effektivität  $\eta$  von der angelegten Gatespannung  $V_g$ , wobei  $\eta$  mit steigender Gatespannung abnimmt. Die Entladespannung  $V_{disch}$  ist die Gatespannung, bei der die elektrostatischen Potentiale von QD und Transportkanal gleich sind. Mit den Gleichgewichtspotentialen  $\phi_{QD,0}$  und  $\phi_{YBS,0}$ , die die Lage des Leitungsbands für  $V_g = 0$  beschreiben, kann die Entladespannung folgendermaßen beschrieben werden:

$$\phi_{QD,0} - e\eta_{QD}V_{disch} = \phi_{YBS,0} - e\eta_{YBS}V_{disch}. \quad (3.20)$$

Hierbei bestimmen die Gate-Effektivitäten  $\eta_{QD}$  und  $\eta_{YBS}$  des QD bzw. des Transportkanals die Entladespannung. Da  $\eta_{QD}$  nur von geometrischen Faktoren abhängig ist, kann die Entladespannung als Funktion der Gatespannung ermittelt werden. Für  $\eta_{YBS}$  wird die vereinfachte Form  $\eta_{YBS} = 1/(A + V_g B)$  gewählt, die aus den Gleichungen 2.39 und 3.19 folgt, und es ergibt sich:

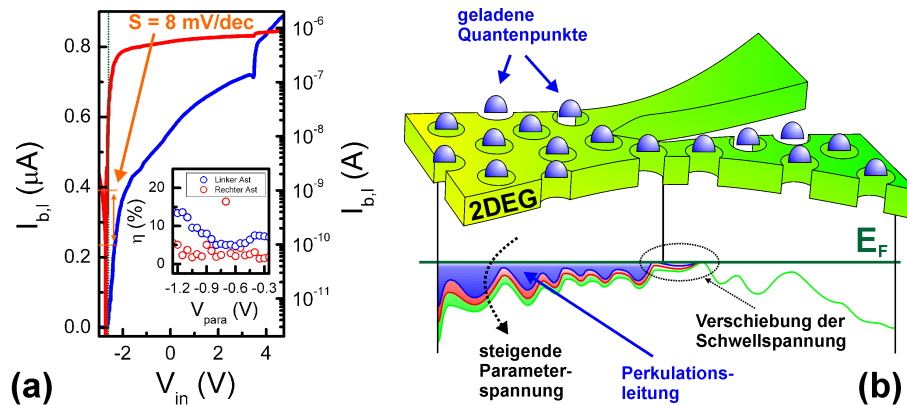
$$V_{disch} = \frac{\phi_{YBS,0} - \phi_{QD,0}}{e \left( \frac{1}{A + V_g B} - \eta_{QD} \right)}. \quad (3.21)$$

In den vorangegangenen Abschnitten wurde für die Gate-Effektivität des QD Werte in der Größenordnung weniger % ermittelt. Daher können die sich ergebenden Terme  $\eta_{QD}A$  und  $\eta_{QD}V_g B$  gegenüber dem Wert 1 vernachlässigt werden und Gleichung 3.21 vereinfacht sich zu:

$$V_{disch} = \frac{\phi_{YBS,0} - \phi_{QD,0}}{e} \frac{A + V_g B}{1 - \eta_{QD}A - \eta_{QD}V_g B} \approx \frac{\phi_{YBS,0} - \phi_{QD,0}}{e} (A + V_g B). \quad (3.22)$$

Dieser Verlauf stimmt mit dem in Abb. 3.22b gezeigten, linearen Anstieg von  $V_{disch}$  mit steigender Parameterspannung überein. Für eine Temperatur  $T = 4.2$  K und eine typische Fermi-Energie  $E_F = 10$  meV [72] liefert Gleichung 3.21 den in Abb. 3.22b dargestellten Verlauf der Entladespannung. Die sich hierbei ergebenden Werte sind:  $\phi_{YBS,0} - \phi_{QD,0} = 210$  meV und  $V_t = -3.9$  V. Die Vergrößerung der Elektronendichte im Stamm sorgt folglich für eine Verringerung der Gate-Effektivität, was wiederum zu einer Erhöhung der Entladespannung

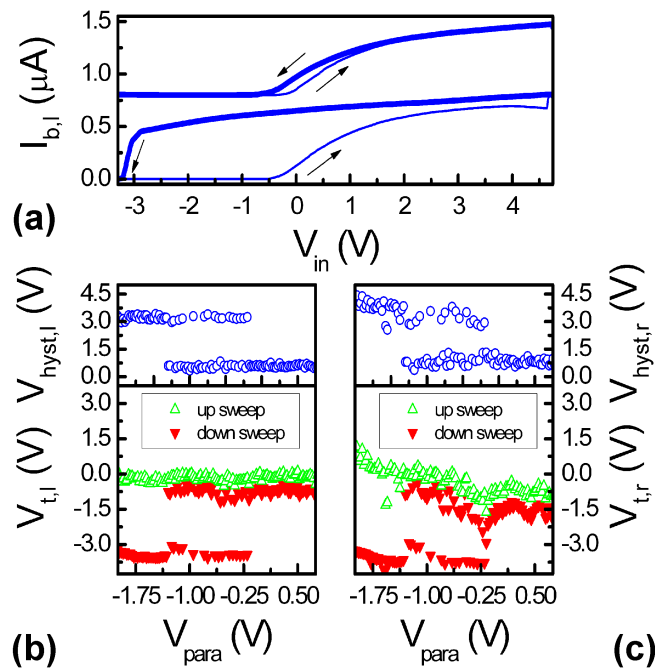




**Abb. 3.24:** (a) Verlauf des Stroms im linken Ast für  $V_{para} = -1.15$  V in linearer (blau) und logarithmischer (rot) Darstellung, wobei die Lage der Schwellspannung  $V_t$  durch lineare Extrapolation bestimmt wurde. Kleines Teilbild: Gate-Effektivität des linken und rechten Asts für verschiedene Parameterspannungen. (b) Schematische Darstellung des Leitungsbands im YBS für verschiedene Parameterspannungen und geladene QDs im Stamm.

führt. Sowohl Gate-Effektivität als auch Entladespannung nehmen ab bzw. zu. Anhand dieses Modells wird auch die Zunahme des maximalen Aststroms mit steigender Parameterspannung klar. Durch die Absenkung des Leitungsbands in Stamm und Ästen stehen im entladenen Zustand mehr Elektronen zum Ladungsträgertransport bereit, was einer Erhöhung des maximalen Stroms entspricht.

Durch Laden und Entladen der QDs in den Ästen sind Hysteresebreiten bis zu 0.7 V möglich, wobei die Potentiale der Sidegates des Stamms die Position des Entladepunkts kontrollieren. Um den Einfluss der QDs im Stamm- und Astbereich zu ermitteln, wurden die linksseitigen Sidegates als Eingänge definiert und die Eingangsspannung  $V_{in} = V_{g,bl} = V_{g,sl}$  angelegt. Die rechtsseitigen Sidegates wurden mit der Parameterspannung  $V_{para} = V_{g,br} = V_{g,sr}$  verbunden, wobei die Parameterspannung während eines Lade- bzw. Entladezyklus konstant blieb. Abb. 3.25a zeigt den Verlauf des Stroms  $I_{b,l}$  im linken Ast in Abhängigkeit der Eingangsspannung für die Parameterspannungen  $V_{para} = -1.5$  und 0.5 V. Die Kennlinie für  $V_{para} = 0.5$  V wurde um  $0.8 \mu\text{A}$  verschoben. Unabhängig von der Parameterspannung öffnet sich der linke Ast beim Hochfahren der Eingangsspannung für  $V_{in} > -0.5$  V. Für  $V_{para} = -1.5$  V steigt  $I_{b,l}$  ab  $V_{in} > -0.5$  V an und nähert sich dann einem lokalen Maximalwert von  $0.7 \mu\text{A}$  an. Bei Eingangsspannungen größer als 4.5 V ist ein weiterer, kurzer Stromanstieg erkennbar und der maximale Aststrom von  $0.8 \mu\text{A}$  setzt ein. Beim Herunterfahren der Eingangsspannung bleibt der Aststrom bis  $V_{in} = -3.0$  V nahezu konstant und fällt bei kleineren Eingangsspannungen sehr stark ab. Für  $V_{in} < -3.25$  V ist der Ast geschlossen und es ergibt sich eine Schwellspannungshysteresis von mehr als 3.2 V. Für  $V_{para} = 0.5$  V öffnet sich das Bauelement beim Hochfahren der Eingangsspannung bei einem vergleichbaren Wert und erreicht bei  $V_{in} = 4.75$  V einen maximalen Aststrom von  $0.9 \mu\text{A}$ . Der kurze Stromanstieg bei  $V_{in} = 4.5$  V fehlt hier allerdings. Beim



**Abb. 3.25:** (a) Strom-Spannung-Kennlinie im linken Ast eines YBS für die Parameterspannungen  $V_{para} = V_{g,br} = V_{g,sr} = -1.5$  und  $0.5$  V. Die Eingangsspannung  $V_{in} = V_{g,bl} = V_{g,sl}$  liegt an den linksseitigen Sidegates der Struktur an. Die Kennlinie für  $V_{para} = 0.5$  V ist um  $0.8 \mu\text{A}$  verschoben. (b) + (c) Schwellspannungen des linken bzw. rechten Asts in Abhängigkeit der Parameterspannung.

Herunterfahren von  $V_{in}$  sinkt der Aststrom kontinuierlich und der Kanal ist bei  $V_{in} < -0.8$  V geschlossen. Die Schwellspannungshysterese beträgt hier  $0.6$  V und ist um mehr als einen Faktor 5 kleiner als bei  $V_{para} = -1.5$  V. Im rechten Ast lässt sich bei gleicher Messung ein ähnliches Schaltverhalten beobachten, wobei leichte Abweichungen bei den Schwellspannungen und den maximalen Astströmen auftreten. Die maximale Transconductance beim Hochfahren von  $V_{in}$  ist im rechten Ast um den Faktor  $1/4$  kleiner als im linken Ast.

Im unteren Teilbild von Abb. 3.25 sind die Schwellspannungen  $V_{t,l}$  und  $V_{t,r}$  des linken bzw. rechten Asts für verschiedene Parameterspannungen dargestellt. Für das Hochfahren der Eingangsspannung liegt die Schwellspannung im linken Ast konstant bei Werten um 0. Im rechten Ast verschiebt sich  $V_{t,r}$  beginnend bei  $0.7$  V, mit einer Steigung von  $-0.5$  V/V, hin zu negativen Werten. Beim Herunterfahren von  $V_{in}$  zeigt sich, dass für Parameterspannungen kleiner als  $-1.3$  V die Schwellspannung etwa  $-3.5$  V beträgt. Erhöht sich  $V_{para}$  über diesen Wert, so treten simultan in beiden Ästen Oszillationen in den Schwellspannungen zwischen den beiden Werten  $-0.8$  V und  $-3.5$  V auf. Ab einer Parameterspannung von  $-0.2$  V liegt die Schwellspannung im linken Ast konstant bei  $-0.7$  V und im rechten Ast bei  $-1.5$  V. Im rechten Ast zeigt sich zudem beim Herunterfahren von  $V_{in}$  ein Verschieben der Werte hin zu kleineren Spannungen. Die Schwellspannungshysterese ergibt sich direkt aus den zugehörigen Schwellspannungen und ist in beiden Ästen nahezu gleich. Die Oszillationen der Schwellspannung treten auch in der

Hysterese auf, wodurch ein Unterschied von mehr als 2.5 V zwischen  $V_{para} < -1.3$  V und  $V_{para} > -0.2$  V auftritt. Es fällt auf, dass nur dann eine Hysterese von mehr als 0.9 V existiert, wenn dies in beiden Ästen gleichzeitig geschieht. Die Kombination einer großen Hysterese im linken Ast und einer kleinen Hysterese im rechten Ast oder umgekehrt ist nicht möglich.

Abb. 3.26a zeigt die Gate-Effektivität des linken Asts im YBS für das Hoch- und Herunterfahren der Gatespannung in Abhängigkeit der Parameterspannung. Beim Hochfahren liegt  $\eta$  im Bereich von 0.55 % bis 0.5 % und nimmt mit steigender Parameterspannung um etwa 0.025 %/V ab. Beim Herunterfahren der Gatespannung zeigt sich, dass für Parameterspannungen kleiner als  $-1.3$  V die Gate-Effektivität größer als 2.5 % ist. Erhöht sich  $V_{para}$  über diesen Wert, oszilliert  $\eta$  zwischen dem niedrigen Wert, der beim Hochfahren bestimmt wurde, und  $\eta > 2.5$  %. Ab einer Parameterspannung von  $-0.2$  V ist die Gate-Effektivität beim Herunterfahren nahezu deckungsgleich mit der beim Hochfahren von  $V_{in}$ .

Um das Auftreten von Schwellenspannungshysterese von fast 4 V und die damit verbundenen Oszillationen zwischen den beiden stabilen Zuständen zu erklären, wird ein Einfluss der QDs im Stamm auf die Gate-Effektivitäten angenommen. Wie bereits in Abb. 3.24b dargestellt und in Gleichung 3.16 berechnet, ist der Stamm auf Grund der Perkulationsleitung immer, d.h. unabhängig von dem Ladezustand der QDs, leitfähig. Bedingt durch die große elektrische Breite des Stamms ist dessen Gate-Effektivität gering und kleiner als die der QDs. Für den Stamm gilt  $\eta_{Stamm} < \eta_{QD}$ , wodurch die QDs im Stamm bei positiven Gatespannungen laden und bei negativen entladen werden. In Abhängigkeit der Ladung der QDs im Stamm ändert sich dessen elektrische Breite, wodurch  $\eta_{Stamm}$  für entladene QDs weiter reduziert wird. Dieser Zusammenhang kann mit Hilfe der Berechnung von Gleichung 3.16 leicht nachvollzogen werden. Für geladene QDs ist die minimale Fläche des 2DEG im Stamm durch

$$A_{QD,ch} = (b_{Stamm} - 2l_{depl})l_{Stamm} - N_{QD}A_{depl,QD} = 4360 \text{ nm}^2 \quad (3.23)$$

gegeben. Die maximale Fläche des 2DEG kann einfach über

$$A_{QD,disch} = (b_{Stamm} - 2l_{depl})l_{Stamm} = 62500 \text{ nm}^2 \quad (3.24)$$

abgeschätzt werden. Da die Quantenkapazität direkt aus der Zustandsdichte des 2DEG folgt, ergibt sich mit  $A_{QD,ch}$  und  $A_{QD,disch}$  die maximale, relative Änderung der Quantenkapazität zu:

$$\frac{\Delta C_Q}{C_Q(A_Q = A_{QD,ch})} = \frac{A_{QD,disch} - A_{QD,ch}}{A_{QD,ch}} = 13.3. \quad (3.25)$$

In den Ästen hingegen gilt  $\eta_{Ast} > \eta_{QD}$  und die QDs in den Ästen werden somit bei positiven Gatespannungen entladen und bei negativen geladen. Eine gegebene, positive oder negative Gatespannung führt zu einer entgegengesetzten Ladung der QDs in den Ästen und im Stamm. Wie bereits diskutiert, beeinflusst die Elektronendichte die Quantenkapazität und damit die Gate-Effektivität, wodurch ein Entladen der QDs im Stamm zu einer Reduzierung von  $\eta_{Ast}$  führt (vgl. Gleichung 3.19 und Abb. 3.24b). Das linke Teilbild von Abb. 3.26b stellt den Zusammenhang zwischen  $\eta_{Ast}$ ,  $\eta_{QD}$  und  $\eta_{Stamm}$  und dem Ladezustand der QDs im Stamm

schematisch dar. Für negative Parameterspannungen, z.B. bei  $V_{para} = -2.0$  V, sind zu Beginn eines Lade- bzw. Entladezyklus die QDs im Stamm bei negativen Gatespannungen entladen. Somit sind sowohl  $\eta_{Ast}$  als auch  $\eta_{Stamm}$  gering (gepunktete Linien). Erhöht sich nun die Gatespannung, werden die QDs im Stamm geladen. Dies führt dazu, dass  $\eta_{Ast}$  und  $\eta_{Stamm}$  ansteigen und, speziell im Fall des Asts, die QDs im Ast entladen. Beim Herunterfahren der Gatespannung tritt der inverse Prozess auf, d.h. die QDs im Stamm werden entladen, wodurch  $\eta_{Ast}$  und  $\eta_{Stamm}$  sinken und die QDs im Ast geladen werden. Um den Einfluss des Ladezustands der QDs auf die Gate-Effektivität abschätzen zu können, wird die Definition der Gate-Effektivität aus Gleichung 2.39 betrachtet. Aus den experimentellen Daten wird ersichtlich, dass die durchschnittliche, maximale Gate-Effektivität des YBS in der vorliegenden Beschaltung  $\eta_{YBS,max} = 3.3\%$  beträgt. Dieser Wert wird nur erreicht, wenn die QDs im Stamm geladen sind, wodurch sich

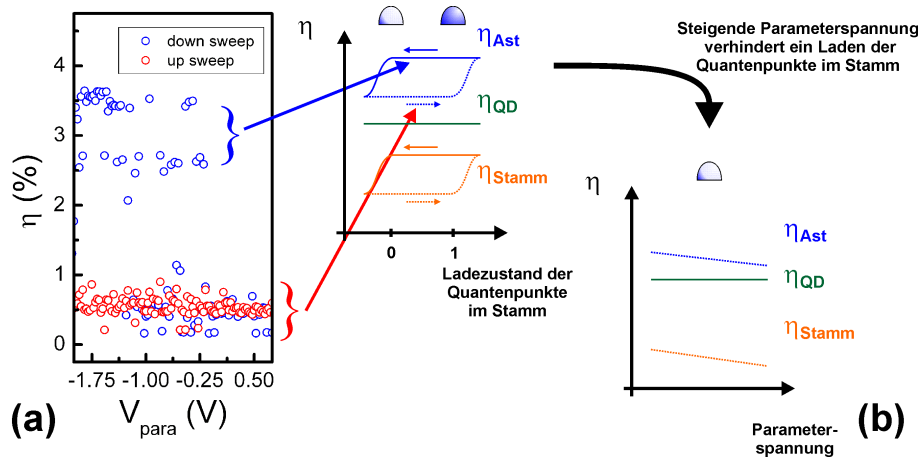
$$\frac{C_Q(A_Q = A_{QD,ch})}{C_{g,YBS}} = \frac{1 - \eta_{YBS,max}}{\eta_{YBS,max}} = 29.3 \quad (3.26)$$

ergibt. Hierbei entspricht  $C_{g,YBS}$  der kapazitiven Kopplung zwischen Sidegate und YBS. Werden nun die QDs im Stamm entladen, folgt für die Gate-Effektivität:

$$\eta_{YBS,min} = \frac{1}{1 + \frac{C_Q(A_Q=A_{QD,disch})}{C_{g,YBS}}} = \frac{1}{1 + \frac{A_{QD,disch} - A_{QD,ch}}{A_{QD,ch}} \frac{C_Q(A_Q=A_{QD,ch})}{C_{g,YBS}}} = 0.26\%. \quad (3.27)$$

Anhand dieser Abschätzung ist leicht erkennbar, dass ein Entladen der QDs im Stamm zu einem starken Einbruch der Gate-Effektivität des YBS führt. Ein Vergleich der nach Gleichung 3.27 berechneten, minimalen Gate-Effektivität und des experimentell ermittelten Werts von  $\eta_{YBS,min,exp} = 0.52\%$  zeigt, dass das tatsächliche Verhältnis  $\Delta C_Q / C_Q(A_Q = A_{QD,ch}) = 6.5$  beträgt. Mit steigender Parameterspannung wird die Gate-Effektivität des Stamms stetig reduziert und das Laden der QDs im Stamm findet erst bei größeren Gatespannungen statt. Tritt nun der Fall ein, dass  $\eta_{Stamm}$  soweit verringert wurde, dass bei maximalem, positiven  $V_{in}$  gerade kein Laden mehr stattfindet, bleiben  $\eta_{Ast}$  und  $\eta_{Stamm}$  reduziert und eine entgegengesetzte Ladung der QDs in den Ästen und im Stamm wird unterbunden. Mit steigender Parameterspannung verringern sich  $\eta_{Ast}$  und  $\eta_{Stamm}$ , wie im rechten Teilbild von Abb. 3.26b schematisch dargestellt.

Die Oszillationen der Gate-Effektivität können intuitiv dadurch verstanden werden, dass  $\eta_{Stamm}$  von der Ladung der QDs im Stamm selbst abhängt. Findet ein Laden dieser QDs statt, so erhöht sich  $\eta_{Stamm}$  und die Differenz  $\eta_{QD} - \eta_{Stamm}$  wird geringer. Folglich nimmt auch die effektive Verschiebung der elektrostatischen Potentiale ab, was wiederum einem Laden der QDs entgegenwirkt (vgl. Abb. 3.6). Daher kann ein stabiles Laden aller QDs nur dann auftreten, wenn die effektive, elektrostatische Verschiebung im Stamm groß genug ist, um die dynamische Komponente von  $\eta_{Stamm}$ , die durch den Ladezustand der QDs gegeben ist, auszugleichen. Diese dynamische Komponente von  $\eta_{Stamm}$  führt dazu, dass das Laden der QDs bereits durch kleinste Fluktuationen in den Ladezuständen unterbunden werden kann. Es scheint so, dass für die QDs im Stamm nur zwei stabile Ladezustände existieren, d.h. entweder alle QDs sind geladen oder



**Abb. 3.26:** (a) Gate-Effektivität des linken Asts für das Hoch- und Herunterfahren der Gatespannung in Abhängigkeit der Parameterspannung  $V_{para} = V_{g,br} = V_{g,sr}$ . (b) Schematische Darstellung der Gate-Effektivitäten im YBS für die verschiedenen Ladezustände der QDs im Stamm und mit steigender Parameterspannung.

alle sind ungeladen, und, dass der Unterschied zwischen diesen Zuständen die Oszillationen bestimmt.

Anhand der Beobachtungen von Abb. 3.23 wurde klar, dass die Schwellspannungshysteresis im YBS nur durch Änderungen des Ladezustands der QDs in den Ästen hervorgerufen wird. Aus der Hysteresebreite für  $V_{para} = V_{g,br} = V_{g,sr} > -0.2$  V folgt, dass die QDs in den Ästen eine Verschiebung der Schwellspannung von 0.6 V hervorrufen können. Der YBS ist für  $V_{para} = V_{g,br} = V_{g,sr} < -1.3$  V beim Herunterfahren erst bei der Gatespannung  $V_t < -3.5$  V geschlossen. Folglich definier  $V_t = -3.5$  V energetisch den Punkt, in dem die Höhe der Potentialbarriere im Ast der Fermi-Energie entspricht. Für identische Gate-Effektivitäten beim Hoch- und Herunterfahren der Gatespannung sollte dementsprechend eine Hysteresebreite von 0.6 V auftreten und die Schwellspannung beim Hochfahren bei  $-2.9$  V liegen. Im realen System werden allerdings Werte von  $-0.2$  V bis 0.0 beobachtet. Ursache hierfür ist die stark reduzierte Gate-Effektivität beim Hochfahren, wodurch das Öffnen des Kanals verzögert wird. Durch das Laden der QDs im Ast bildet sich eine Potentialbarriere der Höhe  $\phi_b$  aus, die dafür sorgt, dass die Schwellspannung um 0.6 V verschoben ist. Die Höhe der Potentialbarriere ergibt sich zu:

$$|\phi_b| = e\eta|V_{t,1} - V_{t,2}| = e\eta|V_{hyst}|. \quad (3.28)$$

Für eine konstante Gate-Effektivität, die nicht durch den Ladezustand der QDs verändert wird, ergibt sich für  $\eta = \eta_{YBS,max} = 3.3\%$  und  $V_{hyst} = 0.6$  V eine Barrierenhöhe von 20 meV. Hängt die Gate-Effektivität vom Ladezustand der QDs ab, wird eine höhere Gatespannung benötigt, um diese Erhöhung der Potentialbarriere mit reduzierter Gate-Effektivität auszugleichen. Für

eine identische Barrierenhöhe und  $\eta = \eta_{YBS,min} = 0.52\%$  folgt eine Hysteresebreite von

$$|V_{hyst}| = \frac{|\phi_b|}{e\eta} = 3.8 \text{ V}. \quad (3.29)$$

Folglich liegt die Schwellspannung beim Hochfahren im Bereich von  $V_t = -3.5 \text{ V} + 3.9 \text{ V} = 0.3 \text{ V}$ , was gut mit den gemessenen Werten für Hysteresebreite und Schwellspannung übereinstimmt. Die Schwellspannungshysterese vergrößert sich daher durch die Abhängigkeit der Gate-Effektivität vom Ladezustand der QDs stark, wodurch sich die Speichereigenschaften des YBS verbessern.

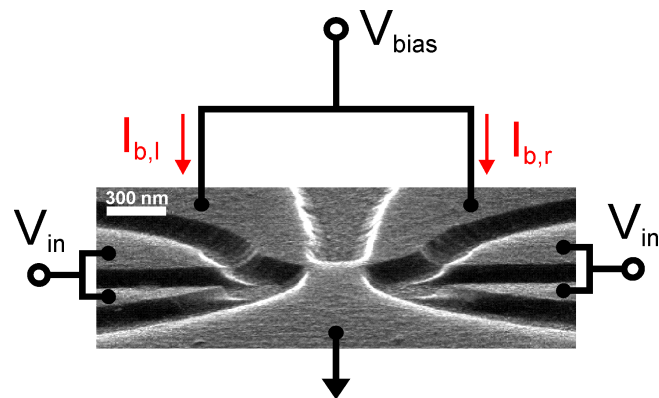
Die diskutierten Ansätze sind sowohl für den rechten Ast als auch den linken Ast gültig, da die eigentliche Dynamik ein Effekt des Stamms ist und daher für beide Äste gleichermaßen gilt. Der Unterschied zwischen linkem und rechtem Ast liegt letztendlich in der gewählten Beschaltung, d.h. von der Wahl die Parameterspannung an den rechtsseitigen Sidegates anzulegen. Daher beeinflusst  $V_{para}$  sowohl den Stamm als auch den rechten Ast selbst, was die stärker ausgeprägte Verschiebung der Schwellspannung und die quantitativen Abweichungen der Hysteresebreite erklärt.

### 3.2.5 Y-Schalter als Speicherelement bei Raumtemperatur

Die Realisierung eines Speicherelements bei Raumtemperatur wird durch die Funktion der QDs als Floating Gate bestimmt. Mit steigender Temperatur nimmt die thermische Energie der Elektronen zu. Dadurch reduziert sich die effektiv aufzubringende Ionisationsenergie  $E_I$  im QD und die Tunnelrate der Elektronen des QD, die von der Dicke der Isolationsschicht zwischen QD und Transportkanal bestimmt wird, erhöht sich [149]. Nimmt die Dicke der Isolationsschicht zu, so verringert sich auch die Tunnelrate und die Elektronen werden länger im QD gespeichert. Die Verbreiterung der Isolationsschicht wurde bereits in Kapitel 3.1.5 vorgestellt und die Ergebnisse diskutiert. Im vorangegangenen Abschnitt 3.2.4 konnte demonstriert werden, dass im YBS Hysteresebreiten von mehreren Volt auftreten, was einer Gesamtladung von einigen 10 bis 100 Elektronen entspricht. Mit Hilfe einer derart großen Anzahl von Ladungsträgern kann die Temperaturabhängigkeit der Tunnelrate kompensiert werden.

Der YBS wurde durch Elektronenstrahlithographie definiert und mit Hilfe von nasschemischem Ätzen strukturiert. Abb. 3.27 zeigt eine SEM-Aufnahme des YBS mit seinen vier, elektrisch isolierten Sidegates. Der etwa 300 nm breite Stamm teilt sich symmetrisch in zwei 70 nm breite Äste. Die Sidegates wurden durch 110 nm tiefe und 150 nm breite Ätzgräben von der leitfähigen Struktur isoliert. Für die Messung wurde der Stamm geerdet, die Gatespannung  $V_{in}$  an alle vier Sidegates und eine Vorwärtsspannung  $V_{bias} = 100 \text{ mV}$  an beide Äste angelegt.

Abb. 3.28 zeigt die Transferkennlinien des linken Asts des YBS für die Temperaturen  $T = 100, 200$  und  $300 \text{ K}$ . Die Kennlinien für  $T = 200$  und  $300 \text{ K}$  wurden um  $0.75$  bzw.  $1.7 \mu\text{A}$  verschoben. Für  $T = 100, 200$  und  $300 \text{ K}$  setzt der Stromfluss im YBS beim Hochfahren der Gatespannung bei den Spannungen  $3.5, -1.5$  bzw.  $-1.7 \text{ V}$  ein. Beim Herunterfahren von  $V_{in}$  schließt sich der linke Ast bei den Spannungen  $-2.3, -2.7$  bzw.  $-2.1 \text{ V}$ , wodurch sich eine

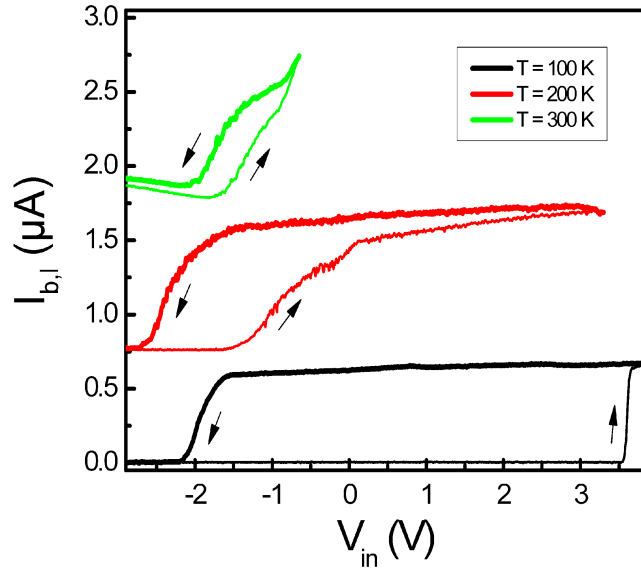


**Abb. 3.27:** SEM-Aufnahme eines YBS eingefügt in den elektrischen Messaufbau mit den angelegten Spannungen und gemessenen Strömen.

Schwellspannungshysterese von fast 6 V bei  $T = 100$  K ergibt. Wie man leicht erkennt, unterscheiden sich die Schwellspannungen beim Hochfahren von  $V_{in}$  signifikant. Dieser starke Unterschied tritt beim Herunterfahren der Gatespannung nicht auf. Im rechten Ast lässt sich bei gleicher Messung ein ähnliches Schaltverhalten beobachten, wobei nur leichte Abweichungen bei den Schwellspannungen und den maximalen Astströmen auftreten.

Um die Schwellspannung zu ermitteln, wurde eine Regressionsgerade verwendet. Dies ist exemplarisch im linken Teilbild von Abb. 3.29 für  $T = 200$  K dargestellt. Als obere und untere Grenze für die lineare Näherung wurden 20% und 65% des maximalen Aststroms gewählt. Die Schwellspannung ist somit die Spannung, bei der die extrapolierte Regressionsgerade den Wert Null, d.h.  $I_{b,l} = 0.0$ , erreicht. In dem in Abb. 3.29a gezeigten Fall ergeben sich die Schwellspannungen  $-1.5$  V und  $-2.7$  V für das Hoch- bzw. Herunterfahren von  $V_{in}$  und eine Schwellspannungshysterese von 1.2 V. Abb. 3.29b zeigt die Schwellspannungshysterese  $V_{hyst}$  des rechten und linken Astes für einen Temperaturbereich von 50 K bis 300 K. Bei geringen Temperaturen werden in beiden Ästen Hysteresebreiten bis zu 6 V erreicht. Erhöht sich die Temperatur, verringert sich  $V_{hyst}$  abrupt bei  $T > 120$  K. Ein weiteres Steigen von  $T$  sorgt für eine kontinuierliche Abnahme der Hysteresebreite. Bei  $T > 250$  K hat  $V_{hyst}$  in beiden Ästen den Minimalwert von circa 0.4 V erreicht und bleibt danach konstant. Bei Raumtemperatur ( $T = 300$  K) können somit Hysteresebreiten von 0.33 V und 0.4 V im linken bzw. rechten Ast beobachtet werden.

Die Schwellspannungshysterese im YBS wird durch das Laden und Entladen der QDs im Spacer verursacht. Der hierfür zu Grunde liegende Lade- bzw. Entladezyklus ist in Abb. 3.6 dargestellt und beruht auf Tunnelprozessen von Elektronen zwischen dem 2DEG und den QDs. Durch die effizientere kapazitive Kontrolle des YBS, im Vergleich zu den QDs, werden diese bei positiven Gatespannungen ent- und bei negativen Gatespannungen geladen. Durch ein Entladen der QDs verschiebt sich die Schwellspannung hin zu negativeren Werten, was die ausgeprägte Schwellspannungshysterese erklärt. Mit steigender Temperatur nimmt die thermische Energie der Elektronen zu und die Speicherung der Elektronen in den QDs ist weniger



**Abb. 3.28:** Strom-Spannung-Kennlinie des YBS für verschiedene Temperaturen.

stark ausgeprägt. Daher genügen bei höheren Temperaturen geringere Gatespannungen, um die QDs zu entladen. Als eine weitere Konsequenz verringert sich die Anzahl der Ladungsträger, die durch eine angelegte, negative Gatespannung in den QDs gespeichert werden können. Dies führt zu einer Verringerung der Floating-Gate-Wirkung der QDs und die Schwellspannungshysterese zwischen dem Hoch- und Herunterfahren der Gatespannung verkleinert sich mit steigender Temperatur. Um die Abhängigkeit der Schwellspannungshysterese von der Temperatur zu beschreiben, wird die Leitfähigkeit  $G$  des YBS für verschiedene Ladezustände benötigt. Durch ein Laden der QDs wird das Leitungsband im Kanal lokal angehoben und die Leitfähigkeit der Struktur reduziert sich. Dieser Zusammenhang wurde von *Saitoh et al.* über

$$G = G_0 \exp\left(-\frac{\Delta E_{CB}}{k_B T}\right) \quad (3.30)$$

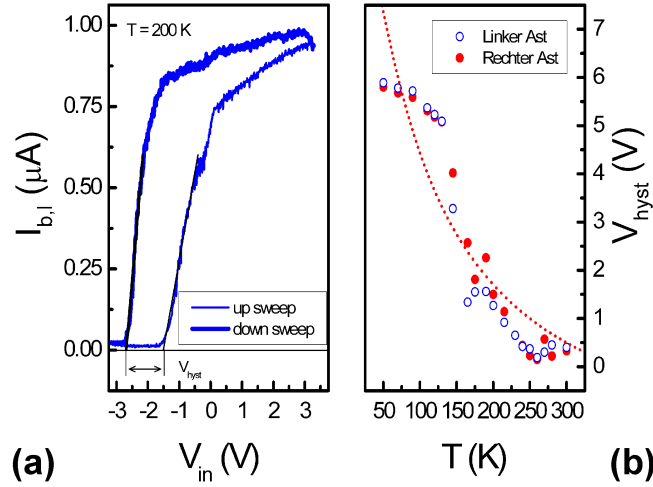
zusammengefasst [101]. Hierbei entsprechen  $G_0$  der Grundleitfähigkeit des Bauelements und  $\Delta E_{CB}$  der, durch die Ladung der QDs induzierten, Anhebung des Leitungsbands im YBS. Gemäß Gleichung 2.1 ergibt sich für kleine Vorwärtsspannungen die Leitfähigkeit eines, durch Sidegates kontrollierten, YBS in Analogie zu einem FET zu

$$G = \sigma(-V_{bias} + V_g - V_t), \quad (3.31)$$

wobei  $\sigma$  der Leitwerts-Koeffizient ist. Verringert sich nun die Schwellspannung von  $V_{t,A}$  auf  $V_{t,B}$ , führt dies zu einem Ansteigen der Leitfähigkeit von  $G_A$  auf  $G_B$ . Zusammen mit Gleichung 3.30 ist diese Änderung der Leitfähigkeit gleich

$$\Delta G = G_B - G_A = G_0 \left[ \exp\left(-\frac{\Delta E_{CB,B}}{k_B T}\right) - \exp\left(-\frac{\Delta E_{CB,A}}{k_B T}\right) \right]. \quad (3.32)$$





**Abb. 3.29:** (a) Strom-Spannung-Kennlinie des YBS bei 200 K. Die Extrapolation der Schwellspannung wird exemplarisch anhand dieser Kennlinie gezeigt. (b) Hysteresebreite beider Äste in Abhängigkeit der Temperatur.

Da die Änderung des Leitungsbands  $\Delta E_{CB}$  direkt vom Ladezustand der QDs abhängt, ist für ungeladene QDs  $\Delta E_{CB} = 0$ . Mit Gleichung 3.31 ergibt sich die Schwellspannungshysterese für ein Bauelement, bei dem die QDs geladen und entladen werden, zu

$$V_{hyst} = V_{t,B} - V_{t,A} = \frac{G_0}{\sigma} \left[ 1 - \exp \left( -\frac{\Delta E_{CB,A}}{k_B T} \right) \right]. \quad (3.33)$$

Hierbei ist  $V_{t,B}$  die Schwellspannung des Bauelements für ungeladene QDs. Es zeigt sich, dass  $V_{hyst}$  für eine gegebene Änderung des Leitungsbands mit steigender Temperatur abnimmt. Abb. 3.29b zeigt den gemessenen Verlauf von  $V_{hyst}$  zusammen mit einer Abschätzung gemäß Gleichung 3.33. Die für die Berechnung verwendeten Werte waren:  $G_0/\sigma = 12 \text{ V}$ ,  $\Delta E_{CB,A} = 7.5 \text{ meV}$  und  $V_{hyst,off} = -2.5 \text{ V}$ .  $V_{hyst,off}$  ist ein additiver Offset zur Schwellspannungshysterese, der den idealen Verlauf von Gleichung 3.33, die eine maximale Hysterese von 8.3 V für  $T = 70 \text{ K}$  liefert, dem realen Verlauf von  $V_{hyst}$  angleicht. Der existierende Unterschied zwischen Abschätzung und Experiment wird darauf zurückgeführt, dass der YBS bis zu einer Temperatur von  $T = 100 \text{ K}$  eine maximale Hysterese von 5.9 V aufweist. Die Hysterese ist für niedrige Temperaturen gesättigt und daher kann mit der gegebenen Beschaltung keine stärkere Ladung der QDs erreicht werden. Nachdem eine solche Speicherfunktion bei Raumtemperatur in QDFMs ohne optimierten Schichtaufbau nicht beobachtet werden konnte [115], ist die Funktionalität bei Raumtemperatur auf die spezielle Geometrie des YBS zurückzuführen. Bedingt durch den zusätzlichen Einfluss der QDs im Stamm auf die Gate-Effektivität des YBS tritt eine starke Vergrößerung der Schwellspannungshysterese auf. Dieser Effekt sorgt dafür, dass selbst bei hohen Temperaturen die Speicherfunktion erhalten bleibt.



# Kapitel 4

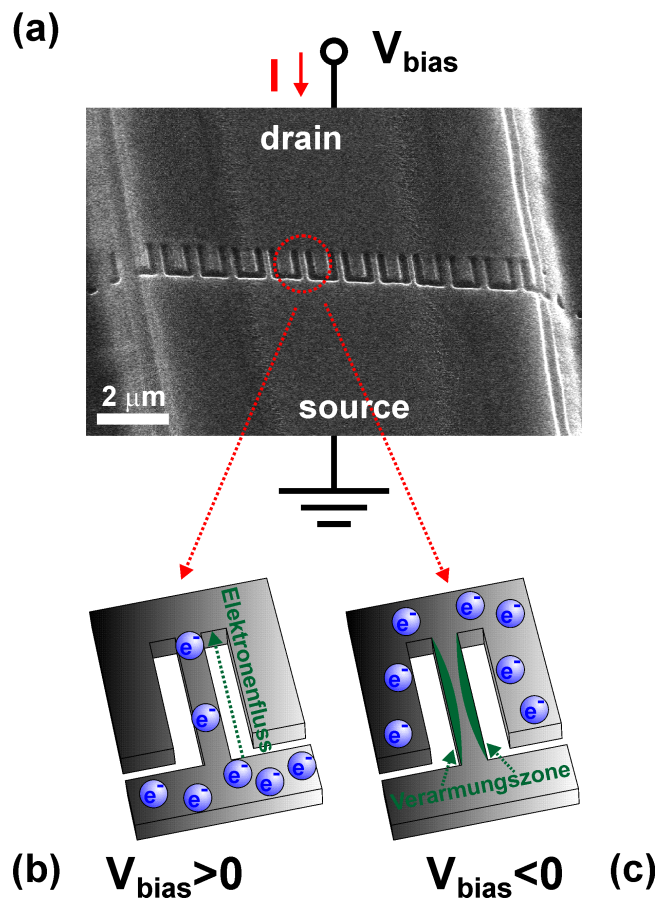
## Gleichrichter und Feldeffekt-Transistoren auf Basis von GaAs/AlGaAs Heterostrukturen

### 4.1 Selbstschaltende Bauelemente als Gleichrichter

Der Feldeffekt ist einer der dominierenden Effekte in der modernen Mikroelektronik. Verwendung findet er bevorzugt im FET, bei dem Elektronen auf einem elektrisch isolierten Gate mittels der Coulomb-Wechselwirkung die Ladungsträgerverteilung im Kanal beeinflussen und dessen Leitfähigkeit kontrollieren. Hierfür wird der Gateanschluss als separater Kontakt herausgeführt, um die Anzahl der Ladungsträger auf dem Gate gezielt zu steuern. Speziell im Bereich kleiner Strukturgrößen und den damit einhergehenden Kleindimensionseffekten, wie z.B. dem steigenden Einfluss der Zustandsdichte, kann sich die Effektivität einer Transistorstruktur stark verändern [70, 82, 110, 150]. Dieser Einfluss wird anhand der QWTs näher untersucht und später diskutiert. Zuerst wird die Frage geklärt, was passiert, wenn der Gateanschluss nicht nach außen geführt wird und stattdessen direkt auf einen der beiden Kontakte - Drain oder Source - geschaltet wird. Bei dem sich so ergebenden Bauelement kontrolliert die Vorwärtsspannung aktiv die Leitfähigkeit des Kanals, während beim FET die Anzahl der Ladungen im Kanal und damit die Leitfähigkeit von der Gatespannung bestimmt wird. Auf Grund der Kontrolle der Leitfähigkeit des Kanals durch die Vorwärtsspannung ergibt sich ein nichtlineares Schaltverhalten, das mit dem einer Diode übereinstimmt - das Bauelement arbeitet somit als Gleichrichter.

#### 4.1.1 Aufbau und Design eines selbstschaltenden Bauelements

Die Basis dieses Gleichrichters ist eine modulationsdotierte InGaAs/InP Heterostruktur [151], die mittels Elektronenstrahlolithographie und nasschemischem Ätzen strukturiert wurde. Als Entwicklungskonzept liegt die Idee der planar-kontrollierten QWTs zu Grunde, bei denen das Gate bzw. speziell die Sidegates über Ätzgräben vom leitfähigen Kanal getrennt werden [89, 90,



**Abb. 4.1:** (a) SEM-Aufnahme eines SSD mit 200 nm breiten Kanälen. Anhand der Aufnahme können 11 Transportkanäle ermittelt werden. (b) + (c) Schematische Darstellung der Ladungsverteilung in einem Transportkanal und der planaren Gates für positive und negative Spannung. Nur für negative Spannungen findet, auf Grund der gebrochenen Inversionssymmetrie der Struktur, eine Verarmung im Transportkanal statt und der Elektronenfluss ist unterbunden.

91]. Um einen Gleichrichter zu realisieren, bietet sich eine monolithische Integration mehrerer, paralleler Strukturen auf einem Chip an, weil dadurch größere Nutzsignale erreicht werden können und die Impedanz der gesamten Struktur sinkt. Ein direkte Kopplung des Gates an Drain bzw. Source wird dadurch erreicht, dass der isolierende Ätzgraben an einer Stelle unterbrochen wird und sich eine leitende Brücken zwischen Kontakt und Gate bildet. Abb. 4.1a zeigt eine SEM-Aufnahme der Struktur. Anhand der Aufnahme können 11 parallele Transportkanäle ermittelt werden, wobei jeder einzelne etwa 200 nm breit ist.

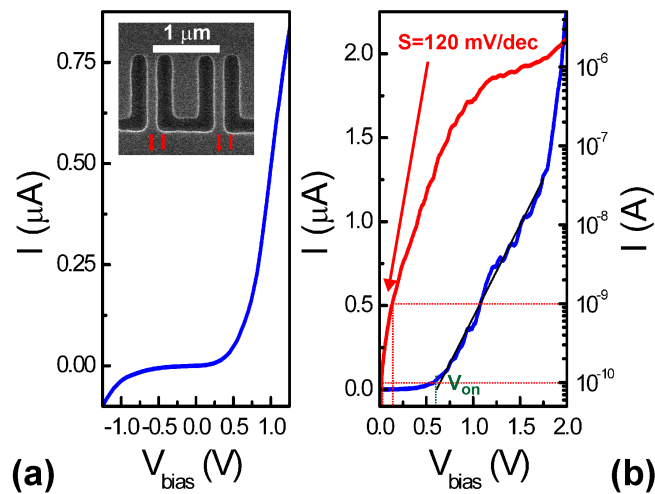
Die Funktionsweise des Gleichrichters beruht auf dem Feldeffekt. Durch die asymmetrische Ankopplung des Gates an eines der beiden Elektronenreservoirs entsteht eine von der Vorwärtsspannung  $V_{bias}$  bestimmte Richtungsabhängigkeit der Elektronenbewegung. Während im FET keine Vorzugsrichtung für die Elektronenbewegung im Kanal existiert und sich kein

Unterschied für die Elektronen ergibt, wenn sich diese von Source nach Drain oder umgekehrt bewegen, ist dies hier nicht der Fall. Angenommen der isolierte Teilbereich des Gates ist Source zugewandt und der offene Teil des Gates ist an Drain angeschlossen. Wird nun eine positive Vorwärtsspannung an die Struktur angelegt, so werden die Elektronen von Source abgesaugt und können durch einen Transportkanal nach Drain gelangen (Abb. 4.1b). Die positive Spannung sorgt dafür, dass keine oder nur sehr wenige Elektronen in die Gates gelangen. Somit sind die Gates ungeladen und die Leitfähigkeit der Transportkanäle ist maximal. Im Falle einer negativen Vorwärtsspannung bewegen sich die Elektronen von Drain nach Source. Da die Gates drainseitig offen sind, können Elektronen auf den Gates akkumuliert werden, was zu einer Coulomb-Wechselwirkung zwischen den Ladungsträgern auf den Gates und den Ladungsträgern in den Transportkanälen führt. Die Elektronen werden aus den Transportkanälen verdrängt. Folglich bilden sich Verarmungszonen in den Transportkanälen aus und der Leitwert der Struktur sinkt (Abb. 4.1c). Diese Vorwärtsspannungsabhängigkeit des Leitwerts ist gleichbedeutend mit einem selbst-induziertem Sperren des Bauelements. Das Bauelement sperrt bei negativem  $V_{bias}$  und leitet Strom bei positiver Vorwärtsspannung, was der Gleichrichtung von Dioden entspricht. Auf Grund dieses Verhaltens bzw. des internen Schaltmechanismus werden diese Strukturen als selbstschaltende Bauelemente (**self-switching device: SSD**) bezeichnet [151].

#### 4.1.2 Transporteigenschaften von selbstschaltenden Bauelementen

Um die Schalteigenschaften eines SSD zu bestimmen, wurde der in Abb. 4.1a dargestellte, elektrische Messaufbau genutzt. Der Drainkontakt der Struktur wurde mit der Vorwärtsspannung  $V_{bias}$  verbunden und der Sourcekontakt geerdet. Durch eine Messung des Probenstroms  $I$  kann somit die Strom-Spannung-Kennlinie des SSD ermittelt werden. Die Messungen wurden in Dunkelheit und bei Raumtemperatur durchgeführt.

Das linke Teilbild von Abb. 4.2 zeigt die Strom-Spannung-Kennlinie eines SSD mit 200 nm breiten Kanälen für einen symmetrisch gewählten Vorwärtsspannungsbereich. Zum leichteren Verständnis der  $I$ - $V_{bias}$ -Kurve wurde eine SEM-Aufnahme mit der definierte Stromrichtung in den oberen Teilbereich der Grafik eingefügt. Für negatives  $V_{bias}$  fließen Ströme in der Größenordnung von wenigen 10 nA und die Transportkanäle sind bei  $V_{bias} > -0.5$  V geschlossen. Erhöht sich die Vorwärtsspannung, öffnen die Transportkanäle ab  $V_{bias} > 0.3$  V und der Strom steigt stark an. Es werden Stromstärken bis  $0.8 \mu\text{A}$  bei Vorwärtsspannungen von 1.25 V erreicht. In Abb. 4.2b ist die Strom-Spannung-Kennlinie der gleichen Struktur für einen Vorwärtsspannungsbereich von 0.0 bis 2.5 V in linearer (blau) und halblogarithmischer (rot) Darstellung gezeigt. Der Stromverlauf in linearer Darstellung deckt sich mit dem in Abb. 4.2a gezeigten Verlauf. Mittels linearer Extrapolation kann im Vorwärtsspannungsbereich von 0.75 bis 1.75 V eine Einsatzspannung von  $V_{on} = 0.6$  V für den SSD bestimmt werden. Die ermittelte Gerade (schwarz) ist zusammen mit dem linearen Kennlinienverlauf (blau) dargestellt. Diese Einsatzspannung kennzeichnet, vergleichbar zur Schwellspannung des FET, das Unterschwellspannungsregime. Anhand der halblogarithmischen Darstellung kann ein Subthreshold Swing



**Abb. 4.2:** (a) Strom-Spannung-Kennlinie eines SSD mit 200 nm breiten Kanälen für einen symmetrischen Spannungsbereich. Kleines Bild: SEM-Aufnahme des untersuchten SSD mit angedeuteter Stromrichtung. (b) Strom-Spannung-Kennlinie eines SSD im positiven Spannungsbereich in linearer (blau) und halblogarithmischer (rot) Darstellung. Die Lage der Einsatzspannung  $V_{on}$  wurde durch lineare Extrapolation bestimmt.

$S = 120 \text{ mV/dec}$  extrahiert werden.

Die untersuchten SSDs zeigen eine klare Nichtlinearität in der Strom-Spannung-Kennlinie und können als Gleichrichter genutzt werden. Durch die parallele Integration von mehreren Transportkanälen wurde Leitfähigkeiten von mehreren  $\mu\text{S}$  erreicht. Die zu Grunde liegende Coulomb-Wechselwirkung zwischen den Ladungsträgern auf den Gates und den Elektronen im Kanal erzeugt eine Asymmetrie in der  $I-V_{bias}$ -Kennlinie, wodurch ein Sperrbereich von 0.8 V realisiert werden kann. Anhand des, im Vergleich zu einem idealen FET, doppelt so großen Subthreshold Swing von 120 mV/dec kann die Effizienz des Schaltens beurteilt werden. Die Gleichrichtung auf Basis des Feldeffekts bleibt bei Raumtemperatur erhalten und der Gleichrichtungsmechanismus ist stabil. Mit Hilfe weiterführender Experimente konnte die Funktion von SSDs in Bezug auf ihre Frequenzeigenschaften, Gleichrichtung und als logisches Gatter näher bestimmt werden [151, 152, 153, 154].

## 4.2 Transporteigenschaften von Quantendraht-Transistoren

Die untersuchten Gleichrichter basieren auf einem selbst-induzierten Schalten durch ein asymmetrisches Design der Gates. Hierbei zeigte sich, dass der Feldeffekt sehr effizient die Leitfähigkeit des Kanals steuern kann und die Strukturen einfach zu realisieren sind. Für Anwendungen sind Bauelemente interessant, bei denen die Leitfähigkeit durch von außen gesteuerte Größen kontrolliert werden kann. Diese Idee ist anhand der verschiedenen Ausführungen des Transistorprinzips geläufig und kann auf viele Arten umgesetzt werden. Eine sehr einfache Form

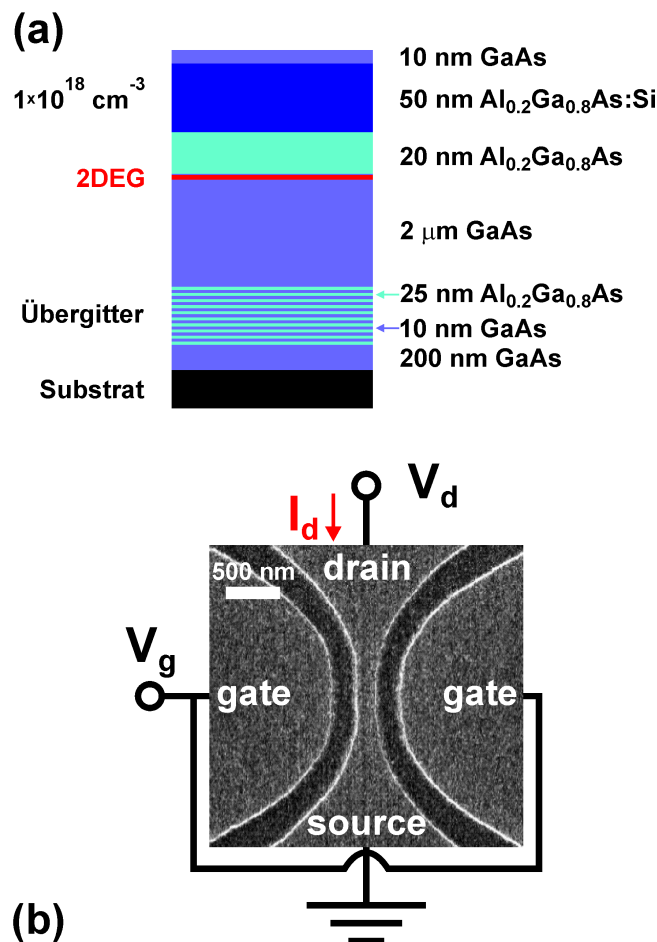
ist das von *Wieck et al.* vorgestellte, planare Design mit den durch Ätzgräben isolierten Gates [89, 90, 91]. Hierbei wird in einer modulationsdotierten Heterostruktur ein QW hergestellt, an dessen Seiten sich zwei große, elektrisch isolierte Sidegates befinden die separat kontaktiert werden können. Durch eine angelegte Spannung kann die Anzahl der Ladungsträger auf den Sidegates verändert werden, wodurch sich das elektrische Feld zwischen Sidegates und QW ändert. Dieses elektrische Feld kontrolliert die Ladungsträger im QW, wodurch die Leitfähigkeit des Kanals eine Funktion der Ladungsträger auf den Sidegates bzw. der angelegten Gatespannung ist. Der damit realisierte QWT zeigt einen direkten Zusammenhang zwischen Leitfähigkeit und Gatespannung.

#### 4.2.1 Aufbau und Design eines Quantendraht-Transistors

Die hier verwendeten QWTs basieren auf einer modulationsdotierten GaAs/AlGaAs Heterostruktur, die mittels Molekularstrahlepitaxie hergestellt wurde. Abb. 4.3a zeigt den Schichtaufbau der Heterostruktur schematisch. Auf einem halbisolierenden GaAs-Substrat wurde eine 200 nm dicke Bufferschicht aus GaAs abgeschieden. Hierauf folgt ein Übergitter, das aus einer alternierenden Folge von 25 nm dicken  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ - und 10 nm dicken GaAs-Schichten besteht. Nach dem Wachstum von weiteren  $2\ \mu\text{m}$  GaAs wird ein 20 nm dicker  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ -Spacer aufgebracht. Die Heterostruktur wird durch eine 50 nm dicke, siliziumdotierte  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ -Schicht, gefolgt von einem 10 nm dicken GaAs-Cap, abgeschlossen. Die Siliziumkonzentration beträgt hierbei  $2 \times 10^{18}\ \text{cm}^{-3}$ . Am Heterostrukturübergang bildet sich als Folge der Bandverbiegung ein 2DEG aus, das etwa 80 nm unterhalb der Oberfläche liegt.

Die Strukturierung des QWT erfolgt mittels hochauflösende Elektronenstrahlolithographie und anschließendem nasschemischen Ätzen. Um eine elektrische Isolation zwischen den Sidegates und dem QW zu realisieren, ist es notwendig, dass das 2DEG durchtrennt wird. Somit ergibt sich eine minimale Ätztiefe von 80 nm, wobei eine unzureichende Ätztiefe für eine mangelhafte elektrische Isolation sorgt und damit eine leitende Verbindung zwischen QW und Sidegates erhalten bleibt. Die sich dadurch ergebenden Leckströme zwischen Sidegates und QW beeinflussen das Transistorverhalten maßgeblich, da zum einen die Transistorkennlinien durch den zusätzlich fließende Gatestrom überlagert werden. Zum anderen sorgt der Gatestrom für eine stetige Veränderung des Ladezustands der Sidegates, was die Stärke des Feldeffekts beeinflusst und diesen mit zunehmendem Gatestrom verringert. Abb. 4.3b zeigt eine SEM-Aufnahme des QWT, wobei hier die Ätztiefe 110 nm beträgt. Die Sidegates der Struktur sind durch 250 nm breite Ätzgräben vom QW getrennt. Der leitfähige Kanal zwischen Drain und Source ist etwa 200 nm breit und im Bereich der größten Einschnürung circa 500 nm lang. Als Design für den QW und der Ätzgräben wurde wiederum ein parabolisches Profil gewählt, wie schon bei den QDFMs in Kapitel 3.1.1.

Die Kennlinien des QWT wurden durch Messung der Ströme im Bauteil in Abhängigkeit der angelegten Spannungen ermittelt. Abb. 4.3b zeigt den verwendeten, elektrischen Messaufbau schematisch. Die Drainspannung  $V_d$  und die Gatespannung  $V_g$  werden an den Kontakten von Drain bzw. Gate angelegt, wobei Source als Bezugspunkt dient und geerdet ist. Als Mess-



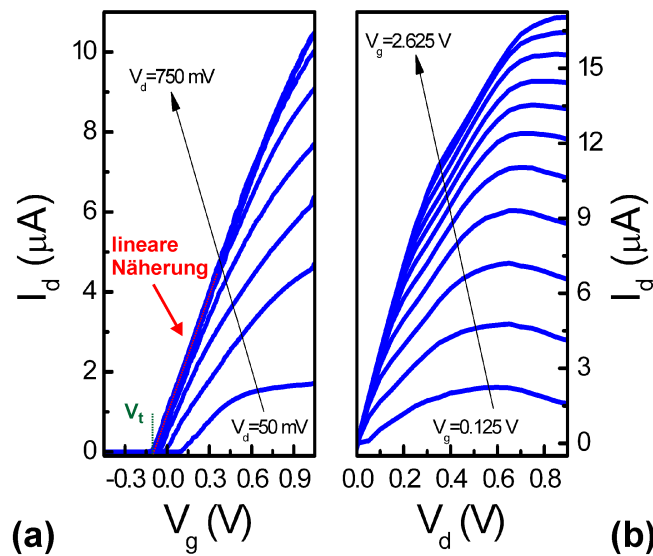
**Abb. 4.3:** (a) Schematische Darstellung des Schichtaufbaus, der der Heterostruktur des untersuchten QWT zu Grunde liegt. (b) SEM-Aufnahme eines QWT eingefügt in den elektrischen Messaufbau mit den angelegten Spannungen und gemessenen Strömen.

umgebung wurde flüssige Helium gewählt ( $T = 4.2 \text{ K}$ ).

## 4.2.2 Transistorkennlinien von Quantendraht-Transistoren

Die hergestellten QWTs wurden mit Hilfe ihrer Transfer- und Ausgangskennlinienfelder charakterisiert, um Informationen über deren Schalteigenschaften zu erhalten. Abb. 4.4a zeigt das Transferkennlinienfeld eines QWT für Drainspannungen von 50 mV bis 750 mV. Unabhängig von  $V_d$  ist der Kanal für Gatespannungen kleiner als  $-0.15 \text{ V}$  gesperrt. Mit steigendem  $V_g$  öffnet sich der Kanal und der Drainstrom nimmt kontinuierlich zu. Die Schwellspannung  $V_t$  verringert sich mit zunehmender Drainspannung von  $V_t = 0.1 \text{ V}$  für  $V_d = 50 \text{ mV}$  zu  $V_t = -0.1 \text{ V}$  für  $V_d = 750 \text{ mV}$ . Dies entspricht einer Änderung der Schwellspannung um  $0.28 \text{ V}$  pro Erhöhung der Drainspannung um  $1 \text{ V}$ . Für  $V_d = 750 \text{ mV}$  werden Drainströme von  $10 \mu\text{A}$  und eine





**Abb. 4.4:** (a) Transferkennlinienfeld eines QWT für Drainspannungen von 50 mV bis 750 mV. Die lineare Näherung der Transferkennlinie ergibt durch Extrapolation die Schwellspannung  $V_t$ . (b) Ausgangskennlinienfeld des QWT für Gatespannungen von 0.125 V bis 2.625 V.

Transconductance von  $11.2 \mu\text{A/V}$  bei  $V_g = 0.3 \text{ V}$  erreicht.

In Abb. 4.4b ist das Ausgangskennlinienfeld für den Gatespannungsbereich  $V_g = 0.125$  bis  $2.625 \text{ V}$  dargestellt. Unabhängig von der angelegten Gatespannung fließt kein Strom für  $V_d = 0.0$ . Für  $V_g = 2.625 \text{ V}$  führt eine Erhöhung der Drainspannung zu einem monotonen Ansteigen des Drainstroms. Bei einer Sättigungsspannung von  $V_d = 0.75 \text{ V}$  wird ein Sättigungsstrom von annähernd  $17 \mu\text{A}$  erreicht. Wird die Drainspannung nach dem Sättigungspunkt vergrößert, so bleibt  $I_d$  konstant. Für kleinere Gatespannungen verringert sich der Sättigungsstrom und die Sättigungsspannung verschiebt sich zu kleineren Drainspannungen. Hier führen Drainspannungen größer als die Sättigungsspannung zu einem Abfallen des Drainstroms.

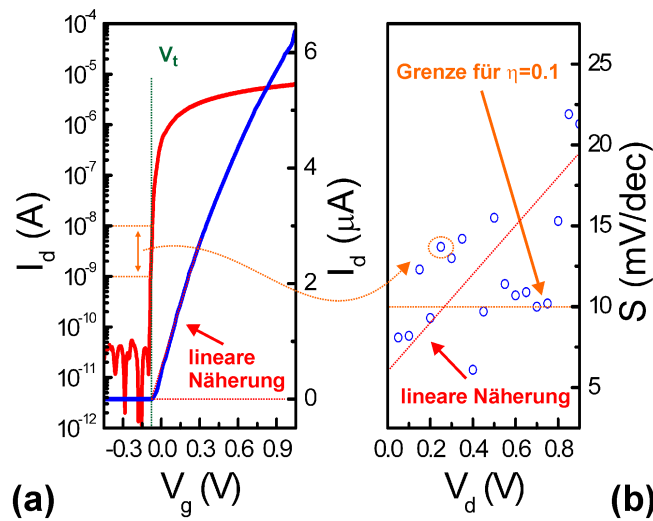
Der annähernd lineare Verlauf der Transferkennlinien für größere Drainspannungen weicht von der idealen Beschreibung eines FET stark ab. In realen FETs tritt bei kurzen Kanallängen eine Verringerung der Ladungsträgerbeweglichkeit auf. Dies führt zu einer Änderung des Transferkennlinienfelds und es ergibt sich eine lineare Abhängigkeit von  $I_d$  und  $V_g$ . Der lineare Anstieg der Transferkennlinien des QWT stellt eine Folge der reduzierten Ladungsträgerbeweglichkeit im Kanal des Bauelements dar. Der im Ausgangskennlinienfeld beobachtete Abfall des Drainstroms mit steigender Drainspannung ist ein Effekt, der durch das Abfließen von Ladungsträgern in das Substrat verursacht wird. Hierbei können heiße Elektronen die Barriere zum Substrat überwinden und, durch den so fließenden Substratstrom, zu einer Abweichung des gemessenen Drainstroms vom realen Verlauf des Kanalstroms beitragen [18]. Charakteristisch für diesen Effekt ist, dass der Substratstrom mit steigender Gatespannung abnimmt und ein Maximum bei  $V_g \approx V_d/2$  aufweist. In dem experimentell ermittelten Ausgangskennlinienfeld entspricht die Position des lokalen Maximums im Drainstrom diesem Wert. Des Weiteren gilt

für Transistoren mit kleinen Kanallängen, dass die Kanallängenmodulation typischerweise zu einem Ansteigen des Drainstroms im Sättigungsbereich beiträgt. Bei kleinen Kanallängen findet eine Reduzierung der effektiven Kanallänge mit steigender Drainspannung statt, wodurch der Drainstrom mit steigender Gatespannung zunimmt. Somit kann mit steigender Drainspannung eine Quasi-Kompensation des Substratstroms durch die Kanallängenmodulation auftreten. Hierbei ist zu beachten, dass sich die Effekte nicht gegenseitig aufheben, sondern nur anhand der Kennlinie nicht mehr separat unterscheidbar sind und zu einem der idealen Kennlinie ähnlichen Verlauf beitragen.

### 4.2.3 Schaltverhalten von Quantendraht-Transistoren

Mit Hilfe der ermittelten Transferkennlinien können die Schalteigenschaften des QWT bestimmt und diskutiert werden. Ausgangspunkt hierfür ist die Beurteilung der Transferkennlinie im Unterschwellspannungsregime. Abb. 4.5a zeigt die Transferkennlinie eines QWT bei  $T = 4.2\text{ K}$  für eine Drainspannung  $V_d = 0.25\text{ V}$  in linearer (blau) und halblogarithmischer (rot) Darstellung. Durch eine lineare Näherung wird die Schwellspannung  $V_t = -6\text{ mV}$  extrapoliert. Anhand der halblogarithmischen Darstellung von  $I_d$  ist es nun möglich, den Subthreshold Swing  $S$  zu ermitteln. Für die vorliegende Kennlinie beträgt dieser etwa  $14\text{ mV/dec}$ . Abb. 4.5b zeigt den Subthreshold Swing des QWT in Abhängigkeit der Drainspannung. Für kleine Werte von  $V_d$  liegt  $S$  im Bereich von  $5\text{ mV/dec}$  bis  $10\text{ mV/dec}$  und steigt mit zunehmender Drainspannung auf bis zu  $25\text{ mV/dec}$  an.

Zur Analyse des Subthreshold Swings ist es notwendig, den idealen, thermisch-limitierten Wert von  $S$  für die gewählte Messumgebung zu bestimmen. Bei  $T = 4.2\text{ K}$  beträgt dieser circa  $1\text{ mV/dec}$ . Liegt das Schaltverhalten, d.h. der Subthreshold Swing, oberhalb des thermischen Limits, schaltet der QWT ineffizienter als ein idealer FET. Wie in Kapitel 2.4.1 erläutert, stellt die Gate-Effektivität  $\eta$  ein weiteres Maß dar, um die Schalteigenschaften eines QWT zu charakterisieren. Hierbei entspricht  $\eta = 1$  einem idealen Schalten. Mit Hilfe des Subthreshold Swings kann die Gate-Effektivität der Struktur ermittelt werden, wobei  $\eta = \phi_t \ln 10 / S$  gilt. Die Gate-Effektivität der Sidegates kann man mit Hilfe der Grenze von  $\eta = 0.1$  leicht einordnen, welche in Abb. 4.5b dargestellt ist. Somit liegt die Gate-Effektivität unterhalb von 1 und der QWT schaltet schlechter als die im vorherigen Kapitel untersuchten SSDs (zum Vergleich:  $\eta_{SSD} \approx 0.5$ ). Wie anhand von Gleichung 2.39 zu erkennen ist, hängt  $\eta$  vom Verhältnis der Quantenkapazität im Kanal zur geometrischen Kapazität der Sidegates ab. Um ein effektiveres Schalten zu realisieren, müsste entweder die Quantenkapazität verkleinert oder die geometrische Kapazität der Sidegates vergrößert werden. Beide Schritte sind, bedingt durch das Design und die Struktur des QWT, nicht uneingeschränkt möglich. Eine Vergrößerung der geometrischen Kapazität könnte durch eine Reduzierung der Ätzgrabenbreite erreicht werden. Damit würde sich allerdings auch die Isolation zwischen QW und Sidegates verringern bzw. durch die Vorgabe, dass die Äztiefe größer als  $80\text{ nm}$  sein muss, wären nur minimale Grabenbreiten von einigen  $10\text{ nm}$  möglich. Die Quantenkapazität  $C_Q = e^2 D_{Kanal}$  ist durch die Zustandsdichte  $D_{Kanal}$  des Kanals gegeben, wobei die Zustandsdichte in einem zweidimensionalen System für



**Abb. 4.5:** (a) Transferkennlinie eines QWT bei  $V_d = 0.25$  V in linearer (blau) und halblogarithmischer (rot) Darstellung. Aus der halblogarithmischen Darstellung kann der Subthreshold Swing extrahiert werden. (b) Subthreshold Swing in Abhängigkeit der Drainspannung. Die Linie bei 10 mV/dec gibt an, ab welchen Werten für  $S$  die Gate-Effektivität unterhalb von  $\eta = 0.1$  sinkt.

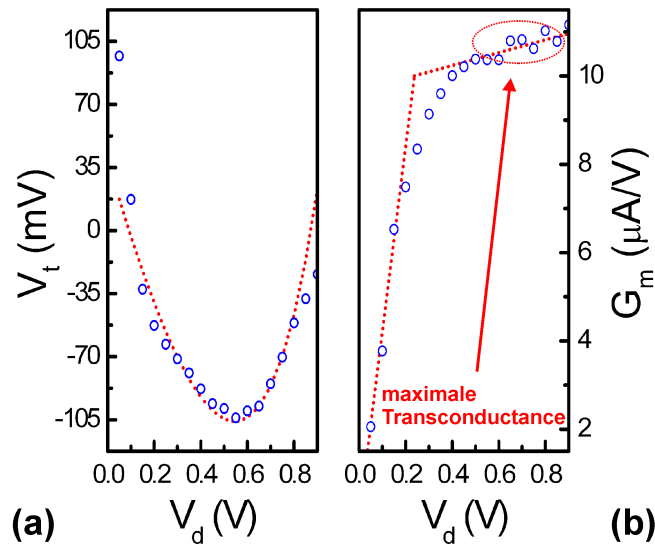
Energien größer als die Subband-Energie konstant ist [35]. Eine Verkleinerung der Quantenkapazität des QW lässt sich durch eine Verringerung der Kanalfläche d.h. der Länge und Breite des QW, realisieren. Auch hier ergeben sich durch die Herstellung Grenzen, die nicht unterschritten werden können, wodurch nur eine begrenzte Erhöhung der Gate-Effektivität möglich ist.

Abb. 4.6a zeigt die Schwellspannung  $V_t$  des QWT, aufgetragen über der Drainspannung. Die Schwellspannung wurde durch lineare Extrapolation aus den Transferkennlinien ermittelt. Bei kleinen Drainspannungen liegt  $V_t$  im Bereich von 100 mV und sinkt mit steigendem  $V_d$ . Für  $V_d = 0.55$  V erreicht die Schwellspannung einen Minimalwert von  $-105$  mV. Drainspannungen größer als 0.55 V führen zu einem Ansteigen von  $V_t$ . Das rechte Teilbild von Abb. 4.6 zeigt die Transconductance  $G_m$  des QWT in Abhängigkeit der Drainspannung. Für kleines  $V_d$  ist  $G_m = 4 \mu\text{A/V}$  und steigt mit der Drainspannung an. Ab einer Drainspannung von 0.5 V ist die maximale Transconductance von etwa  $11.4 \mu\text{A/V}$  erreicht und eine weitere Erhöhung von  $V_d$  führt zu keinem weiteren Anstieg.

Der Anstieg und die darauf folgende Sättigung der maximalen Transconductance lässt sich mit Hilfe der Ausgangskennlinie eines MOSFET erklären. Gemäß dem Ausgangskennlinienfeld ergibt sich die Transconductance zu

$$G_m = \frac{\partial I_d}{\partial V_g} = \begin{cases} \beta V_d, & V_d \leq V_{d,sat} \\ \beta V_{d,sat}(1 - \lambda V_d), & V_d > V_{d,sat} \end{cases} \quad (4.1)$$

mit dem Transconductance-Koeffiziente  $\beta$ . Abb. 4.6b zeigt den gemäß Gleichung 4.1 berechneten und stückweise stetigen Verlauf der Transconductance für  $\beta = 42 \mu\text{A/V}$  und  $V_{d,sat} =$



**Abb. 4.6:** (a) Schwellspannung eines QWT in Abhängigkeit der Drainspannung. Die Spannungsabhängigkeit der Gate-Effektivität ergibt den gezeigten parabolischen Verlauf der Schwellspannung. (b) Transconductance eines QWT für verschiedene Drainspannungen. Ein Maximalwert von  $11 \mu\text{A/V}$  wird ab  $V_d = 0.75 \text{ V}$  erreicht.

$0.23 \text{ V}$ . Für  $\lambda$  wird ein Wert von  $-0.15 \text{ 1/V}$  ermittelt, was einer Early-Spannung von  $-6.7 \text{ V}$  entspricht. Mit Hilfe der Transconductance, die Aufschluss über die Verstärkungscharakteristik des QWT gibt, kann nun die maximal verfügbare Spannungsverstärkung bestimmt werden. In Source-Schaltung ist die maximale Spannungsverstärkung eines Transistors als  $A = -G_m R$  gegeben [13], wobei  $R$  der an Drain angeschlossene Lastwiderstand ist. Die Grenze für die Spannungsverstärkung des QWT liegt bei  $A = -1$  und ist hier folglich bei  $R = 87 \text{ k}\Omega$  erreicht. Nur Lastwiderstände größer als dieser Wert können zu einer Spannungsverstärkung führen.

Die Verschiebung von  $V_t$ , hin zu positiven Werten mit steigender Drainspannung, ist ein Ergebnis der Spannungsabhängigkeit der Gate-Effektivität. Für  $V_g = V_t$  ist der Kanal geschlossen, d.h. eine Potentialbarriere hat sich im Kanal geformt. Das Maximum der Potentialbarriere liegt energetisch betrachtet oberhalb der elektrochemischen Potentiale von Drain und Source, wodurch ein Ladungsträgeraustausch unterbunden ist. Die Höhe der Potentialbarriere wird durch die Gatespannung und die Drainspannung verändert, wobei die Drainspannung sowohl über das Drain-Induced-Barrier Lowering (DIBL) als auch über Verarmungseffekte nahe dem drainseitigen Elektronenreservoir wirksam wird. Das DIBL ist kein statischer Effekt, sondern variiert mit der Drainspannung [155] und die Schwellspannung des QWT kann durch die Gleichung

$$V_t = \frac{1}{\eta_{gs} + \eta_{gd}} \left[ -\frac{\phi_b - \mu_s}{e} - (\eta_{DIBL,a} - \eta_{gd})V_d + \eta_{DIBL,b}V_d^2 \right] \quad (4.2)$$

beschrieben werden [156]. Hierbei sind  $\eta_{gs}$  und  $\eta_{gd}$  die Gate-Effektivitäten im QWT,  $\phi_b$  die Höhe der Potentialbarriere,  $\mu_s$  das elektrochemische Potential des Sourcereservoirs,  $e$  die Ele-

mentarladung und  $\eta_{DIBL,a}$  und  $\eta_{DIBL,b}$  die Einfluss aktoren der Drainspannung auf das DIBL.  $\eta_{gs}$  und  $\eta_{gd}$  sind ein Maß für die Änderung des elektrostatischen Potentials im QWT bezogen auf die Spannungsdifferenzen  $V_g - V_s$  bzw.  $V_g - V_d$ , d.h. auf das Source- und das Drainpotential. Die Summe  $\eta_{gs} + \eta_{gd}$  stellt die gesamte Gate-Effektivität  $\eta$  des QWT dar und kann über den Subthreshold Swing bestimmt werden. Mit Hilfe der linearen Näherung des Subthreshold Swings in Abb. 4.5b, kann die Gate-Effektivität  $\eta$  in Abhängigkeit der Drainspannung als

$$\eta = \eta_0 - \eta_{dyn} V_d \quad (4.3)$$

ausgedrückt werden. Hierbei ist  $\eta_0$  die Gate-Effektivität des QWT für  $V_d = 0.0$  und  $\eta_{dyn}$  die dynamische Komponente der Gate-Effektivität, die mit steigender Drainspannung zu einer Verringerung von  $\eta$  führt. Für die lineare Näherung ergeben sich  $\eta_0 = 11.5\%$  und  $\eta_{dyn} = 6.8\%/V$ . Um diese Spannungsabhängigkeit von  $\eta$  zu berücksichtigen, wird Gleichung 4.3 in Gleichung 4.2 eingesetzt, wodurch sich

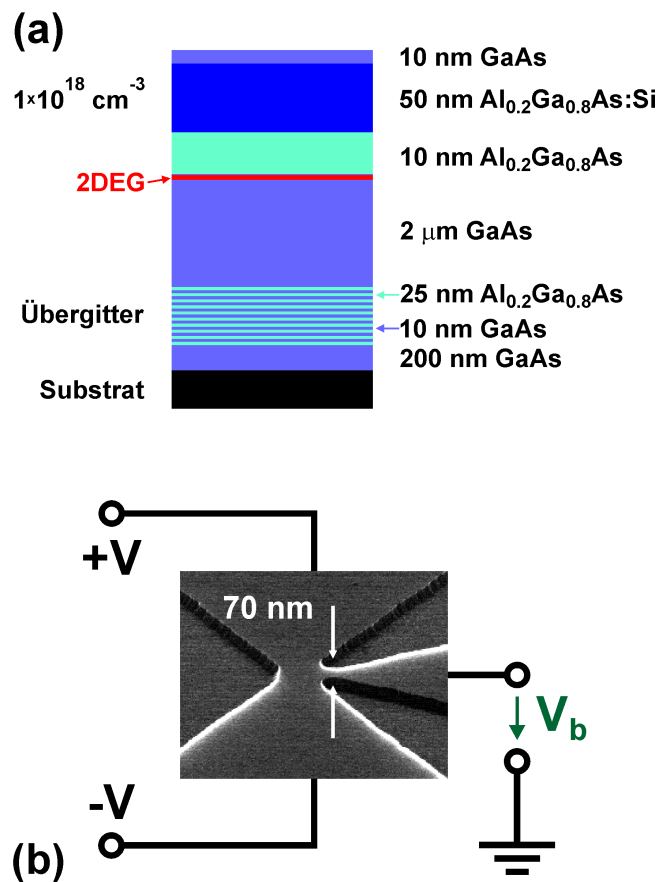
$$V_t = \frac{1}{\eta_0 - \eta_{dyn} V_d} \left[ -\frac{\phi_b - \mu_s}{e} - (\eta_{DIBL,a} - c(\eta_0 - \eta_{dyn} V_d)) V_d + \eta_{DIBL,b} V_d^2 \right] \quad (4.4)$$

ergibt.  $c$  gibt das Verhältnis von  $\eta_{gd}$  zu  $\eta$  wieder und für ein vollständig symmetrisches System gilt  $c = 0.5$ . Abb. 4.6a zeigt die theoretische Beschreibung von  $V_t$  gemäß Gleichung 4.4 mit den Werten  $(\phi_b - \mu_s)/e = -4.5$  mV,  $c = 0.4$ ,  $\eta_{DIBL,a} = 10\%$  und  $\eta_{DIBL,b} = 8.3\%$ . Wie man leicht erkennen kann, wird durch Gleichung 4.4 der quadratische Verlauf der Schwellspannung, der durch die drain-induzierte Verarmung im QW hervorgerufen wird, gut wiedergegeben. Im QWT tritt eine leichte asymmetrische Verschiebung auf, wodurch  $\eta_{gs} > \eta_{gd}$  gilt und sich  $c < 0.5$  ergibt.

### 4.3 Three-Terminal Junctions als elektronische Bauelemente

Im Rahmen dieser Arbeit bestand eine Aufgabe darin, neue, einfach herzustellende Transistorstrukturen auf der Basis von modulationsdotierten GaAs/AlGaAs Heterostrukturen zu entwickeln. Einfache Strukturen zeichnen sich dadurch aus, dass beispielsweise die Strukturierung in einem einzelnen Prozessschritt durchgeführt werden kann und die Struktur somit monolithisch ist. Bei regulären FETs ist die Isolierung zwischen Gate und Kanal ein kritischer Schritt, der notwendig ist, um den Feldeffekt ausbilden zu können. Fehler oder Ungenauigkeiten die hierbei auftreten, können die Transistorfunktion nachhaltig stören und so eine starke Verschiebung der Schwellspannung hervorrufen. Folglich bestand die Hauptaufgabe darin, eine Struktur zu entwickeln, die möglichst wenige Fehlerquellen zulässt und im Idealfall auf isolierende Schichten zwischen Gate und Kanal weitgehend verzichtet.

Ein Bauelement, das in jüngerer Vergangenheit starkes Interesse erfahren hat, wird als Three-Terminal Junction (TTJ) bezeichnet und besteht aus einer T- bzw. Y-förmigen Verzweigung. Hierbei werden drei Elektronenreservoirs miteinander verbunden, wobei sich ein Kanal zwischen zwei Reservoirs - Drain und Source - ausbildet. Der dritte Anschluss bzw. Ast ist



**Abb. 4.7:** (a) Schematische Darstellung des Schichtaufbaus, der der Heterostruktur des untersuchten TTJ zu Grunde liegt. (b) SEM-Aufnahme eines TTJ eingefügt in den elektrischen Messaufbau zur Bestimmung der Gleichrichtung bei den angelegten Spannungen.

mittig an diesem Kanal angebracht und kann zum Abgreifen der Spannung am Verzweigungspunkt genutzt werden. Durch die T- bzw. Y-Form können Bauteile mit stark ausgeprägten nicht-linearen Transporteigenschaften realisiert werden, die für eine Vielzahl von möglichen Anwendungen zur Verfügung stehen. Hierbei wurde besonders die Gleichrichtung in diesen Strukturen untersucht. Diese zeichnen sich durch extreme Stabilität sowie eine sehr hohe Grenzfrequenz aus [81, 123, 125, 126, 127, 130, 157, 158, 159]. Durch gezielte Weiterentwicklungen an der Struktur der Bauelemente war es möglich, logische Bauelemente auf Basis dieses Gleichrichtungseffekts oder einen Frequenzmischer zu realisieren [160, 161, 162, 163].

### 4.3.1 Aufbau und Design einer Three-Terminal Junction

Die hier verwendeten TTJs basieren auf einer modulationsdotierten GaAs/AlGaAs Heterostruktur, die mittels Molekularstrahlepitaxie hergestellt wurde. Abb. 4.7a zeigt schematisch den Schichtaufbau der Heterostruktur.

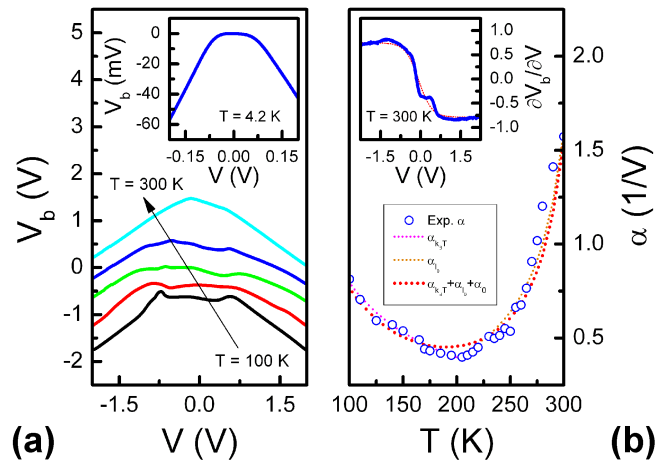
Die Strukturierung des TTJ erfolgt mittels hochauflösende Elektronenstrahlolithographie und anschließendem nasschemischen Ätzen. Die hierfür verwendeten Prozesse wurden in Kapitel 3.1.1 vorgestellt. Auf dieser Basis wurden die leitfähigen Bereiche der sich ergebenden TTJs durch Ätzgräben voneinander elektrisch isoliert. Um dies zu erreichen, muss auch hier die Ätztiefe mehr als 80 nm betragen und das hochleitfähige 2DEG durchtrennt werden. Abb. 4.7b zeigt eine SEM-Aufnahme eines TTJ, wobei hier die Ätztiefe 110 nm beträgt. Der Gateast der Struktur hat eine minimale Weite von 70 nm und der leitfähige Kanal zwischen Drain und Source ist 700 nm lang und 300 nm breit. Für die Bestimmung der Gleichrichtung des Bauelements wurde der Verlauf der Spannung  $V_b$  zwischen mittlerem Ast und Masse in Abhängigkeit der angelegten Spannung  $V$  ermittelt. Abb. 4.7b zeigt den verwendeten, elektrischen Messaufbau schematisch. Als Messumgebung wurde Heliumatmosphäre gewählt, wobei die Struktur mit Hilfe eines geeigneten Probenhalters sowohl in flüssige Helium eingebracht ( $T = 4.2$  K) als auch bei höheren Temperaturen untersucht wurde.

### 4.3.2 Gleichrichtung und Temperaturabhängigkeit von Three-Terminal Junctions

Um die Transporteigenschaften des Bauelements zu bestimmen, wird der TTJ in Abhängigkeit der Temperatur charakterisiert. Der TTJ eignet sich als Gleichrichter, wie in Abb. 4.7b dargestellt. An die beiden über einen Kanal verbundenen Ladungsträgerreservoirs werden die Spannungen  $+V$  und  $-V$  angelegt, die betragsmäßig gleich sind. Die Spannung  $V_b$  wird am mittleren Ast gemessen. Eine derartige Beschaltung wird als Push-Pull-Betrieb bezeichnet [126]. In einem rein resistiven Netzwerk würde eine derartige Beschaltung zu einer vom internen Widerstandsverhältnis bestimmten Spannung  $V_b$  führen. Der Wert von  $V_b$  hinge hierbei von  $V$  ab und das Verhältnis  $V_b/V$  bleibt konstant. Im Falle eines symmetrischen Netzwerks liegt  $V_b$  auf dessen Symmetrieachse und ergibt sich nach dem Superpositionsprinzip zu  $V_b = +V/2 - V/2 = 0$ .

Abb. 4.8a zeigt den Verlauf der Astspannung  $V_b$  im Push-Pull-Betrieb bei den Temperaturen  $T = 100, 150, 200, 250$  und  $300$  K. Aus Gründen der Übersichtlichkeit wurden die Spannung-Spannung-Kennlinien für  $T = 150, 200, 250$  und  $300$  K um  $0.4, 0.8, 1.2$  bzw.  $1.6$  V verschoben. Beginnend bei negativen Reservoirspannungen nimmt  $V_b$  für  $T = 300$  K mit einer Steigung von etwa  $0.8$  V/V zu und erreicht bei  $V = -0.15$  V einen Maximalwert von  $-0.12$  V. Für  $V > -0.15$  V sinkt  $V_b$  kontinuierlich mit einer Steigung von  $-0.8$  V/V ab. Mit sinkender Temperatur verringert sich das Maximum und die Steigung der Flanken wird flacher. Das kleine Teilbild von Abb. 4.8a zeigt die  $V_b$ - $V$ -Kennlinie bei  $T = 4.2$  K, wobei auch hier das Maximum gut zu erkennen ist und sich die Steigung der Flanken auf  $0.35$  V/V reduziert hat.

Im Bereich des Maximums nimmt  $V_b$  quadratisch mit  $V$  ab. Um dies näher zu untersuchen, wurde die Ableitung der  $V_b$ - $V$ -Kennlinie gebildet und deren Steigung im Bereich des Maximums, d.h. für  $|V| \leq 0.5$  V, bestimmt. Das kleine Teilbild von Abb. 4.8b zeigt exemplarisch die Ableitung von  $V_b$  in Abhängigkeit von  $V$  für  $T = 300$  K. Für  $V < -1.25$  V und  $V > 1.0$  V ist  $|\partial V_b/\partial V| = 0.8$  V/V, was einem linearen Ansteigen bzw. Absinken von  $V_b$  entspricht. Zwischen diesen Bereichen mit konstanter Ableitung fällt  $\partial V_b/\partial V$  nahezu linear ab. Die Steigung



**Abb. 4.8:** (a) Spannung-Spannung-Kennlinie eines TTI im Betrieb als Gleichrichter für die Temperaturen  $T = 100, 150, 200, 250$  und  $300$  K. Kleines Teilbild: Verlauf der Spannung am mittleren Ast in Abhängigkeit der Spannung  $V$  bei  $T = 4.2$  K. (b) Betrag der maximalen Steilheit der  $V_b$ - $V$ -Kennlinie in Abhängigkeit der Temperatur. Kleines Teilbild: Steigung der  $V_b$ - $V$ -Kennlinie bei  $T = 300$  K.

in diesem Bereich wurde mit Hilfe einer linearen Näherung bestimmt und ist in Abhängigkeit der Temperatur im rechten Teilbild von Abb. 4.8 dargestellt. Die Krümmung  $\alpha = -\partial^2 V_b / \partial V^2$  liegt für  $T = 150$  K bei 0.5, fällt mit steigender Temperatur leicht ab und erreicht bei  $T = 210$  K einen Minimalwert von 0.35. Ab Temperaturen von mehr als 240 K steigt  $\alpha$  stark an und hat bei  $T = 300$  K einen Maximalwert von 1.2.

Ursache für das Maximum in der  $V_b$ - $V$ -Kennlinie ist die Gleichrichtung in nanoelektronischen Y- bzw. T-Verzweigungen [81, 126, 127, 129, 130]. Im Rahmen des ballistischen Transports durch den Kanal zwischen den beiden Elektronenreservoirs, werden Elektronen von der negativen Spannung  $-V$  bei Source zu der positiven Spannung  $+V$  bei Drain emittiert. Auf ihrem Weg durch den Kanal erfahren die Elektronen keine bzw. nur sehr wenige Stöße und Streueignisse, wodurch keine bzw. fast keine Verluste auftreten. Bei geeigneten Abmessungen des Bauelements, d.h. einer Kanallänge in der Größenordnung der mittleren, freien Weglänge der Elektronen, liegt am mittleren Ast das elektrochemische Potential von Source an und  $V_b$  kann gleich  $-V$  sein [131]. Allgemein ergibt sich

$$V_b = -\alpha \frac{V^2}{2}, \quad (4.5)$$

wobei  $\alpha$  die Krümmung der Kurve näher bestimmt [126]. Ein großes  $\alpha$  entspricht somit einer starken Krümmung und damit einer großen Steigung bzw. Steilheit im Bereich des Maximums. Mit steigender Temperatur zeigt sich eine Abnahme der Gleichrichtung und damit der Krümmung. Für  $\alpha_{k_B T}$  gilt:

$$\alpha_{k_B T} = \frac{\zeta}{k_B T}, \quad (4.6)$$



mit dem Skalierungsfaktor  $\zeta$ , der den Einfluss von  $V$  auf das Leitungsband in der T-Verzweigung beschreibt [164]. Dieses Verhalten stimmt mit den experimentellen Ergebnissen von Abb. 4.8b bis zu  $T = 200$  K überein und ist exemplarisch für  $\zeta = 8.5$  meV/V dargestellt. Für  $T > 200$  K nimmt  $\alpha$  mit steigender Temperatur zu, was in klarem Widerspruch zu Gleichung 4.6 steht. Eine Erklärung hierfür ist, dass sich mit der Temperatur die effektive Länge des Kanals zwischen den Reservoirs reduziert. Anhand von experimentellen Untersuchungen wurde gezeigt, dass eine indirekte Proportionalität zwischen der Krümmung  $\alpha$  und der Kanallänge  $l_0$  vorliegt [131]. Ein Ansatz, der diesen Zusammenhang beschreibt ist

$$\alpha_{l_0} = \chi \frac{1}{l_0 - \kappa T}, \quad (4.7)$$

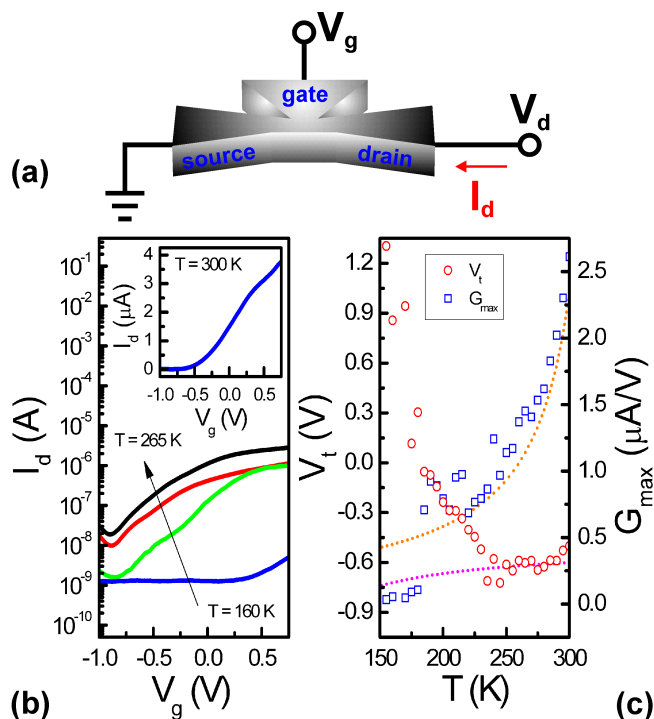
wobei  $\chi$  und  $\kappa$  Skalierungsfaktoren sind. Für  $l_0 \rightarrow \infty$ , wodurch die Abmessung des Bauelements sehr viel größer als die mittlere, freie Weglänge wird, liefert Gleichung 4.7  $\alpha_{l_0} = 0$ , d.h. die Gleichrichtung wird unterbunden. Mit Hilfe dieses Zusammenhangs ist in Abb. 4.8b der Verlauf von  $\alpha_{l_0}$  für eine Kanallänge von  $l_0 = 150$  nm und die Skalierungsfaktoren  $\chi = 25$  nm/V und  $\kappa = 0.45$  nm/K dargestellt. Um diese beiden Abhängigkeiten bei der Beschreibung von  $\alpha$  zu berücksichtigen, wird  $\alpha$  über

$$\alpha = \alpha_{k_B T} + \alpha_{l_0} + \alpha_0 = \frac{\zeta}{k_B T} + \chi \frac{1}{l_0 - \kappa T} + \alpha_0 \quad (4.8)$$

beschrieben. Der so ermittelte Verlauf von  $\alpha$  ist in Abb. 4.8b gezeigt, wobei  $\alpha_0 = -0.45$  1/V ist. Die beobachtete Abnahme von  $\alpha$  mit steigender Temperatur und die anschließende Zunahme für  $T > 200$  K ist somit ein Ergebnis der Überlagerung von zwei temperaturabhängigen Effekten. Die Lage des Maximums bei  $V \neq 0.0$  bzw. der Maximalwert von  $V_b < 0.0$  ist das Resultat von Schwankungen im Design des TTJ bzw. in der Breite des Kanals zwischen den beiden Elektronenreservoirs [127, 129, 130].

Um die Transistoreigenschaften des TTJ zu untersuchen, wurde der in Abb. 4.9a gezeigte elektrische Messaufbau verwendet. Eine Drainspannung  $V_d$  und eine Gatespannung  $V_g$  werden an den Kontakten von Drain bzw. Gate angelegt, wobei Source als Bezugspunkt dient und geerdet ist. Als Gate dient der zuvor zum Spannungsabgriff genutzte, mittlere Ast.

Abb. 4.9b zeigt die Transferkennlinie eines TTJ in halblogarithmischer Darstellung bei den Temperaturen  $T = 160, 195, 230$  und  $265$  K für  $V_d = 0.5$  V. Unabhängig von der Temperatur ist der Kanal bei Gatespannungen kleiner als  $-0.9$  V geschlossen und der Stromfluss unterbunden. Bei  $T = 265$  K setzt ein Stromfluss für  $V_g > -0.85$  V ein, wobei der Drainstrom  $I_d$  monoton ansteigt und einen Maximalwert von  $3 \mu\text{A}$  bei  $V_g = 0.75$  V erreicht. Für kleinere Temperaturen verschiebt sich die Schwellspannung des TTJ hin zu positiven Werten und der maximale Strom reduziert sich. Das kleine Teilbild in Abb. 4.9b zeigt die Transferkennlinie des TTJ für  $T = 300$  K. Auch hier steigt  $I_d$  monoton mit der Gatespannung an und erreicht einen Maximalwert von fast  $4 \mu\text{A}$ . Mit Hilfe der Schwellspannung  $V_t$  wurden sowohl der Drainstrom bei  $V_g = 0.25$  V +  $V_t$  als auch die maximale Transconductance  $G_{max}$  bestimmt. In Abb. 4.9c ist der Verlauf der Schwellspannung und der maximalen Transconductance in Abhängigkeit der Temperatur dargestellt. Für  $T = 150$  K liegt  $V_t$  bei  $1.3$  V und sinkt mit steigender Temperatur schnell



**Abb. 4.9:** (a) Schematische Darstellung eines TTT zusammen mit dem verwendeten, elektrischen Messaufbau für die Bestimmung der Transferkennlinie. (b) Transferkennlinienfeld eines TTT bei den Temperaturen  $T = 160, 195, 230$  und  $265$  K für  $V_d = 0.5$  V. Kleines Teilbild: Transferkennlinie des TTT für  $V_d = 0.5$  V bei  $T = 300$  K. (c) Schwellspannung  $V_t$  und maximale Transconductance  $G_{max}$  der Transferkennlinie in Abhängigkeit der Temperatur.

ab. Bei  $T = 240$  K erreicht  $V_t$  einen Minimalwert von  $-0.72$  V und nimmt für  $T > 240$  K wieder leicht zu bis zu einem Wert von  $-0.5$  V bei  $T = 300$  K. Die maximale Transconductance  $G_{max}$  ist für kleine Temperaturen sehr niedrig und steigt mit zunehmender Temperatur rasch an. Für  $T = 300$  K wird eine maximale Transconductance von mehr als  $2.5 \mu\text{A/V}$  erreicht. Der Anstieg von  $G_{max}$  kann durch die Verringerung der effektiven Länge  $l_{eff}$  des Kanals zwischen Drain und Source erklärt werden. Wie bereits bei  $\alpha_{l_0}$  diskutiert wird  $l_{eff}$  mit steigender Temperatur reduziert. Anhand von Gleichung 2.1 ist klar ersichtlich, dass sich die Steigung der Ausgangs- und damit auch der Transferkennlinie vergrößert. Für die Transconductance gilt somit

$$G_{max} = \frac{G_{max,0}}{l_0 - \kappa T}, \quad (4.9)$$

wobei  $G_{max,0}$  die Transconductance bei  $T = 0$  beschreibt. Abb. 4.9c zeigt den so berechneten Verlauf von  $G_{max}$  für  $G_{max,0} = 35 \mu\text{A/V}$ . Für die Beschreibung der Schwellspannung gilt, in Anlehnung an Gleichung 3.17, ganz allgemein:

$$V_t = -\frac{en_e}{C_g}. \quad (4.10)$$

Folglich hängt die Schwellspannung direkt von der Elektronendichte ab. Die Elektronendichte eines 2DEG kann bei höheren Temperaturen näherungsweise aus der Zustandsdichte berechnet werden [114], wobei gilt:

$$n_e = \frac{m}{\pi\hbar^2} k_B T \exp\left(\frac{E_F}{k_B T}\right). \quad (4.11)$$

Durch diesen Zusammenhang kann der Verlauf der Elektronendichte in Abhängigkeit der Temperatur ermittelt werden. Eine hierfür notwendige Größe ist die Fermi-Energie des Systems, für die bei tiefen Temperaturen ein typischer Wert von  $E_F = 10$  meV angenommen werden kann [72]. Mit steigender Temperatur verringert sich die Fermi-Energie und nimmt negative Werte an, wodurch sich

$$E_F = k_B T \ln \left[ \exp\left(\frac{E_F^0}{k_B T}\right) - 1 \right] \quad (4.12)$$

ergibt [114]. Anhand der Gleichungen 4.10 bis 4.12 ist die Schwellspannung des Systems durch

$$V_t = -\frac{e}{C_g} \frac{m}{\pi\hbar^2} k_B T \left[ \exp\left(\frac{E_F^0}{k_B T}\right) - 1 \right] \quad (4.13)$$

gegeben und der so berechnete Verlauf von  $V_t$  in Abb. 4.9c dargestellt. Die hierfür verwendeten Werte waren:  $E_F^0 = 10$  meV,  $m/(\pi\hbar^2) = 2.9 \times 10^{10}$  1/(meV cm<sup>2</sup>) und  $e/C_g = 1.8 \times 10^{-12}$  V cm<sup>2</sup>. Wie leicht zu erkennen ist, stimmen Experiment und theoretischer Verlauf von  $V_t$  für  $T \geq 240$  K nahezu überein. Bei niedrigeren Temperaturen ist die Schwellspannung positiv, was im Widerspruch zu Gleichung 4.13 steht und auch nicht durch den Einfluss kurzer Kanal-längen, wie beispielsweise den Roll Down, erklärt werden kann. Eine mögliche Ursache für die positiven Schwellspannungen in diesem Temperaturbereich ist eine, durch die Änderung der effektiven Weiten des Bauelements verursachte, Verarmung des Kanals. Dieser Zusammenhang, zwischen der Geometrie des Bauelements und dessen Schwellspannung, wird in Abschnitt 4.3.4 näher untersucht.

Der hier beschriebene Verlauf der Strom-Spannung-Kennlinien legt die Vermutung nahe, dass sich der Strom im Kanal durch die angelegte Gatespannung kontrollieren und sich somit ein FET realisieren lässt. Dieser Sachverhalt wird in den nachfolgenden Abschnitten noch genauer untersucht werden. Aus der Temperaturabhängigkeit folgt, dass sich mit zunehmender Temperatur die Transistoreigenschaften des Bauelements verbessern. Ähnlich wie bereits bei der Gleichrichtung ist der Grund hierfür, dass mit steigender Temperatur die effektive Breite und Länge des Kanals zu- bzw. abnimmt, was zu einer stärkeren Ausprägung des Feldeffekts führt. Folglich sorgt ein kürzerer Kanal für eine Zunahme der Transconductance. Mit steigender Temperatur nimmt allerdings auch die Ausdehnung des Gates zu und damit der Abstand zwischen Gate und Kanal ab, was wiederum zu einem Absinken der Schwellspannung führt.

### 4.3.3 Transistorkennlinien von Three-Terminal Junctions

Die ausgeprägte Nichtlinearität und der extrem stabile Gleichrichtungseffekt machen die TTJs für weiterführende Untersuchungen interessant. Hierbei wurde vornehmlich der Zusammenhang zwischen den angelegten Spannungen und den sich ergebenden Strömen untersucht. Durch

den kompakten und einfachen Aufbau der Strukturen würde ein Nachweis von Transistorfunktionalität bzw. Verstärkung die Grundlage für weiterführende Anwendungen als Sensorelement, zur Signalverarbeitung oder in kaskadierten Schaltungen bilden.

Die untersuchte, 100 nm tief geätzte Struktur besteht aus zwei Elektronenreservoirien - Drain und Source -, die durch einen 500 nm langen und 225 nm breiten Kanal verbunden sind. Der dritte Anschluss - das Gate - ist mit dem Kanal über einen 150 nm breiten Steg verbunden. Abb. 4.10a zeigt eine SEM-Aufnahme des TTJ zusammen mit dem verwendeten elektrischen Messaufbau. Die Drainspannung  $V_d$  und die Gatespannung  $V_g$  werden an den Kontakten von Drain bzw. Gate angelegt, wobei Source als Bezugspunkt dient und geerdet ist. Als Messumgebung wurde ein abgeschlossenes Heliumsystem bei Raumtemperatur gewählt.

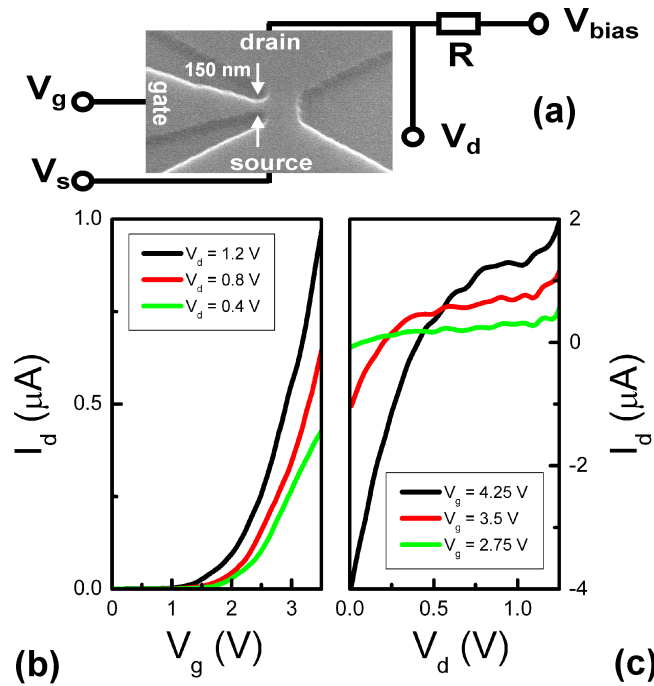
Abb. 4.10b zeigt das Transferkennlinienfeld eines TTJ bei Raumtemperatur für die Drainspannungen  $V_d = 1.2, 0.8$  und  $0.4$  V. Für  $V_d = 1.2$  V und bei Gatespannungen größer als die Schwellspannung steigt der Drainstrom  $I_d$ , bei einer Änderung der Gatespannung  $V_g$  von  $0.0$  auf  $3.5$  V, monoton an und erreicht einen Maximalwert von  $1 \mu\text{A}$ . Mit Verringerung der Drainspannung auf  $0.4$  V reduziert sich dieser Maximalwert auf  $0.4 \mu\text{A}$ . In Abb. 4.10c ist das Ausgangskennlinienfeld des TTJ dargestellt. Für kleine Drainspannungen ist  $I_d$  negativ, steigt mit Erhöhung der Drainspannung an und erreicht einen Maximalwert von  $1.6 \mu\text{A}$  bei  $V_d = 1.2$  V und  $V_g = 4.25$  V. Eine Verringerung der Gatespannung führt sowohl zu einer Reduzierung des maximalen Stroms als auch zu einem kleineren, negativen Drainstrom bei  $V_d = 0.0$ . Ursache hierfür sind Leckströme aus dem Gate in den Kanal, die bei kleinen Drainspannungen zu negativen Drainströmen führen.

Um den Einfluss des Gatestroms  $I_g$  auf den Drainstrom genauer beschreiben zu können, sind in Abb. 4.11a+b sowohl der Drainstrom als auch der Gatestrom halblogarithmisch dargestellt. Unabhängig von der angelegten Drainspannung nimmt  $I_g$  bei genauer Betrachtung exponentiell bis zu einer Gatespannung von  $2.2$  V zu. Für  $V_g > 2.2$  V steigt  $I_g$  überexponentiell an.

Die Verengung zwischen Gatereservoir und Kanal sorgt für die Bildung einer Potentialbarriere im Gateast. Diese Potentialbarriere trennt Gate und Kanal elektrisch voneinander und sorgt für eine intrinsische Isolation. Daher kann der durch das Gate in den Kanal fließende Gatestrom über

$$I_g = I_{g,0} \left( \exp \left( \frac{V_g}{n\phi_t} \right) - 1 \right) \approx I_{g,0} \exp \left( \frac{V_g}{n\phi_t} \right) \quad (4.14)$$

beschrieben werden. Hierbei ist  $n$  ein Idealitätsfaktor und Maß für die Form der Potentialbarriere,  $\phi_t$  die Temperaturspannung (bei Raumtemperatur:  $\phi_t = 26$  mV) und  $I_{g,0}$  der Sättigungsstrom. Im Rahmen dieses Modells wird der Gatestrom mittels thermischer Injektion von Ladungsträgern über die Potentialbarriere beschrieben. Da die Potentialbarriere im Gate nicht durch ein externes elektrisches Feld erzeugt wird, ändern sich die charakteristischen Parameter der Potentialbarriere durch die angelegte Gatespannung. Somit kann eine Spannungsabhängigkeit von  $n$  angenommen werden, wobei vorausgesetzt wird, dass sowohl die Höhe als auch die Breite der Potentialbarriere mit steigender Gatespannung variiert, was zu einer erhöhten Injektion von Elektronen vom Kanal in das Gate führt. Dies wird bei der Beschreibung von  $n$  durch



**Abb. 4.10:** (a) SEM-Aufnahme eines TTI zusammen mit dem verwendeten, elektrischen Messaufbau und den angelegten Spannungen. (b) + (c) Ausgangs- und Transferkennlinienfeld eines TTI.

folgenden, funktionellen Zusammenhang berücksichtigt:

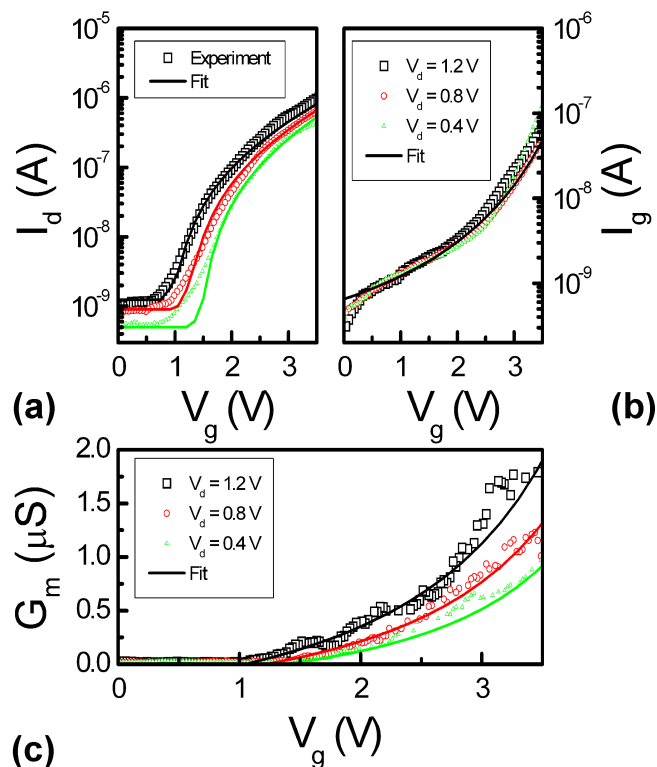
$$n = n_0 (1 - \gamma V_g). \quad (4.15)$$

$\gamma$  ist hierbei ein Maß für den Einfluss der Gatespannung auf die Höhe und Breite der Potentialbarriere und  $n_0$  ist der Idealitätsfaktor der Potentialbarriere für  $V_g = 0$ . Anhand der Gleichungen 4.14 und 4.15 wurde der Gatestrom berechnet und ist in Abb. 4.11b dargestellt. Die hierbei verwendeten Parameter sind  $\gamma = 0.165 \text{ 1/V}$ ,  $n_0 = 70$  und  $I_{g,0} = 0.65 \text{ nA}$ . Der überexponentielle Anstieg von  $I_g$  mit steigender Gatespannung wird daher mit einer spannungsabhängigen Verringerung von  $n$  mit steigendem  $V_g$  erklärt. Dies ändert die Injektionsbedingungen für Ladungsträger aus dem Kanal in das Gate und erleichtert für große Gatespannungen die Injektion von Ladungsträgern.

Um die Transferkennlinie des TTI zu beschreiben, wurde die aus Kapitel 2.1.1 bekannte, quadratische Abhängigkeit von  $I_d$  und  $V_g$  gewählt. Die Änderung der Potentialbarriere im Gate führt auch zu einer Variation der Gatekapazität, wodurch sich für den Drainstrom

$$I_d = \frac{\beta}{n} (V_g - V_t)^2 + I_{d,0} \quad (4.16)$$

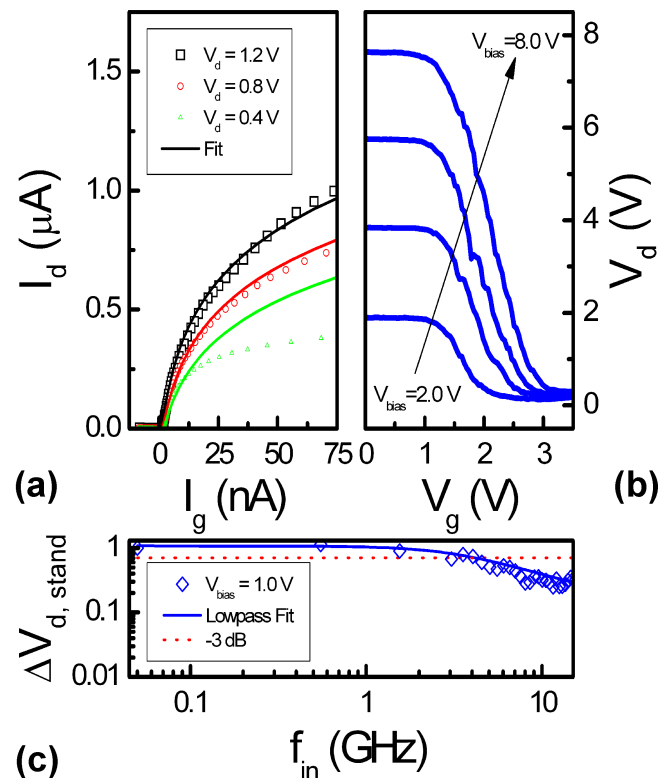
ergibt. Hierbei ist  $I_{d,0}$  der Sperrstrom,  $V_t$  die Schwellspannung und  $\beta$  der Transconductance-Koeffizient. Im Unterschied zu der ursprünglichen, quadratischen Abhängigkeit zwischen  $I_d$



**Abb. 4.11:** (a) + (b) Transfer- und Eingangskennlinienfeld eines TTI in halblogarithmischer Darstellung bei den Drainspannungen 1.2, 0.8 und 0.4 V. (c) Transconductance in Abhängigkeit der Gatespannung für die Drainspannungen 1.2, 0.8 und 0.4 V.

und  $V_g$  erhöht sich hier, durch die Gatespannungsabhängigkeit von  $n$ , die Steilheit der Transferkennlinie mit steigender Gatespannung. Ursache hierfür ist die Zunahme der Gatekapazität mit steigender Gatespannung. Die Potentialbarriere zwischen Gateast und Kanal dient als variable Isolierung, deren effektive Breite und Höhe sich mit steigender Gatespannung verändert. Ein ähnlicher Effekt wurde für eine Kapazität im Leckstrombereich beschrieben, wobei sich die Kapazität mit steigender Barrierenhöhe vergrößert [165]. Folglich reduziert sich der Idealitätsfaktor  $n$  mit steigender Barrierenhöhe [166], was sich mit den Beobachtungen deckt. Abb. 4.11a zeigt sowohl die gemessenen Transferkennlinien als auch die jeweils zugehörigen, berechneten Stromverläufe für  $V_d = 1.2, 0.8$  und  $0.4$  V. Die hierbei verwendeten Parameter sind die bei Gleichung 4.15 ermittelten Werte  $\gamma = 0.165$  1/V und  $n_0 = 70$ . Der Transconductance-Koeffizient ergibt sich zu  $\beta = 8.5 \mu\text{A}/\text{V}^2$ . Die Schwellspannung der Transferkennlinie reduziert sich mit steigender Drainspannung von  $V_t = 1.31$  V bei  $V_d = 0.4$  V auf  $V_t = 0.96$  V bei  $V_d = 1.2$  V. Dies entspricht einer Änderung von  $V_t$  um 0.45 V pro Erhöhung von  $V_d$  um 1 V.

Im unteren Teilbild von Abb. 4.11 ist die Transconductance  $G_m$  des TTI gegen die Gatespannung bei den Drainspannungen  $V_d = 1.2, 0.8$  und  $0.4$  V abgebildet. Wie man leicht erkennen kann, nimmt  $G_m$  mit steigender Gatespannung zu. Im Gegensatz zu dem für konventionelle



**Abb. 4.12:** (a) Drainstrom-Gatestrom-Kennlinie eines TTI für die Drainspannungen 1.2, 0.8 und 0.4 V. (b) Verlauf der Ausgangsspannung über der Gatespannung, bei Betrieb des TTI in Source-Schaltung. (c) Bode-Diagramm des TTI für Frequenzen bis 11 GHz. Zur Bestimmung der Grenzfrequenz wird die Gleichrichtung einer hochfrequenten Wechselfspannung im Bereich des Feldeffekts bestimmt.

MOSFETs erwarteten, linearen Anstieg von  $G_m$  über  $V_g$ , nimmt hier die Steigung von  $G_m$  zu. Dieses nichtlineare Verhalten der Transconductance ergibt sich durch die Spannungsabhängigkeit von  $n$ . Aus den experimentellen Daten lässt sich eine maximale Steilheit von  $1.9\ \mu\text{A}/\text{V}$  bestimmen.

Anhand der Modellierung von  $I_d$  und  $I_g$  kann das Verhältnis der Ströme in Abhängigkeit der angelegten Spannungen beschrieben werden. Ein interessanter Aspekt ist der funktionale Zusammenhang zwischen Drain- und Gatestrom. Abb. 4.12a zeigt  $I_d$  aufgetragen über  $I_g$  für die Drainspannungen  $V_d = 1.2, 0.8$  und  $0.4\text{ V}$ . Unabhängig von  $V_d$  steigt  $I_d$  für kleine Werte von  $I_g$  stark an, wobei mit wachsendem  $I_g$  die Steigung von  $I_d$  abnimmt. Es werden maximale Steigungen  $\partial I_d / \partial I_g$  von 60 für  $V_d = 1.2\text{ V}$  und von 30 für  $V_d = 0.4\text{ V}$  erreicht. Unter Verwendung der Gleichungen 4.14 bis 4.16 wurde die  $I_d$ - $I_g$ -Kennlinie berechnet und ist in Abb. 4.12a dargestellt. Durch die experimentellen Daten wird klar, dass der TTI kein stromgesteuertes, sondern ein spannungsgesteuertes Bauelement darstellt. Für einen stromgesteuerten Transistor, wie den

Bipolartransistor, gilt:

$$B_0 = \frac{I_c}{I_b}. \quad (4.17)$$

Hierbei ist  $B_0$  die Stromverstärkung in Emitterschaltung,  $I_c$  der Kollektorstrom und  $I_b$  der Basisstrom. Charakteristisch für die Stromverstärkung ist ein linearer Zusammenhang zwischen Eingangs- ( $I_b$ ) und Ausgangsgröße ( $I_c$ ) [17]. Im Fall des TTJ ergibt sich nach Gleichung 4.14 bis 4.16 für die Stromverstärkung:

$$B_0 = \frac{\frac{\beta}{n} (V_g - V_t)^2 + I_{d,0}}{I_{g,0} \exp\left(\frac{V_g}{n\phi_t}\right)}. \quad (4.18)$$

Wie man leicht erkennt, hängt hier die Stromverstärkung stark von der angelegten Gatespannung ab und ist nicht konstant. Daher wird der TTJ nicht als stromgesteuerter Transistor betrieben sondern als spannungsgesteuertes Bauelement, da in Letzterem keine feste Beziehung zwischen Gate- und Drainstrom vorliegt und beide von  $V_g$  abhängig sind. Bemerkenswert ist, dass das Auftreten von Gateströmen nicht zu einem Zusammenbruch des Gate-Effekts führt, sondern diesen teilweise noch verstärkt und damit zu einer Verbesserung der Schalteigenschaften beitragen kann.

Abb. 4.12b zeigt die Ausgangsspannung  $V_d$  in Abhängigkeit der Gatespannung bei verschiedenen Betriebsspannungen  $V_{bias}$  für den TTJ in Sourceschaltung. Hierbei wurde der TTJ wie in Abb. 4.10a dargestellt beschalten und in Reihe mit einem Lastwiderstand  $R = 28.4 \text{ M}\Omega$  betrieben. Für  $V_{bias} = 8.0 \text{ V}$  ist der Kanal für Gatespannungen kleiner als  $1 \text{ V}$  geschlossen. Folglich liegt am Ausgang die maximal mögliche Spannung, d.h.  $V_{bias}$ , an. Erhöht sich  $V_g$ , steigt die Leitfähigkeit des Kanals an und die Ausgangsspannung sinkt. Der Kanal sättigt bei  $V_g > 3.0 \text{ V}$  für  $V_{bias} = 8.0 \text{ V}$  und bei  $V_g > 2.5 \text{ V}$  für  $V_{bias} = 2.0 \text{ V}$ , wodurch sich ab diesen Gatespannungen eine minimale Ausgangsspannung einstellt. Für  $V_{bias} = 8.0 \text{ V}$  ergibt sich somit bei einer Variation der Gatespannung um  $0.5 \text{ V}$  eine um den Faktor  $-5.3$  größere Änderung der Ausgangsspannung. Eine Reduzierung von  $V_{bias}$  auf  $2.0 \text{ V}$  führt zu einer Abnahme der Spannungsverstärkung, wobei hier ein Wert von  $-2.2$  erreicht wird. Für die differentielle Spannungsverstärkung wurde ein Maximalwert von  $-30$  ermittelt.

Für die Bestimmung der Hochfrequenzeigenschaften, die ein wichtiges Bewertungskriterium für eine mögliche Anwendung als Bauelement darstellen, wurde die Grenzfrequenz des TTJ ermittelt. Hierbei stellt die Kompensation der Fehlanpassung zwischen Netzwerkanalysator und Bauelement einen wichtigen Punkt dar, der bei der Ermittlung der Frequenzkennlinie zu beachten ist. Der hier gewählte Ansatz beruht auf dem Prinzip der ballistischen Gleichrichtung in T- bzw. Y-Verzweigungen, was eine häufig verwendete Methode im Bereich nanoelektronischer Bauelemente ist [123, 152, 167, 168]. Mittels eines Netzwerkanalysators und einer Hochfrequenzsignalquelle wurde der Gatespannung eine Wechsellspannung im Frequenzbereich von  $45 \text{ MHz}$  bis  $20 \text{ GHz}$  überlagert. Die Gleichrichtung des Wechsellspannungsanteils ergibt einen Spannungsversatz  $\Delta V_d$  am Drainkontakt, der sich mit zunehmender Frequenz der eingestrahlten Wechsellspannung ändert. Die Frequenzkennlinie des TTJ ergibt sich aus der Änderung von



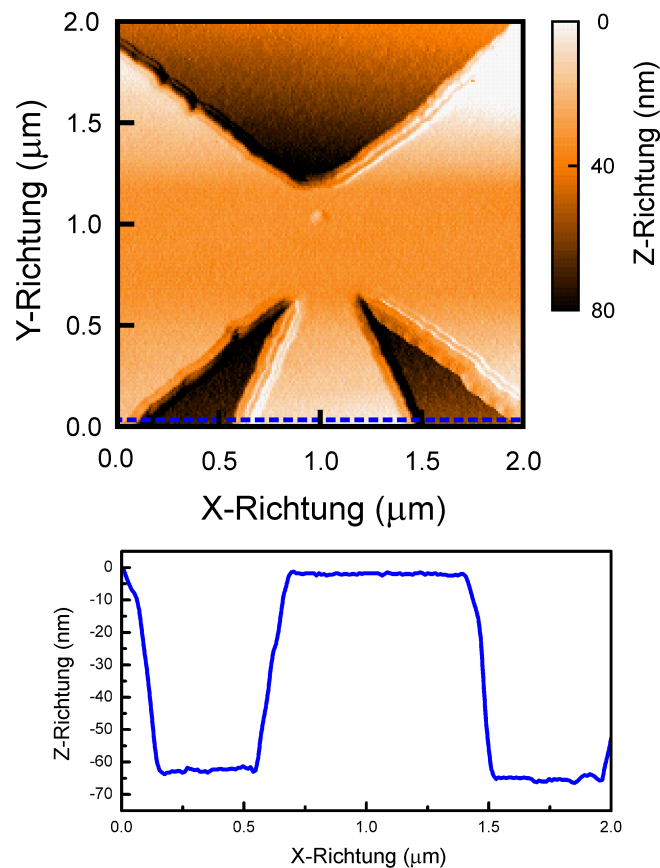
$\Delta V_d$  mit steigender Frequenz. Um die Schalteigenschaften des TTJ bewerten zu können, wurde eine Gatespannung von 2.5 V gewählt, wodurch das Bauelement im Bereich des Gate-Effekts betrieben wird.  $\Delta V_d$  wurde in Abhängigkeit der Frequenz  $f_{in}$  der Wechselspannung ermittelt und auf die Frequenz  $f_{in} = 45$  MHz normiert. Der sich daraus ergebende, gleichgerichtete Wechselspannungsanteil  $\Delta V_{d,stand}$  ist in Abb. 4.12c zusammen mit einem Tiefpass erster Ordnung gezeigt. Für den TTJ kann eine Grenzfrequenz von mehr als 4 GHz extrahiert werden.

### 4.3.4 Dimensionsabhängigkeit des Transistorverhaltens in Three-Terminal Junctions

Im Vergleich zu klassischen FETs besitzen TTJs einen sehr einfachen und kompakten Aufbau, bei dem auf das gezielte Einbringen einer Isolationsschicht verzichtet wird. Ein wichtiger Aspekt im Rahmen der Transistorherstellung ist allerdings auch die Steuerung kritischer Transistorparameter wie Schwellspannung, Transconductance oder Sperrstrom. Daher stellt sich die Frage, ob und in welchem Maß eine gezielte Beeinflussung der Transistorparameter bei TTJs möglich ist bzw. durch welche Vorgehensweise dies realisiert werden kann.

Um die Genauigkeit des Strukturierungsprozesses zu erhöhen, wurde der zu Grunde liegende Schichtaufbau geändert. Dies ist insofern sinnvoll, da bei den vorangegangenen Strukturen das 2DEG mehr als 80 nm unterhalb der Oberfläche liegt, wodurch Ätzgräben mit einer Tiefe von mehr als 90 nm zwingend notwendig sind. Wird das 2DEG hingegen näher an der Oberfläche ausgebildet, reduziert sich die benötigte Strukturierungstiefe. Dies sorgt dafür, dass kleinere Strukturen gezielt hergestellt werden können. Der hierfür verwendete Schichtaufbau ist in Abb. 4.17a schematisch dargestellt und zeigt eine modulationsdotierte GaAs/AlGaAs Heterostruktur. Mittels Molekularstrahlepitaxie wurde auf einem halbisolierenden GaAs-Substrat eine 200 nm dicke Bufferschicht aus GaAs abgeschieden. Hierauf folgt ein Übergitter, das aus einer alternierenden Folge von 25 nm dicken  $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ - und 10 nm dicken GaAs-Schichten besteht. Nach dem Wachstum von weiteren 1  $\mu\text{m}$  GaAs wird eine 30 nm dicke, siliziumdotierte  $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ -Schicht, gefolgt von einem 3 nm dicken GaAs-Cap, gewachsen. Die Siliziumkonzentration beträgt hierbei  $3 \times 10^{18} \text{ cm}^{-3}$ . Am Heterostrukturübergang bildet sich als Folge der Bandverbiegung ein 2DEG aus, das somit etwa 33 nm unterhalb der Oberfläche liegt.

Um den Einfluss der Strukturgeometrie auf die Transistorparameter zu ermitteln, wurden mehrere TTJs mit unterschiedlichen, charakteristischen Kenngrößen hergestellt. Exemplarisch zeigt das obere Teilbild von Abb. 4.13 eine Rasterkraftmikroskop-Aufnahme (atomic-force-microscope: AFM) eines TTJ. Bei diesem beträgt die minimale Ausdehnung im Gateast etwa 250 nm und die Breite des leitfähigen Kanals ist etwa 500 nm. Für die laterale Strukturierung wurde erneut hochauflösend Elektronenstrahlithographie, gefolgt von nasschemischen Ätzverfahren genutzt. Die leitfähigen Bereiche, die sich hierbei ergebenden TTJs, wurden durch Ätzgräben voneinander elektrisch isoliert. Um dies zu erreichen, muss die Ätztiefe mindestens 40 nm betragen. Die Ätztiefen betragen zwischen 60 nm und 70 nm, um eine ausreichende elektrische Isolation innerhalb des Bauteils zu gewährleisten. Die gepunktete, blaue Linie in der AFM-Aufnahme spiegelt die Position des Oberflächenschnittbilds durch den TTJ wider, das

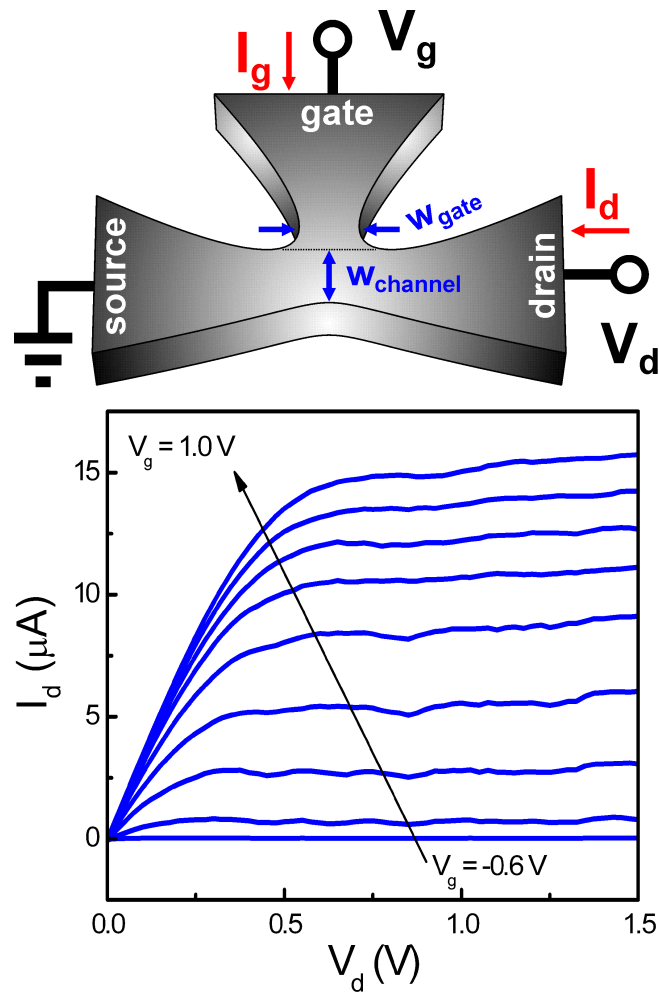


**Abb. 4.13:** Oben: AFM-Aufnahme eines TTI mit den beiden Kanalanschlüssen und dem monolithischen, verbundenen Gate. Unten: Oberflächenprofil des TTI entlang der blauen, gepunkteten Linie. Die Kanalanschlüsse sind teilweise und das Gate in voller Breite zu erkennen.

im unteren Teilbild von Abb. 4.13 gezeigt ist. Mit dessen Hilfe kann die Tiefe und Lage der isolierenden Gräben zwischen Gate, Kanal und Elektronenreservoirien bestimmt werden.

Die Transistorkennlinien wurden durch Messung der Ströme im Bauteil in Abhängigkeit der angelegten Spannungen ermittelt. Im oberen Teilbild von Abb. 4.14 ist der verwendete, elektrische Messaufbau schematisch dargestellt. Die Drainspannung  $V_d$  und die Gatespannung  $V_g$  werden an den Kontakten von Drain bzw. Gate angelegt, wobei Source als Bezugspunkt dient und geerdet ist. In der Skizze sind auch die lateralen Ausdehnungen wie die Breite des Gateasts  $w_{gate}$  und die Breite des Kanals  $w_{channel}$  eingezeichnet. Als Messumgebung wurde ein abgeschlossenes Heliumsystem bei Raumtemperatur gewählt.

Das untere Teilbild von Abb. 4.14 zeigt das Ausgangskennlinienfeld eines TTI für eine Gatespannung von  $-0.6\text{ V}$  bis  $1.0\text{ V}$  in Schritten von  $0.2\text{ V}$ . Die Breite von Kanal und Gateast beträgt  $w_{channel} = 180\text{ nm}$  bzw.  $w_{gate} = 70\text{ nm}$ . Bei einer Gatespannung von  $1.0\text{ V}$  führt eine Erhöhung von  $V_d$  zu einem monotonen Anstieg des Drainstroms  $I_d$ . Ab einer Drainspannung von  $0.75\text{ V}$  geht der Kanal in die Sättigung über und der Sättigungsstrom beträgt  $14.9\text{ }\mu\text{A}$ . Im Sät-



**Abb. 4.14:** Oben: Schematische Darstellung eines TTI zusammen mit dem verwendeten, elektrischen Messaufbau, den angelegten Spannungen und den gemessenen Strömen. Unten: Ausgangskennlinie eines TTI mit  $w_{gate} = 70 \text{ nm}$  und  $w_{channel} = 180 \text{ nm}$  für Gatespannungen von  $-0.6 \text{ V}$  bis  $1.0 \text{ V}$ .

tigungsbereich wird ein weiteres, starkes Ansteigen von  $I_d$  verhindert und eine Erhöhung von  $V_d$  resultiert in einem leichten, linearen Anwachsen des Drainstroms mit einer durchschnittlichen Steigung von  $1.2 \mu\text{A/V}$ . Durch eine Verringerung der Gatespannung reduziert sich der Sättigungsstrom und der Sättigungspunkt verschiebt sich hin zu kleineren Spannungen. Auch bei kleineren Gatespannungen führt im Sättigungsbereich eine Erhöhung der Drainspannung zu einem leichten Ansteigen des Drainstroms, wobei die Steigung im Sättigungsbereich mit sinkender Gatespannung abnimmt. Unabhängig von der angelegten Drainspannung ist der Kanal bei Gatespannungen kleiner als  $-0.6 \text{ V}$  geschlossen und es kann kein Drainstrom fließen

Verantwortlich für den linearen Anstieg des Ausgangsleitwerts in der Ausgangskennlinie ist die Kanallängenmodulation. Bei kleinen Kanallängen, wobei die Kanallänge in dem hier diskutierten Fall gleich der Breite des Gateasts  $w_{gate}$  ist, finde eine ausgeprägte Reduzierung der

effektiven Kanallänge mit steigender Drainspannung statt. Folglich führt die Kanallängenmodulation zu einer von der Gatespannung abhängigen Erhöhung des Ausgangsleitwerts. Daher ergibt sich der Drainstrom im Abschnürbereich zu

$$I_d = I_{d,sat}(1 - \lambda V_d), \quad (4.19)$$

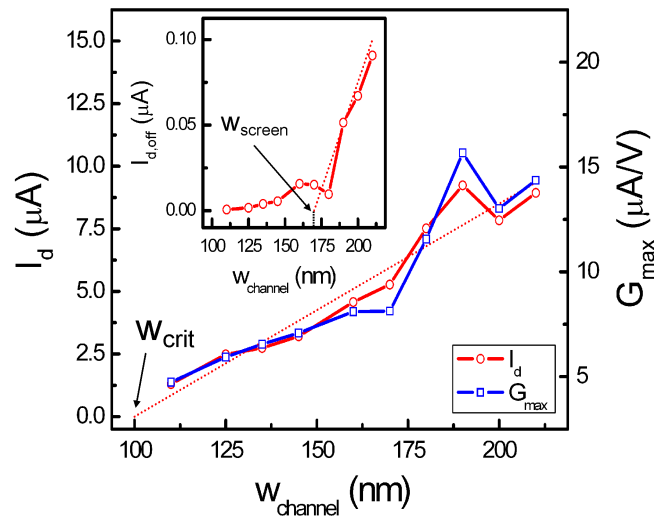
mit dem Sättigungsstrom  $I_{d,sat}$  und der Early-Spannung  $1/\lambda$ . Anhand der Steigung im Abschnürbereich kann  $\lambda = -0.094 \text{ 1/V}$  ermittelt werden, was einer Early-Spannung von  $-10.6 \text{ V}$  entspricht. Damit verringert sich die effektive Kanallänge um  $9.4 \text{ \%}/\text{V}$  mit steigender Drainspannung [18]. Der annähernd lineare Zusammenhang zwischen den Kennlinien im Ausgangskennlinienfeld und der Gatespannung lässt auf eine Verringerung der Ladungsträgerbeweglichkeit bzw. -geschwindigkeit im Kanal schließen. Für ein kritisches, elektrisches Feld entlang des Kanals sättigt die Ladungsträgerbeweglichkeit, was dazu führt, dass sich eine lineare Abhängigkeit von  $I_d$  und  $V_g$  ergibt. Im Abschnürbereich gilt für den Drainstrom

$$I_d = \beta E_{crit}(V_g - V_t), \quad (4.20)$$

wobei  $\beta$  der Transconductance-Koeffizient und  $E_{crit}$  die kritische Feldstärke sind und sich ein Wert von  $\beta E_{crit} = 10.3 \text{ }\mu\text{A/V}$  ergibt.

Mit Hilfe des Ausgangs- und Transferkennlinienfelds eines TTJ können nun kritische Größen wie der Drainstrom, die maximale Transconductance, der Sperrstrom, die Schwellspannung und der Gatestrom bestimmt werden. Hierbei werden Drainstrom, Transconductance und Sperrstrom typischerweise durch die Geometrie des Kanals bestimmt, während Schwellspannung und Gatestrom Größen sind, die mit dem Aufbau und der Struktur des Gates assoziiert werden. Abb. 4.15 zeigt  $I_d$  in Abhängigkeit der Kanalbreite  $w_{channel}$  für eine feste Drainspannung von  $0.75 \text{ V}$ . Hierfür wurden verschiedene TTJs mit einer durchschnittlichen Gatebreite von  $w_{gate} = 70 \text{ nm}$  hergestellt und anhand ihrer Ausgangs- und Transferkennlinie analysiert. Zuerst wurde die Schwellspannung  $V_t$  durch lineare Extrapolation der Transferkennlinie auf  $I_d = 0.0$  bestimmt. Um eine bessere Vergleichbarkeit der einzelnen Datensätze zu gewährleisten, wurde der Drainstrom bei der Gatespannung  $V_g - V_t = 1.0 \text{ V}$  ermittelt. Hierdurch ist garantiert, dass, unabhängig von der tatsächlichen Position der Schwellspannung, immer ein Gatespannungshub von  $1.0 \text{ V}$  betrachtet wird.

Bei Kanalbreiten kleiner als  $110 \text{ nm}$  ist der gemessene Drainstrom sehr klein und der Kanal fast geschlossen. Mit steigender Kanalbreite wächst  $I_d$  linear an und Drainströme größer als  $9.3 \text{ }\mu\text{A}$  werden bei  $w_{channel} > 180 \text{ nm}$  erreicht. Wie durch die lineare Näherung angedeutet wird, existiert eine kritische, minimale Kanalbreite  $w_{crit} = 100 \text{ nm}$  unterhalb derer sich kein leitfähiger Transportkanal gebildet hat. In Abb. 4.15 ist auch die maximale Transconductance  $G_{max}$  über der Kanalbreite aufgetragen. Ähnlich wie bei  $I_d$  wurde auch hier der Bereich zur Bestimmung von  $G_{max}$  relativ zur Schwellspannung definiert. Für  $G_{max}$  wurde die Transferkennlinie für Gatespannungen von  $V_t$  bis  $V_g - V_t = 1.0 \text{ V}$  numerisch differenziert. Die maximale Transconductance zeigt einen ähnlichen Verlauf wie  $I_d$ , wobei auch hier ein Maximum von  $15.7 \text{ }\mu\text{A/V}$  bei  $w_{channel} > 180 \text{ nm}$  auftritt.



**Abb. 4.15:** Drainstrom und maximale Transconductance aufgetragen über der Breite des Kanals. Um die jeweiligen Kanalbreiten besser vergleichen zu können, wird der Drainstrom bei der Gatespannung  $V_g = 1.0 \text{ V} + V_t$  ermittelt.  $w_{\text{crit}}$  ist die, durch lineare Extrapolation erhaltene, minimale Kanalbreite ab der sich ein leitfähiger Kanal ausbildet. Kleines Bild: Drainstrom für den geschlossenen Kanal ( $V_g < V_t$ ) in Abhängigkeit der Kanalbreite.  $w_{\text{screen}}$  ist die Kanalbreite, ab der sich ein leitfähiger Strompfad ausbildet, der nicht durch die Gatespannung kontrolliert wird.

Der Sperrstrom  $I_{d,\text{off}}$  wird für Gatespannungen kleiner als  $V_t$  bestimmt und ist im kleinen Teilbild von Abb. 4.15 dargestellt. Für Kanalbreiten kleiner als 125 nm sind keine Sperrströme messbar. Eine Vergrößerung der Kanalbreite führt zu einem Anstieg von  $I_{d,\text{off}}$ , wobei ab  $w_{\text{channel}} > 180 \text{ nm}$  der Sperrstrom stark linear anwächst. Mit Hilfe der eingezeichneten, linearen Näherung kann eine kritische, maximale Kanalbreite  $w_{\text{screen}} = 170 \text{ nm}$  bestimmt werden, ab der ein Einsetzen größerer Sperrströme beobachtet wird.

Ursache für das Fehlen eines leitfähigen Transportkanals für  $w_{\text{channel}} < w_{\text{crit}}$  sind Verarmungszonen, die sich auf Grund des Ätzprozesses bilden. In der Heterostruktur mit dem oberflächennahe 2DEG bildet sich durch Einschlüsse und Ätzdefekte eine etwa 50 nm breite Verarmungszone an den geätzten Wänden aus. Damit verringert sich die elektrische Weite, d.h. der Bereich in dem das 2DEG nach der Strukturierung vorhanden ist, um circa 100 nm verglichen mit der geometrischen Weite, also der Struktur selbst. Ein leitfähiger Kanal bildet sich somit erst ab einer Kanalbreite größer als  $w_{\text{crit}}$ . Vergleichbare Werte zu  $w_{\text{crit}} = 100 \text{ nm}$  wurden auch bei der Herstellung und Charakterisierung von QWTs in anderen GaAs/AlGaAs Heterostrukturen gefunden [89, 148].

Im Gegensatz zu konventionellen FETs besitzen TTJs keine spezielle Isolationsschicht zwischen Gate und Kanal. Auf Grund der lateralen Einschnürung im Gateast befindet sich dort eine Potentialbarriere, an der Elektronen akkumuliert werden. Durch diese Ansammlung von Elektronen bildet sich ein elektrisches Feld aus. Dieses Feld liegt senkrecht zum Kanal in der Ebene des 2DEG und kontrolliert die Leitfähigkeit des Kanals über den Feldeffekt. Die Frage

ist nun, bis zu welcher Kanalbreite das elektrische Feld auf den Kanal wirken kann und der Kanal über die Gatespannung kontrolliert wird. Die Elektronen im Kanal schirmen das elektrische Feld des Gates ab, wodurch die effektive Feldstärke mit zunehmender Breite des Kanals abnimmt. Ab einer kritischen Breite des Kanals ist der Feldeffekt soweit reduziert, dass sich ein leitfähiger Strompfad im Kanal ausbildet, der nicht von der Gatespannung kontrolliert wird.  $w_{screen}$  kennzeichnet diesen Abschirmeffekt durch die Kanalelektronen und gibt die maximale Kanalbreite an, die durch einen einzelnen, lateralen Gateast effizient gesteuert werden kann. Sowohl bei Kanalbreiten größer als  $w_{crit}$  als auch  $w_{screen}$  wird eine lineare Zunahme von  $I_d$  bzw.  $I_{d,off}$  mit steigendem  $w_{channel}$  beobachtet. Für  $w_{crit} < w_{channel} < w_{screen}$  ist der Drainstrom im Abschnürbereich durch

$$I_d = a(w_{channel} - w_{crit}), \quad (4.21)$$

mit  $a = 86 \text{ nA/nm}$  gegeben. Bei Kanalbreiten größer als  $w_{screen}$  tritt ein zusätzlicher Term auf der dem Sperrstrom  $I_{d,off}$  entspricht. Damit gilt für  $w_{screen} < w_{channel}$

$$I_d = a(w_{channel} - w_{crit}) + b(w_{channel} - w_{screen}), \quad (4.22)$$

wobei sich für  $b$  ein Wert von  $3 \text{ nA/nm}$  ergibt. Der Strom nimmt mit steigender Kanalbreite linear zu, was vergleichbar zu konventionellen MOSFETs ist.

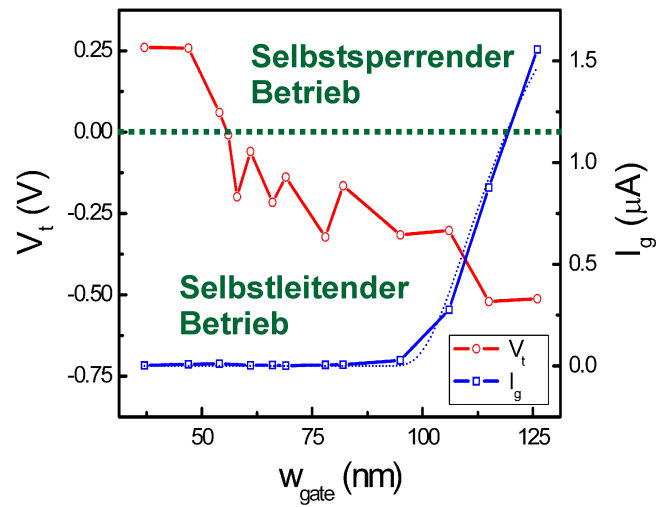
Für eine feste Drainspannung von  $0.75 \text{ V}$  zeigt Abb. 4.16 den Gatestrom  $I_g$  und die Schwellspannung  $V_t$  in Abhängigkeit der Gatebreite  $w_{gate}$ . Hierfür wurden verschiedene TTJs mit einer durchschnittlichen Kanalbreite von  $w_{channel} = 170 \text{ nm}$  hergestellt. Anhand ihrer Eingangskennlinie wurde der Gatestrom bei der Gatespannung  $V_g - V_t = 1.0 \text{ V}$  ermittelt. Bei kleinen Gatebreiten ist kein Gatestrom messbar. Ab einer kritischen Gatebreite  $w_{gate,crit} = 85 \text{ nm}$  nimmt  $I_g$  exponentiell zu und ein maximaler Gatestrom von  $1.6 \mu\text{A}$  wird bei  $w_{gate} = 125 \text{ nm}$  erreicht. Die Schwellspannung wurde, wie bereits beschrieben, aus der Transferkennlinie bestimmt und nimmt linear mit steigendem  $w_{gate}$  ab. Bei einer kleinen Gatebreite  $w_{gate} = 35 \text{ nm}$  ist die Schwellspannung positiv und hat einen Maximalwert von  $0.25 \text{ V}$ . Vergrößert sich  $w_{gate}$ , nimmt die Schwellspannung mit einer durchschnittlichen Steigung von  $-8 \text{ mV/nm}$  ab und erreicht einen Minimalwert von  $V_t = -0.5 \text{ V}$  bei  $w_{gate} = 125 \text{ nm}$ .

Der Gate-Effekt im TTJ beruht auf der elektrischen Isolation zwischen Gateast und Kanal durch eine Potentialbarriere. Somit kann der Gatestrom über die thermische Emission von Elektronen über diese Potentialbarriere beschrieben werden:

$$I_g = I_s \left[ \exp\left(\frac{V}{n\phi_t}\right) - 1 \right]. \quad (4.23)$$

Hierbei ist  $I_s$  der Sättigungsstrom,  $V$  der Spannungsabfall über der Potentialbarriere und  $n$  der Idealitätsfaktor. Der Sättigungsstrom der Potentialbarriere hängt sowohl von der Temperatur  $T$  als auch von der effektiven Barrierenhöhe  $\phi_{b,eff}$  ab. Für  $I_s$  ergibt sich

$$I_s = AA^*T^2 \exp\left(-\frac{\phi_{b,eff}}{k_B T}\right), \quad (4.24)$$



**Abb. 4.16:** Schwellspannung und Gatestrom in Abhängigkeit der Breite des Gates. Die gepunktete Linie zeigt den Verlauf des Gatestroms gemäß des entwickelten Modells. Durch die Steuerung der Schwellspannung kann die Transistorcharakteristik vom selbstsperrenden in den selbstleitenden Betrieb geändert werden.

mit der thermischen Energie  $k_B T$ , der Richardson-Konstanten  $A^*$  und der Fläche des stromführenden Gebiets  $A$  [21]. Die Barrierenhöhe  $\phi_{b,eff}$  kann durch ein einfaches, quantenmechanisches Modell abgeschätzt werden. Näherungsweise kann angenommen werden, dass die Breite des Gateasts durch unendlich hohe Potentialwände, d.h. die Ätzgräben, definiert ist. Für ein solches, unendlich hohes Potential können die Eigenenergien berechnet werden, wobei die Energie des Grundzustands der Energie entspricht, die ein Elektron aufbringen muss, wenn es von einem quasi-uneingeschränkten Bereich, z.B. dem Elektronenreservoir im Gate, den Bereich des Gateasts durchqueren will. Die effektive Barrierenhöhe ergibt sich in Abhängigkeit der Breite des Gateasts zu

$$\phi_{b,eff} = \frac{h^2}{8mL^2}, \quad (4.25)$$

mit dem Planck'schen Wirkungsquantum  $h$ , der Elektronenmasse in GaAs  $m = 0.063 \times m_0$  und der elektrischen Weite der Einschnürung im Gateast  $L$ . Die Breite der Einschnürung im Gateast wird durch die Gleichung  $L = c(w_{gate} - w_{gate,crit})$  beschrieben, wobei  $c$  ein Skalierungsfaktor ist, der sich durch die Abweichung der realen Potentialwände von den, dem Modell zu Grunde liegenden, unendlich hohen Potentialwänden ergibt. Ferner sind physikalisch keine negativen Werte für  $L$  möglich, weshalb  $L = 0$  für  $w_{gate} < w_{gate,crit}$  gilt. Der Spannungsabfall  $V$  über der Potentialbarriere ist die Differenz zwischen der angelegten Gatespannung und der Spannung im Kanal.  $V$  kann mit Hilfe des verwendeten, elektrischen Messaufbaus und der Bestimmungsbedingung für  $I_g$  ermittelt werden. Der Gatestrom setzt erst bei Gatebreiten größer als 85 nm, also bei  $w_{gate} > w_{gate,crit}$ , ein, was einer Schwellspannung  $V_t \leq -0.35$  V entspricht. Ferner folgt für einen Kanal, bei dem die Spannung im Kanal gleich Null ist, dass  $V = V_g = 1.0 \text{ V} + V_t$

gilt. Somit kann der maximale Spannungsabfall  $V$  zu  $0.65\text{ V}$  bestimmt werden. Anhand der Gleichungen 4.23 bis 4.25 wurde die  $I_g$ - $w_{gate}$ -Kennlinie bestimmt und in Abb. 4.16 dargestellt. Die Parameter waren:  $AA^*T^2 = 0.1\text{ nA}$ ,  $w_{gate,crit} = 85\text{ nm}$ ,  $c = 0.45$  und  $V/n = 0.27\text{ V}$ . Der Wert für  $w_{gate,crit}$  zeigt eine gute Übereinstimmung mit der bereits beobachteten Breite der Verarmungszone.  $c < 1$  bedeutet, dass sich die effektive Barrierenhöhe nicht exakt gemäß Gleichung 4.24 beschreiben lässt und der Einfluss von  $L$  geringer ist, als durch die idealisierte Beschreibung angenommen.  $V/n < 0.65\text{ V}$  spricht für einen Idealitätsfaktor größer als 1 und einen Spannungsabfall  $V$  kleiner als  $0.65\text{ V}$ . Beide Schlussfolgerungen sind intuitiv verständlich, da zum einen  $n = 1$  nur im Grenzfall gilt und reale Werte von  $n > 1$  sind [166]. Zum anderen ist das Potential im Kanal auf Grund von Kontaktwiderständen größer als Null.

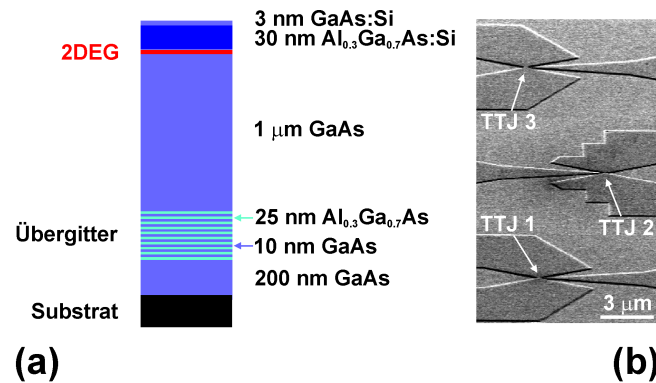
Die Verringerung der Schwellspannung mit steigender Gatebreite hängt mit einem Absinken der Ladungsträgerkonzentration in Gate und Kanal mit sinkender Gatebreite zusammen. *Íñiguez-de-la-Torre et al.* haben mit Hilfe einer selbst-konsistenten Modellierung der Ladungsverteilung in einem TTJ gezeigt, dass eine kleinere Gatebreite zu einer Reduzierung der Ladungsträgerkonzentration im Gateast und im Kanal führt [169]. Im Rahmen dieser Berechnung ergibt sich auch eine Erhöhung der Potentialbarriere zwischen Gate und Kanal mit sinkenden Gatebreiten, was mit den Ergebnissen der Gleichungen 4.23 bis 4.25 übereinstimmt. Ursache für die positiven Schwellspannungen im Bereich kleiner Gatebreiten ist die, durch eine stärkere Einschnürung im Gateast bedingte, Vergrößerung der effektiven Höhe der Potentialbarriere zwischen Gate und Kanal, die zu einer Anhebung des Leitungsbands im Kanal führt. Somit werden Elektronen aus dem Kanal verdrängt und die Schwellspannung verschiebt sich hin zu positiven Gatespannungen. Mit zunehmender Gatebreite verringert sich die Höhe der Potentialbarriere im Gateast und folglich auch im Kanal, wodurch sich wieder Elektronen im Kanal ansammeln. Durch Veränderung der Gatebreite kann die Schaltcharakteristik des TTJ von selbstsperrend in selbstleitend geändert werden.

### 4.3.5 Integriertes NOR-Gatter auf Basis von Three-Terminal Junctions

Die Steuerung der Transistorparameter ermöglicht es nun, gezielt TTJs mit großer Transconductance und geeigneten Schwellspannungen herzustellen. Durch dieses Anpassen der TTJs an die gewünschte Anwendung können auch kaskadierte Schaltungen aus mehreren TTJs realisiert werden. Hierfür eignen sich besonders logische Schaltungen wie das NAND- oder NOR-Gatter, da mit diesen, unter Verwendung der konjunktiven oder disjunktiven Normalform [69], jede logische Schaltung erstellt werden kann. Als Basis für ein logisches NOR-Gatter genügen im Allgemeinen zwei Transistoren und ein Lastwiderstand. Da in der heutigen Bauteilfertigung die Herstellungskosten für einen Widerstand und einen Transistor nahezu identisch sind und sich die Transistorparameter meist genauer einstellen lassen als die Widerstandswerte, werden bei integrierten Schaltungen keine Widerstände verwendet. Hier erfüllt ein so genannter Last-Transistor die Aufgabe, als rein resistives Bauelement zu fungieren.

Um nun ein vollständig monolithisch aufgebautes und integriertes NOR-Gatter zu realisieren, wurde eine modulationsdotierte GaAs/AlGaAs Heterostruktur verwendet mit einem 2DEG,



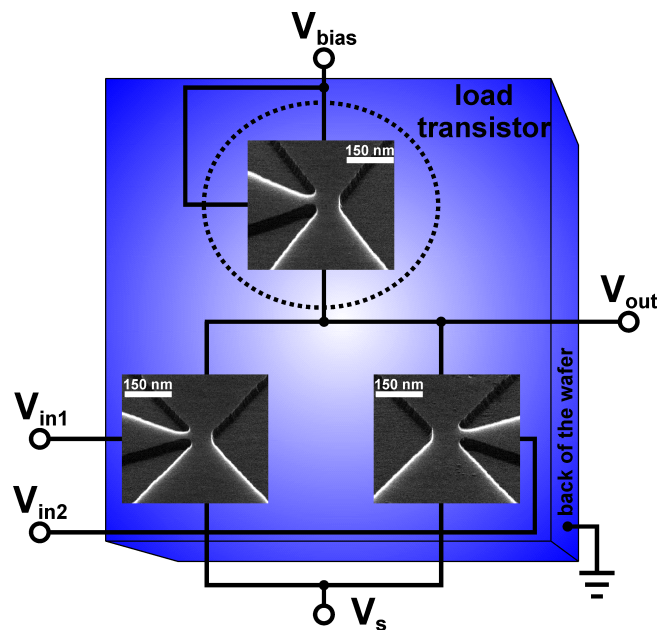


**Abb. 4.17:** (a) Schematischer Schichtaufbau der verwendeten Heterostruktur. Das 2DEG bildet sich an der GaAs/AlGaAs-Grenzschicht und befindet sich etwa 33 nm unterhalb der Oberfläche der Probe. (b) SEM-Aufnahme der monolithisch integrierten TTJs.

das sich 33 nm unterhalb der Oberfläche befindet. Der Schichtaufbau wurde bereits im vorangegangenen Kapitel aufgeführt. Danach wurden mittels Elektronenstrahlolithographie und nass-chemischem Ätzen drei unabhängige TTJs auf der Probe monolithisch integriert. Abb. 4.17b zeigt eine SEM-Aufnahme der TTJs und deren räumliche Orientierung auf dem Probenstück. Die Ätztiefe betrug hierbei 50 nm, um eine vollständige elektrische Isolation der einzelnen Bauelemente zu gewährleisten. Jeder TTJ besteht aus einem 250 nm langen und 90 nm breiten Kanal, der zwei Elektronenreservoirs - Drain und Source - verbindet. Der 80 nm breite Gateast ist mittig mit dem Kanal verbunden.

In Abb. 4.18 sind Nahaufnahmen der einzelnen TTJs, zusammen mit dem für das NOR-Gatter verwendeten elektrischen Messaufbau, gezeigt. Dieses Konzept eines logischen NOR-Gatters basiert auf einer typischen n-leitenden MOSFET Architektur, bei der ein TTJ als Last-Transistor (load transistor) verwendet wird [13]. Hierbei wird sowohl an dessen Gate- als auch an den Drainkontakt die Betriebsspannung  $V_{bias}$  angelegt. Über die Ansteuerung der beiden anderen TTJs mit den Eingangsspannungen  $V_{in1}$  und  $V_{in2}$  an den jeweiligen Gates können diese als Schaltelemente in obigem Aufbau verwendet werden. Die Rückseite des Probenstücks dient als Bezugspotential und ist geerdet. In Abhängigkeit verschiedener Kombinationen der Eingangsspannungen wird die Ausgangsspannung  $V_{out}$  bestimmt. Als Messumgebung wird ein abgeschlossenes Heliumsystem bei Raumtemperatur gewählt.

Basis für das hier vorgestellte logische NOR-Gatter sind die Transistoreigenschaften der TTJs. Um diese näher zu untersuchen, wurden sowohl die Transferkennlinien als auch die Ausgangskennlinien der TTJs experimentell bestimmt. Abb. 4.19a zeigt schematisch den hierfür verwendeten Messaufbau mit den angelegten Spannungen. In Abb. 4.19b ist das Ausgangskennlinienfeld für die Gatespannungen  $V_g = -0.5, 0.0, 0.5, 1.0, 1.5$  und  $2.0$  V dargestellt. Unabhängig von der angelegten Gatespannung fließt kein Strom für  $V_d = 0.0$ . Für  $V_g = 2.0$  V führt eine Erhöhung der Drainspannung zu einem monotonen Ansteigen des Drainstroms. Bei einer Sättigungsspannung von  $V_d = 1.0$  V wird ein Sättigungsstrom von annähernd  $10 \mu A$  er-

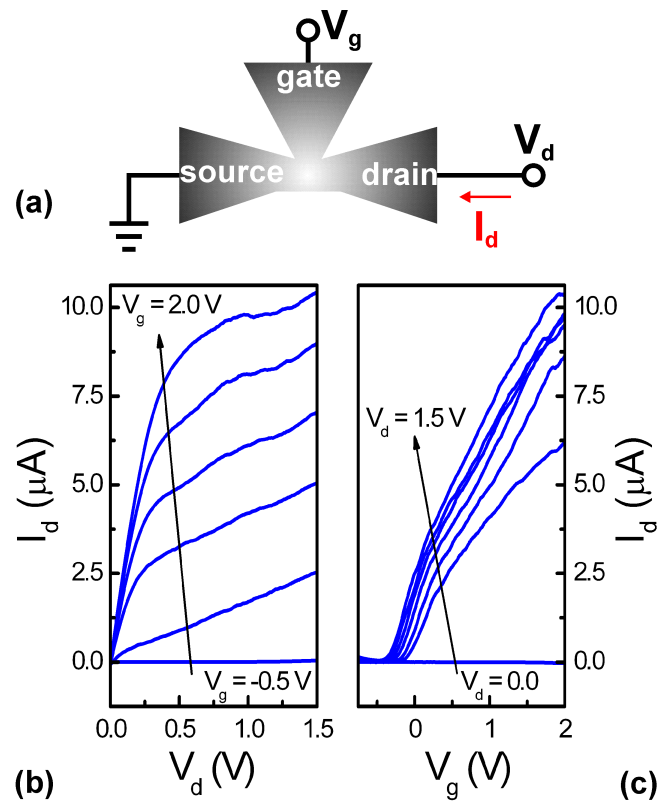


**Abb. 4.18:** SEM-Nahaufnahmen der einzelnen TTJs zusammen mit dem elektrischen Messaufbau für die Realisierung eines NOR-Gatters. Hierbei dient das geerdete Substrat als Referenzpotential.

reicht. Wird die Drainspannung nach dem Sättigungspunkt vergrößert, so steigt  $I_d$  nur langsam linear mit einer durchschnittlichen Steigung von  $1.4 \mu\text{A}/\text{V}$  an. Für kleinere Gatespannungen verringert sich der Sättigungsstrom und die Sättigungsspannung verschiebt sich zu kleineren Drainspannungen, wobei auch hier für Drainspannungen größer als die Sättigungsspannung ein lineares Ansteigen des Drainstroms beobachtet wird. Bei Gatespannungen kleiner als  $-0.5 \text{ V}$  ist der Kanal gesperrt und es fließt kein Strom. Eine Erklärung für den steigenden Ausgangsleitwert mit wachsender Drainspannung ist auch hier die Kanallängenmodulation. Somit ergibt sich eine gatespannungsabhängige Änderung des Ausgangsleitwerts, die sich von Bauteil zu Bauteil gering unterscheiden kann.

Abb. 4.19c zeigt das Transferkennlinienfeld eines TTJ für die Drainspannungen  $V_d = 0.0, 0.25, 0.5, 0.75, 1.0, 1.25$  und  $1.5 \text{ V}$ . Unabhängig von  $V_d$  ist der Kanal für Gatespannungen kleiner als  $-0.5 \text{ V}$  gesperrt. Mit steigendem  $V_g$  öffnet sich der Kanal und der Drainstrom nimmt kontinuierlich zu. Die Schwellspannung  $V_t$  verringert sich mit zunehmender Drainspannung von  $V_t = -0.2 \text{ V}$  für  $V_d = 0.25 \text{ V}$  zu  $V_t = -0.48 \text{ V}$  für  $V_d = 1.5 \text{ V}$ . Dies entspricht einer Änderung der Schwellspannung um  $0.22 \text{ V}$  pro Erhöhung der Drainspannung um  $1 \text{ V}$ . Für  $V_d = 1.0 \text{ V}$  werden Drainströme von  $10 \mu\text{A}$  und eine Transconductance von  $10.1 \mu\text{A}/\text{V}$  bei  $V_g = 0.0$  erreicht.

Die für den späteren Betrieb des NOR-Gatters wichtigen Schaltparameter können aus dem gemessenen Transferkennlinienfeld der TTJs bestimmt werden. Die hierbei ermittelten Schwellspannungen liegen im Bereich von  $-0.7 \text{ V}$  bis  $-0.5 \text{ V}$ . Daher wurde der für die logische Funktion notwendige, niedrige Pegel der Eingangsspannung auf  $-0.7 \text{ V}$  festgelegt. Der obere Pegel

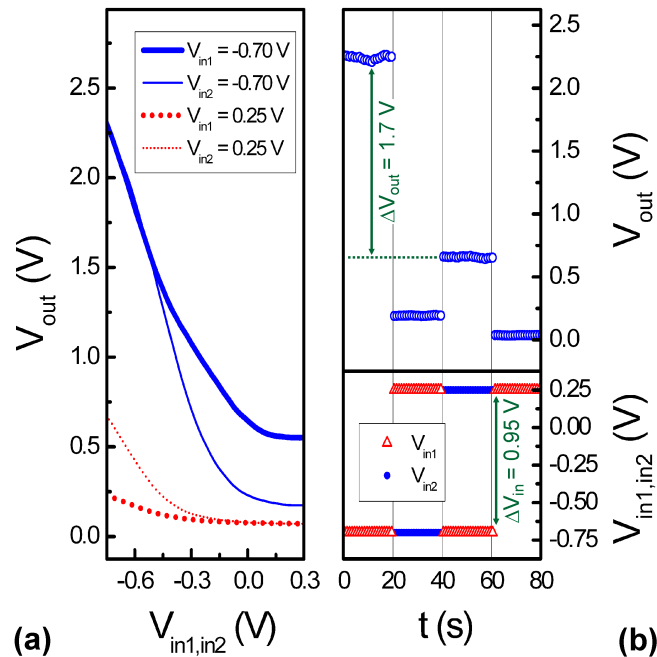


**Abb. 4.19:** Skizze des elektrischen Messaufbaus mit den angelegten Spannungen und den gemessenen Strömen für die Bestimmung des Transfer- und Ausgangskennlinienfelds. (b) + (c) Ausgangs- und Transferkennlinienfeld eines TTJ.

der Eingangsspannung wurde als 0.25 V definiert da hier schon bei niedrigen Drainspannungen der Sättigungsbereich erreicht ist. Als Betriebsspannung  $V_{bias}$  wurde 7.0 V gewählt und die Sourcespannung  $V_s$  auf  $-0.35\text{ V}$  gesetzt.

Abb. 4.20a zeigt die Transienten der Ausgangsspannung für verschiedene Kombinationen der Eingangsspannungen. Wie man leicht erkennen kann, liegt am Ausgang nur dann eine maximale Spannung von 2.2 V an, wenn beide Eingänge  $V_{in1}$  und  $V_{in2}$  auf  $-0.7\text{ V}$  gesetzt wurden. Für den Fall, dass an mindestens einem Eingang oder sogar an beiden Eingängen 0.25 V anliegt, verringert sich die Ausgangsspannung auf Minimalwerte im Bereich von 0.55 V bis 0.08 V. Dieses Verhalten der Ausgangsspannung in Abhängigkeit von den Eingangsspannungen stimmt mit dem für ein logisches NOR-Gatter geforderten Spannungsverlauf überein. In Abb. 4.20b sind ähnliche Messungen dargestellt, wobei hier die angelegten Eingangsspannungen im unteren Teilbild und die daraus resultierende Ausgangsspannung im oberen Teilbild zu sehen sind. Auch hier wird deutlich, dass nur für  $V_{in1} = V_{in2} = -0.7\text{ V}$  das Maximum von  $V_{out}$  erreicht wird.

Die Schwellspannungen der als Schalttransistoren im NOR-Gatter verwendeten TTJs definiere den niedrigen Pegel der Eingangsspannung. Daher ist es unumgänglich, für die Her-

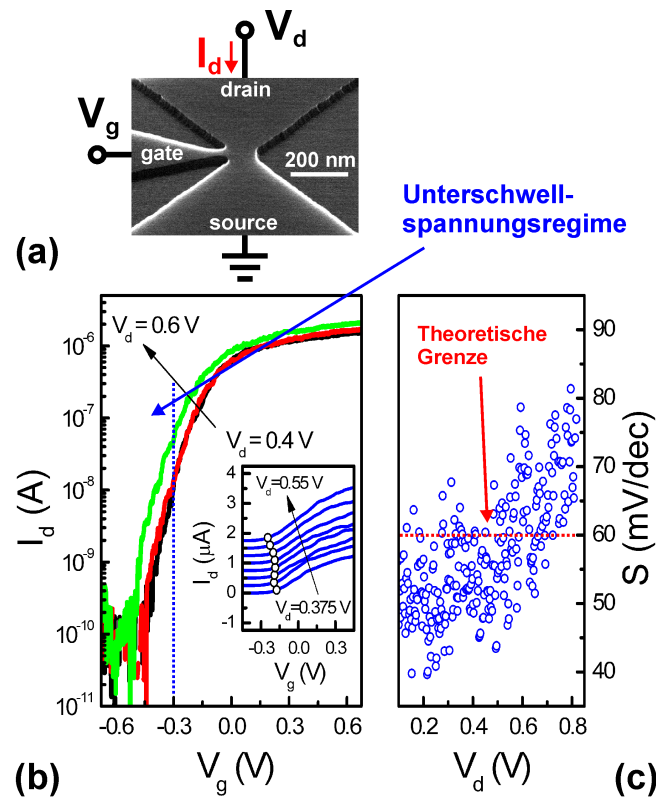


**Abb. 4.20:** (a) Transienten der Ausgangsspannung des NOR-Gatters. (b) Ausgangsspannung des NOR-Gatters für alle möglichen logischen Eingangskombinationen.

stellung eines monolithisch integrierten NOR-Gatters mit vergleichbaren Eingangs- und Ausgangsniveaus, dass die Schwellspannungen der einzelnen TTJs positiv sind. Mögliche Ansatzpunkte hierfür wurden bereits im vorangegangenen Kapitel vorgestellt und diskutiert. Mit den hier verwendeten TTJs wurde ein Hub der Ausgangsspannung von 1.7 V zwischen den logischen Ausgangspegeln erreicht. Dies entspricht einer Verstärkung des Eingangshubs von 0.95 V um den Faktor 1.8. Die Transienten der Ausgangsspannung zeigen eine differentielle Spannungsverstärkung von  $-3.6$  für  $\partial V_{out}/\partial V_{in2}$  mit  $V_{in1} = -0.7$  V und  $-4.3$  für  $\partial V_{out}/\partial V_{in1}$  mit  $V_{in2} = -0.7$  V. Die Messungen verdeutlichen, dass es prinzipiell möglich ist ein monolithisch integriertes NOR-Gatter auf der Basis von TTJs aufzubauen. Auf Grund der differentiellen und absoluten Spannungsverstärkung kann eine Kaskadierung mehrerer NOR-Gatter realisiert werden.

#### 4.3.6 Subthreshold Swings kleiner $n\phi_t \ln 10$ bei Three-Terminal Junctions

In den vorangegangenen Abschnitten wurde gezeigt, dass TTJs Transistorfunktionalität aufweisen und mit Hilfe der Spannung am Gateast der Kanalstrom kontrolliert werden kann. Durch die extrem kleinen Dimensionen der Bauelemente nimmt der Einfluss von Quantisierungseffekten zu, wodurch sich die Bauteilcharakteristika entscheidend ändern können [150]. Durch die starke räumliche Einschnürung im aktiven Bereich reduziert sich die Zustandsdichte im Bauelement, was zu einer Verbesserung des Schaltverhaltens oder zu einer Unterdrückung



**Abb. 4.21:** (a) SEM-Aufnahme eines TTI zusammen mit dem verwendeten, elektrischen Messaufbau, den angelegten Spannungen und den gemessenen Strömen. (b) Transferkennlinienfeld des TTI in halb-logarithmischer Darstellung für die Drainspannungen 0.4, 0.5 und 0.6 V. Kleines Bild: Transferkennlinienfeld des TTI im Bereich der Schwellspannung für die Drainspannungen 0.375, 0.4, 0.425, 0.45, 0.475, 0.5, 0.525 und 0.55 V. (c) Subthreshold Swing  $S$  in Abhängigkeit der Drainspannung.

von üblichen Kleindimensionseffekten führen kann [110]. Beispiele hierfür sind Kohlenstoff-Nanoröhrchen, Dünnschicht-Transistoren oder Tunnel-FETs, die als ultra-miniaturisierte FETs verwendet werden können und im Unterschwellspannungsregime Subthreshold Swings kleiner als das thermische Limit erreichen können [170, 171, 172, 173, 174, 175, 176, 177]. In Bezug auf die TTJs stellt sich nun die Frage, ob sich auch hier die Schalteigenschaften gezielt durch das Bauteildesign steuern lassen und verbessert werden können.

Die TTJs basieren auf einer modulationsdotierten GaAs/AlGaAs Heterostruktur, die mittels Molekularstrahlepitaxie hergestellt wurde. Der zugehörige Schichtaufbau ist in Abb. 4.7a dargestellt und wurde in Abschnitt 4.2.1 erläutert. Für die Strukturierung des TTI wurden wieder hochauflösend Elektronenstrahlolithographie und anschließende nasschemische Ätzverfahren genutzt. Abb. 4.21a zeigt eine SEM-Aufnahme des TTI, wobei hier die Ätztiefe 110 nm beträgt. Der Gateast der Struktur hat eine minimale Weite von 50 nm und der leitfähige Kanal zwischen Drain und Source ist 350 nm lang und 125 nm breit.

Zur Bestimmung der Transistorkennlinien wurden die Ströme des TTI in Abhängigkeit der

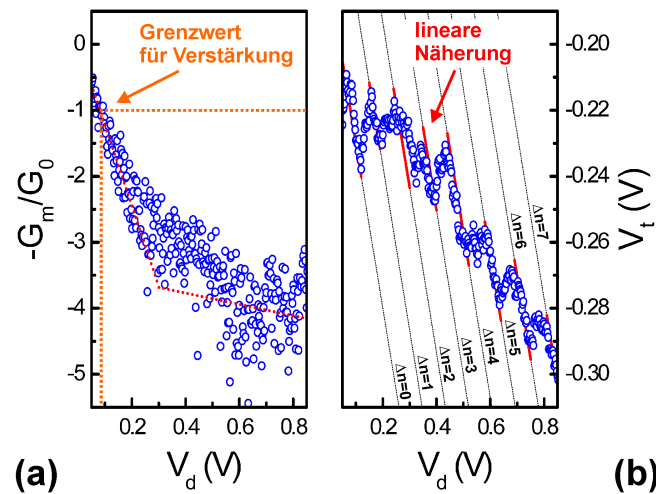
angelegten Spannungen gemessen. Der hierfür verwendete, elektrische Messaufbau ist in Abb. 4.21a schematisch dargestellt. Die Drainspannung  $V_d$  und die Gatespannung  $V_g$  werden an den Kontakten von Drain bzw. Gate angelegt, wobei Source als Bezugspunkt dient und geerdet ist. Als Messumgebung wird ein abgeschlossenes Heliumsystem bei Raumtemperatur gewählt.

Um das Schaltverhalten des TTJ zu bestimmen, wird das Transferkennlinienfeld in halb-logarithmischer Darstellung bei den Drainspannungen  $V_d = 0.4, 0.5$  und  $0.6$  V betrachtet (Abb. 4.21b). Unabhängig von der Drainspannung ist der Kanal bei  $V_g < -0.35$  V geschlossen und der Stromfluss unterbunden. Bei positiven Drainspannungen setzt ein Stromfluss für  $V_g > -0.35$  V ein, wobei der Drainstrom  $I_d$  monoton ansteigt. Mit zunehmender Drainspannung erhöhen sich sowohl der maximale Drainstrom als auch die maximale Transconductance  $G_m$  von  $I_d = 1.5 \mu\text{A}$  und  $G_m = 4.3 \mu\text{A/V}$  bei  $V_d = 0.4$  V auf  $I_d = 2.0 \mu\text{A}$  und  $G_m = 5.4 \mu\text{A/V}$  bei  $V_d = 0.6$  V. Der Sperrstrom ist im geschlossenen Zustand (OFF-state) in der Größenordnung von  $0.1$  nA und im geöffneten Zustand (ON-state) sind die maximalen Drainströme größer als  $1.5 \mu\text{A}$ . Somit kann für den TTJ ein ON/OFF-Verhältnis von mehr als  $1.5 \times 10^4$  realisiert werden, wodurch sich eine gute Unterscheidbarkeit der beiden Schaltzustände ergibt. Interessanterweise zeigt sich im Unterschwellspannungsregime, das durch die gestrichelte blaue Linie angedeutet ist, dass Subthreshold Swings in der Größenordnung von  $60$  mV/dec oder kleiner auftreten.

Das kleine Teilbild in Abb. 4.21b zeigt das Transferkennlinienfeld des TTJ im Bereich der Schwellspannung. Hierbei erhöht sich die Drainspannung von  $0.375$  V in Schritten von  $25$  mV bis zu einer Spannung von  $0.55$  V, wobei aus Gründen der Übersichtlichkeit die Transferkennlinien für  $V_d = 0.4, 0.425, 0.45, 0.475, 0.5, 0.525$  und  $0.55$  V um  $0.25, 0.5, 0.75, 1.0, 1.25, 1.5$  bzw.  $1.75 \mu\text{A}$  verschoben worden sind. Die weißen Kreise kennzeichnen die Position eines kritischen Drainstroms von  $I_{d,crit} = 0.1 \mu\text{A}$ . Bei  $V_d = 0.375$  V wird dieser Wert bei der Gatespannung  $V_{g,crit} = -0.18$  V erreicht. Mit steigender Drainspannung verschiebt sich  $V_{g,crit}$  hin zu negativen Werten und erreicht bei  $V_d = 0.55$  V sein Minimum von  $-0.25$  V. Im Gegensatz dazu wird im Bereich der mittleren Drainspannung eine Zunahme von  $V_{g,crit}$ , d.h. eine Verschiebung hin zu positiven Gatespannungen, beobachtet.

Das Transferkennlinienfeld des TTJ verdeutlicht die Transistoreigenschaften der Struktur und ist mit dem Kennlinienfeld herkömmlicher FETs vergleichbar. In Anbetracht der kleinen Bauteildimensionen sind Kleindimensionseffekte für die Verschiebung der Schwellspannung hin zu negativen Werten mit steigender Drainspannung verantwortlich. Durch den sehr kurzen Kanal wirkt das elektrische Feld am Drainkontakt auf die Potentialbarriere im Kanal und sorgt so mit steigender Drainspannung für eine Verringerung der effektiven Höhe der Potentialbarriere. Somit öffnet sich der Kanal früher und die Schwellspannung sinkt bei höheren Drainspannungen ab. Das Auftreten der Zunahme der Schwellspannung wird mit Hilfe von Abb. 4.23 näher erläutert und nachfolgend diskutiert.

Wie bereits gesehen, sind die Subthreshold Swings der gezeigten Transferkennlinien sehr klein und befinden sich im Bereich des thermischen Grenzwerts. Abb. 4.21c zeigt den Subthreshold Swing  $S$  in Abhängigkeit der Drainspannung  $V_d$ . Hierbei deutet die rote, gepunktete Linie den theoretischen, thermisch-bestimmten Grenzwert von  $60$  mV/dec an, der für FETs gilt. Für kleines  $V_d$  zeigt sich, dass im Mittel Subthreshold Swings auftreten, die kleiner als  $50$  mV/dec



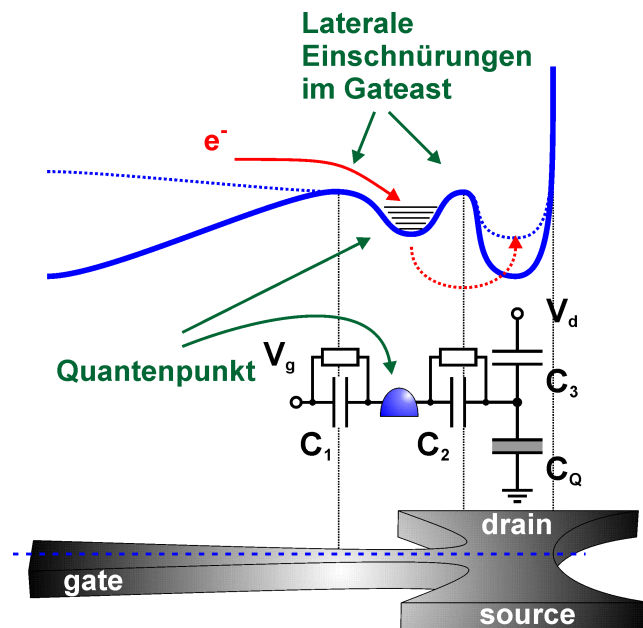
**Abb. 4.22:** (a) Verhältnis der maximalen Transconductance  $G_m$  zum Ausgangsleitwert  $G_0$  in Abhängigkeit der Drainspannung. (b) Schwellspannung  $V_t$  aufgetragen über der Drainspannung. Die lineare Näherung zeigt die modellierte Schwellspannung für verschiedene Änderungen des Ladezustands  $\Delta n$  des QD im Gateast.

sind. Dieser mittlere Wert von  $S$  bleibt bis zu einer Drainspannung von 0.4 V nahezu konstant und nimmt für größere Drainspannungen zu. Ab  $V_d > 0.6$  V treten vermehrt Subthreshold Swings größer als 60 mV/dec auf.

Der Subthreshold Swing dient dazu, das Schaltverhalten eines Transistors zu beurteilen. Ein weiteres, wichtiges Kriterium stellt die maximal verfügbare Spannungsverstärkung dar, da diese Aufschluss über die Kaskadierbarkeit eines Bauelements gibt. Die Spannungsverstärkung eines Transistors kann mittels des Verhältnisses von  $G_m$  zum Ausgangsleitwert  $G_0$  bestimmt werden. Der Ausgangsleitwert wird im Abschnürbereich der Ausgangskennlinie eines FET bestimmt [15]. Für den idealen Transistor gilt  $G_0 \rightarrow 0$ , da der Drainstrom jenseits der Abschnürspannung konstant bleibt. Dies würde allerdings theoretisch dazu führen, dass die maximal verfügbare Spannungsverstärkung wegen

$$\lim_{G_0 \rightarrow 0} -G_m/G_0 = -\infty \quad (4.26)$$

unbegrenzt wäre. Bei realen Bauelementen ist dies nicht der Fall, da beispielsweise die Kanallängenmodulation zu einer Erhöhung des Drainstroms im Abschnürbereich führt, wodurch sich ein endlicher Wert für  $-G_m/G_0$  einstellt. Für den hier untersuchten TTJ ergibt sich ein Ausgangsleitwert  $G_0 = 1.45 \mu\text{A/V}$ . Der damit ermittelte Verlauf der Spannungsverstärkung in Abhängigkeit der Drainspannung ist in Abb. 4.22a gezeigt. Die Spannungsverstärkung  $-G_m/G_0$  nimmt mit steigendem  $V_d$  linear ab, wobei die durchschnittliche Steigung  $-5.5$  1/V ist. Ab einer Drainspannung von 0.6 V wird eine mittlere Spannungsverstärkung von  $-4.1$  erreicht. Bemerkenswert ist, dass sogar für sehr kleine Drainspannungen im Bereich von  $V_d < 100$  mV noch Spannungsverstärkung auftritt. Anhand von Gleichung 4.1 kann der Verlauf der Transconductance in Abhängigkeit der Drainspannung ermittelt werden. Die sich daraus ergebende Span-



**Abb. 4.23:** Oben: Schematische Darstellung des Leitungsbandes im TTJ mit den beiden Potentialbarrieren im Gateast. Mitte: Kapazitives Ersatzschaltbild zur Modellierung der Schwellspannung. Unten: Schematische Ansicht eines TTJ zur Verdeutlichung der Lage des QD im hergestellten Bauelement.

nungsverstärkung wurde berechnet und ist in Abb. 4.22a dargestellt. Als Grundlage für diese Berechnung dient der Transconductance-Koeffizient  $\beta = 17.7 \mu\text{A/V}$  und die Sättigungsspannung  $V_{d,sat} = 0.29 \text{ V}$ . Für  $\lambda$  wurde ein Wert von  $-0.25 \text{ 1/V}$  ermittelt, was einer Early-Spannung von  $-4 \text{ V}$  entspricht.

Das rechte Teilbild von Abb. 4.22 zeigt die Schwellspannung  $V_t$  über der Drainspannung.  $V_t$  wurde durch lineare Extrapolation der Transferkennlinien des TTJ bestimmt. Für kleines  $V_d$  befindet sich  $V_t$  im Bereich  $-0.22 \text{ V}$  und verschiebt sich hin zu negativen Werten mit steigendem  $V_d$ . Bei der Verschiebung der Schwellspannung treten Spitzen im Verlauf von  $V_t$  auf, die zu quantisierten Änderungen der Schwellspannung führen. Hierbei ist der Abstand zwischen den einzelnen Spitzen äquidistant und beträgt etwa  $100 \text{ mV}$ .

Die Quantisierung der Schwellspannung und Subthreshold Swings kleiner als der thermische Grenzwert können durch das Laden eines QD im Gateast erklärt werden. Im oberen Teil von Abb. 4.23 ist das Leitungsband des TTJ schematisch dargestellt. Auf Grund der starken lateralen Einschnürung im Gateast bildet sich ein QD in der Nähe des Kanals aus. Bei positiver Gatespannung liegt das Leitungsband im Gatereservoir und im Kanal unterhalb des Leitungsbandes im Gateast und der QD ist über zwei Potentialbarrieren von Gate und Kanal getrennt. Verringert sich nun die Gatespannung, so erhöht sich das Leitungsband im Gate. Für eine kritische Gatespannung können Elektronen aus dem Gate in den QD gelangen, wodurch der QD geladen wird. Dieser Prozess setzt dynamisch bei kleinen Gatespannungen ein und sorgt für ein plötzliches Einbrechen der Leitfähigkeit des Kanals. Somit enthält das Gate eine zusätzliche, dyna-



mische Komponente, die von der angelegten Gatespannung abhängt und zum Gate-Effekt beiträgt. Daher werden die Spitzen in der Schwellspannung mit einem drainspannung-induziertem Laden des QD in Verbindung gebracht. Durch die steigende Drainspannung wird das Leitungsband im Gateast nach unten gezogen. Als Folge verringert sich die Potentialbarrieren zwischen Gatereservoir und QD und ein Laden des QD tritt bereits bei positiveren Gatespannungen auf.

Im unteren Teilbild von Abb. 4.23 ist ein kapazitives Ersatzschaltbild des Bauelements zusammen mit einer schematischen Darstellung eines TTJ zu sehen. Hierbei wird der QD über die Kapazität  $C_1$  von der Gatespannung kontrolliert. Die beiden Kapazitäten  $C_2$  und  $C_3$  beschreiben die kapazitive Kopplung zwischen dem QD bzw. dem Drainreservoir und der Potentialbarriere im Kanal. Der Spannungsabfall an der Quantenkapazität  $C_Q$  entspricht der Differenz zwischen dem elektrostatischen und dem elektrochemischen Potential im Kanal und bestimmt beispielsweise die Schwellspannung oder die Gate-Effektivität des Bauelements [70, 109, 110]. Anhand dieses kapazitiven Modells ergibt sich die Schwellspannung  $V_t = ne/C_1 - V_d(C_3/C_1 + C_3/C_2) + V_{t,0}$  mit dem Ladezustand  $n$  des QD, der Schwellspannung  $V_{t,0}$  im Gleichgewichtszustand und der Elementarladung  $e$ . In Abb. 4.22b ist die Schwellspannung für eine Änderung des Ladezustands von  $\Delta n = 0$  bis  $\Delta n = 7$  dargestellt, wobei für die Modellierung die Werte:  $C_1 = 3.7$  aF,  $C_2 = 3.5$  aF,  $C_3 = 0.9$  aF und  $V_{t,0} = -0.18$  V verwendet wurden.

Die experimentellen Resultate, insbesondere die Subthreshold Swings kleiner als 60 mV/dec, stehen allerdings in Widerspruch zu der theoretischen Beschreibung, die in Kapitel 2.1.5 vorgestellt wurde. Dort wurde gezeigt, dass  $S = n\phi_t \ln 10$  gilt und  $S$  nur von der Temperatur abhängt. Allerdings führen in speziellen Fällen dynamische oder geometrische Variationen des Gates zu einer Verringerung des Subthreshold Swings [171, 176, 178, 179]. Daher muss bei den TTJs ein zusätzlicher Term hinzukommen, der bei einem MOSFET keine Rolle spielt. Betrachtet man die Gleichung 2.7 genauer, so besteht diese im Wesentlichen aus drei Faktoren: Der erste Faktor  $\mu C_g w(n-1)\phi_t^2/L$  kennzeichnet die geometrischen Kenngrößen des Kanals, des Gates und eines Kapazitätsverhältnisses, wobei keine dieser Größen von der Gatespannung abhängig ist; Der zweite Faktor lautet  $\exp[(V_g - V_t)/(n\phi_t)]$  und enthält explizit die Gatespannung; Der dritte Faktor ist  $1 - \exp(-V_d/\phi_t)$  und ist demnach ebenfalls von der Gatespannung unabhängig. Die Logarithmierung und nachfolgende Differenzierung nach  $V_g$  liefert allgemein:

$$\frac{\partial \ln I_d}{\partial V_g} = \frac{1}{n\phi_t} \frac{\partial (V_g - V_t)}{\partial V_g}. \quad (4.27)$$

Für einen klassischen FET gilt an dieser Stelle, dass die Schwellspannung nur von Materialparametern und der Drainspannung abhängt, wodurch sich nach der Differentiation direkt Gleichung 2.8 ergibt. Die Frage ist nun, was passiert, wenn  $V_t$  eine Funktion von  $V_g$  ist. Für den Subthreshold Swing folgt damit:

$$S = \frac{n\phi_t \ln 10}{1 - \frac{\partial V_t}{\partial V_g}}. \quad (4.28)$$

Bei genauerer Betrachtung dieser Gleichung fällt auf, dass man für  $\partial V_t/\partial V_g = 0$  wieder den bekannten Fall, d.h. Gleichung 2.8, erhält. Gilt  $\partial V_t/\partial V_g > 0$ , so wächst der Subthreshold Swing und das Schaltverhalten wird ineffizienter. Hierbei entspricht  $\partial V_t/\partial V_g > 0$  einer Verschiebung

von  $V_t$  zu positiven Spannungen mit steigenden, positiven Gatespannungen. Für den Fall eines QD zwischen Gate und Kanal, oder allgemeiner eines Floating Gates, bedeutet dies ein Laden des QD bei positiven Gatespannungen. Im Grenzfall gilt  $\partial V_t / \partial V_g = 1$  und eine Erhöhung der Gatespannung um 1 V erzeugt eine Verschiebung der Schwellspannung um den gleichen Wert, was dem Laden eines Plattenkondensators entspräche. Dadurch wäre allerdings der Kanal vollständig vom Gate abgeschirmt und die Gatespannung hätte keinerlei Einfluss auf dessen Leitfähigkeit. Ein solches System hätte folglich einen Subthreshold Swing von  $S = \infty$ . Somit ist bei normalen Floating-Gate-Transistoren eine Reduzierung des Subthreshold Swings durch ein gate-induziertes Laden des Floating Gates nicht möglich. Gilt hingegen  $\partial V_t / \partial V_g < 0$ , so verringert sich der Subthreshold Swing und der Transistor schaltet effizienter.  $\partial V_t / \partial V_g < 0$  bedeutet, dass die Schwellspannung mit steigendem  $V_g$  zu negativen Werten verschoben wird bzw. ein Laden des QD zwischen Gate und Kanal bei negativen Gatespannungen auftritt. Dies ist nur möglich, wenn das Laden über das Gate und nicht vom Kanal aus erfolgt. Grenzfall ist hier  $\partial V_t / \partial V_g = -1$ , wodurch sich der Subthreshold Swing auf 30 mV/dec reduziert. Werte kleiner als 30 mV/dec bzw.  $\partial V_t / \partial V_g < -1$  sind physikalisch durch Laden eines QD im Gate nicht möglich. Eine weitere physikalische Einschränkung in dieser Betrachtung ist, dass das Laden im Unterschwellspannungsregime erfolgen muss ( $V_g < V_t$ ), da der zu Grunde liegende Formalismus nur in diesem Regime definiert ist. Ferner ist es selbstverständlich, dass der Kanal noch leitfähig sein muss, d.h.  $I_d$  muss größer als der Sperrstrom des Transistors sein. Eine Änderung des Ladezustands des QD außerhalb dieses Bereichs führt nicht zu einer Veränderung des Subthreshold Swings, da sich dann  $V_t$  bereits geändert hat.

# Literaturverzeichnis

- [1] J. E. Lilienfeld. Method and apparatus for controlling electric currents. *US Patent 1,745,175*, 1930.
- [2] J. E. Lilienfeld. Amplifie for electric currents. *US Patent 1,877,140*, 1932.
- [3] J. E. Lilienfeld. Device for controlling electric currents. *US Patent 1,900,018*, 1933.
- [4] M. Riordan and L. Hoddeson. The origins of the pn junction. *IEEE Spectrum*, 34(6 (NA)):46–51, 1997.
- [5] M. Riordan. The lost history of the transistor. *IEEE Spectrum*, 41(5 (NA)):44–49, 2004.
- [6] G. E. Moore. Cramming more components onto integrated circuits. *Electronics*, 38(8):114–117, 1965.
- [7] R. H. Dennard, F. H. Gaensslen, H.-N. Yu, V. L. Rideout, E. Bassous, and A. R. Leblanc. Design of ion-implanted MOSFETs with very small physical dimensions. *IEEE J. Solid State Circuits*, SC-9(5):256–268, 1974.
- [8] M. T. Bohr, R. S. Chau, T. Ghani, and K. Mistry. The high- $k$  solution. *IEEE Spectrum*, 44(10 (INT)):23–29, 2007.
- [9] R. R. Tummala. Moore’s law meets its match. *IEEE Spectrum*, 43(6 (INT)):38–43, 2006.
- [10] P. E. Ross. Why cpu frequency stalled. *IEEE Spectrum*, 45(4 (INT)):52, 2008.
- [11] D. Stick, J. D. Sterk, and C. Monroe. The trap technique - toward a chip-based quantum computer. *IEEE Spectrum*, 44(8 (INT)):30–37, 2007.
- [12] L. Vandersypen. Dot-to-dot design. *IEEE Spectrum*, 44(9 (INT)):34–39, 2007.
- [13] P. Horowitz and W. Hill. *The Art of Electronics*. Cambridge Universtiy Press, Cambridge, 2. Auflage 2001.
- [14] H. Ibach and H. Lüth. *Festkörperphysik*. Springer, Berlin, 6. Auflage 2002.
- [15] U. Tietze and Ch. Schenk. *Halbleiterschaltungstechnik*. Springer, Berlin, 12. Auflage 2002.

- [16] K. Kopitzki and P. Herzog. *Einführung in die Festkörperphysik*. Teubner, Stuttgart, 5. Auflage 2004.
- [17] S. M. Sze and K. K. Ng. *Physics of Semiconductor Devices*. John Wiley & Sons, Hoboken, NJ, 3. Auflage 2007.
- [18] Y. Tsvividis. *Operation and Modeling of the MOS Transistor*. WCB/McGraw-Hill, Boston, 2. Auflage 1999.
- [19] K. Hoffmann. *Systemintegration - Vom Transistor zur großintegrierten Schaltung*. Oldenbourg, München, 5. Auflage 2003.
- [20] T. Poorter and J. H. Satter. A d.c. model for an MOS-transistor in the saturation region. *Solid State Electronics*, 23(7):765–772, 1980.
- [21] S. M. Sze. *Modern Semiconductor Device Physics*. John Wiley & Sons, New York, 1. Auflage 1998.
- [22] A. Godoy, J. A. López-Villanueva, J. A. Jiménez-Tejada, A. Palma, and F. Gámiz. A simple subthreshold swing model for short channel MOSFETs. *Solid State Electronics*, 45(3):391–387, 2001.
- [23] K. von Klitzing, G. Dorda, and M. Pepper. New method for high-accuracy determination of the fine-structure constant based on quantized hall resistance. *Phys. Rev. Lett.*, 45(6):494–497, 1980.
- [24] T. A. Fulton and G. J. Dolan. Observation of single-electron charging effects in small tunnel junctions. *Phys. Rev. Lett.*, 59(1):109–112, 1987.
- [25] B. J. van Wees, H. van Houten, C. W. J. Beenakker, J. G. Williamson, L. P. Kouwenhoven, D. van der Marel, and C. T. Foxon. Quantized conductance of point contacts in a two-dimensional electron gas. *Phys. Rev. Lett.*, 60(9):848–850, 1988.
- [26] A. M. Song, A. Lorke, A. Kriele, J. P. Kotthaus, W. Wegscheider, and M. Bichler. Non-linear electron transport in an asymmetric microjunction: A ballistic rectifier. *Phys. Rev. Lett.*, 80(17):3831–3834, 1998.
- [27] R. Fleischmann and T. Geisel. Mesoscopic rectifier based on ballistic transport. *Phys. Rev. Lett.*, 89(1):016804, 2002.
- [28] B. Korenblum and E. I. Rashba. Classical properties of low-dimensional conductors: Giant capacitance and non-ohmic potential drop. *Phys. Rev. Lett.*, 89(9):096803, 2002.
- [29] A. Löfgren, I. Shorubalko, P. Omling, and A. M. Song. Quantum behavior in nanoscale ballistic rectifier and artificial materials. *Phys. Rev. B*, 67(19):195309, 2003.

- [30] R. Dingle, H. L. Stömer, A. C. Gossard, and W. Wiegmann. Electron mobilities in modulation-doped semiconductor heterojunction superlattices. *Appl. Phys. Lett.*, 33(7):665–667, 1978.
- [31] T. Ando, A. B. Fowler, and F. Stern. Electronic properties of two-dimensional systems. *Rev. Mod. Phys.*, 54(2):437–672, 1982.
- [32] P. M. Solomon and H. Morkoç. Modulation-doped GaAs/AlGaAs heterojunction field effect transistors (MODFETs), ultrahigh-speed device for supercomputers. *IEEE Trans. Electron Devices*, 31(8):1015–1027, 1984.
- [33] A. Christou, K. Varmazis, and Z. Hatzopoulos. High-mobility two-dimensional electron gas structure for modulation-doped GaAs transistors. *Appl. Phys. Lett.*, 50(14):935–936, 1987.
- [34] L. Pfeiffer, K. W. West, H. L. Störmer, and K. W. Baldwin. Electron mobilities exceeding  $10^7$  cm<sup>2</sup>/Vs in modulation-doped GaAs. *Appl. Phys. Lett.*, 55(18):1888–1900, 1989.
- [35] S. Datta. *Electronic Transport in Mesoscopic Systems*. Cambridge University Press, Cambridge, 5. Auflage 2003.
- [36] T. P. Smith, B. B. Goldberg, P. J. Stiles, and M. Heiblum. Direct measurement of the density of states of a two-dimensional electron gas. *Phys. Rev. B*, 32(4):2696–2699, 1985.
- [37] D. K. Ferry and S. M. Goodnick. *Transport in Nanostructures*. Cambridge University Press, Cambridge, 1. Auflage 1999.
- [38] J. R. Gao, C. de Graaf, J. Caro, S. Radelaar, M. Offenbergh, V. Lauer, J. Singleton, T. J. B. M. Janssen, and J. A. A. J. Perenboom. One-dimensional subband effects in the conductance of multiple quantum wires in Si metal-oxide-semiconductor field-effect transistors. *Phys. Rev. B*, 41(17):12315–12318, 1990.
- [39] Y. S. Tang, G. Jin, J. H. Davies, J. G. Williamson, and C. D. W. Wilkinson. Quantized conductance in a long silicon inversion wire. *Phys. Rev. B*, 45(23):13799–13802, 1992.
- [40] A. Yacoby, H. L. Stömer, N. S. Wingreen, L. N. Pfeiffer, K. W. Baldwin, and K. W. West. Nonuniversal conductance quantization in quantum wires. *Phys. Rev. Lett.*, 77(22):4612–4615, 1996.
- [41] M. Je, S. Han, I. Kim, and H. Shin. A silicon quantum wire transistor with one-dimensional subband effects. *Solid State Electronics*, 44(12):2207–2212, 2000.
- [42] B. J. van Wees, L. P. Kouwenhoven, E. M. M. Willems, C. J. P. M. Harmans, J. E. Mooij, H. van Houten, C. W. J. Beenakker, J. G. Williamson, and C. T. Foxon. Quantum ballistic and adiabatic electron transport studied with quantum point contacts. *Phys. Rev. B*, 43(15):12431–12453, 1991.

- [43] M. A. Kastner. Artificial atoms. *Phys. Today*, 46(1):24–31, 1993.
- [44] Y. Alhassid. The statistical theory of quantum dots. *Rev. Mod. Phys.*, 72(4):895–968, 2000.
- [45] W. Nolting. *Grundkurs Theoretische Physik 5/1*. Springer, Berlin, 6. Auflage 2004.
- [46] S. De Franceschi, S. Sasaki, J. M. Elzerman, W. G. van der Wiel, S. Tarucha, and L. P. Kouwenhoven. Electron cotunneling in a semiconductor quantum dot. *Phys. Rev. Lett.*, 86(5):878–881, 2001.
- [47] M. H. Devoret, D. Esteve, and C. Urbina. Single-electron transfer in metallic nanostructures. *NATURE*, 360(6404):547–553, 1992.
- [48] D. Goldhaber-Gordon, H. Shtrikman, D. Mahalu, D. Abusch-Magder, U. Meirav, and M. A. Kastner. Kondo effect in a single-electron transistor. *NATURE*, 391(6663):156–159, 1998.
- [49] W. Lu, A. J. Rimberg, K. D. Maranowski, and A. C. Gossard. Single-electron transistor strongly coupled to an electrostatically defined quantum dot. *Appl. Phys. Lett.*, 77(17):2746–2748, 2000.
- [50] R. Brenner, A. D. Greentree, and A. R. Hamilton. Current suppression in a double-island single-electron transistor for detection of degenerate charge configuration of a floating double-dot. *Appl. Phys. Lett.*, 83(22):4640–4642, 2003.
- [51] N. Nishiguchi. Elastic deformation blockade in a single-electron transistor. *Phys. Rev. B*, 68(12):121305(R), 2003.
- [52] I. M. Ruzin, V. Chandrasekhar, E. I. Levin, and L. I. Glazman. Stochastic coulomb blockade in a double-dot system. *Phys. Rev. B*, 45(23):13469–13478, 1992.
- [53] W. G. van der Wiel, S. De Franceschi, J. M. Elzerman, T. Fujisawa, S. Tarucha, and L. P. Kouwenhoven. Electron transport through double quantum dots. *Rev. Mod. Phys.*, 75(1):1–22, 2003.
- [54] M. A. Kastner. The single-electron transistor. *Rev. Mod. Phys.*, 64(3):849–858, 1992.
- [55] H. Drexler, D. Leonard, W. Hansen, J. P. Kotthaus, and P. M. Petroff. Spectroscopy of quantum levels in charge-tunable InGaAs quantum dots. *Phys. Rev. Lett.*, 73(16):2252–2255, 1994.
- [56] M. Ruß, C. Meier, A. Lorke, D. Reuter, and A. D. Wieck. Role of quantum capacitance in coupled low-dimensional electron systems. *Phys. Rev. B*, 73(11):115334, 2006.
- [57] L. Jacak, P. Hawrylak, and A. Wojs. *Quantum Dots*. Springer, Berlin, 1. Auflage 1998.

- [58] J. Weis, R. J. Haug, K. von Klitzing, and K. Ploog. Transport spectroscopy of a confined electron system under a gate tip. *Phys. Rev. B*, 46(19):12837–12840, 1992.
- [59] T. Schmidt, M. Tewordt, R. H. Blick, R. J. Haug, D. Pfannkuche, and K. von Klitzing. Quantum-dot ground states in a magnetic field studied by single-electron tunneling spectroscopy on double-barrier heterostructures. *Phys. Rev. B*, 51(8):5570–5573, 1995.
- [60] J. Weis, R. J. Haug, K. von Klitzing, and K. Ploog. Competing channels in single-electron tunneling through a quantum dot. *Phys. Rev. Lett.*, 71(24):4019–4022, 1993.
- [61] F. R. Waugh, M. J. Berry, D. J. Mar, R. M. Westervelt, K. L. Campman, and A. C. Gossard. Single-electron charging in double and triple quantum dots with tunable coupling. *Phys. Rev. Lett.*, 75(4):705–708, 1995.
- [62] R. H. Blick, R. J. Haug, J. Weis, D. Pfannkuche, K. von Klitzing, and K. Eberl. Single-electron tunneling through a double quantum dot: The artificial molecule. *Phys. Rev. B*, 53(12):7899–7902, 1996.
- [63] F. R. Waugh, M. J. Berry, C. H. Crouch, C. Livermore, D. J. Mar, R. M. Westervelt, K. L. Campman, and A. C. Gossard. Measuring interactions between tunnel-coupled quantum dots. *Phys. Rev. B*, 53(3):001413, 1996.
- [64] R. H. Blick, D. Pfannkuche, R. J. Haug, K. von Klitzing, and K. Eberl. Formation of a coherent mode in a double quantum dot. *Phys. Rev. Lett.*, 80(18):4032–4035, 1998.
- [65] T. Pohjola, J. König, H. Schoeller, and G. Schön. Strong tunneling in double-island structures. *Phys. Rev. B*, 59(11):7579–7589, 1999.
- [66] D. S. Duncan, M. A. Topinka, R. M. Westervelt, K. D. Maranowski, and A. C. Gossard. Interaction of tunnel-coupled quantum dots in a magnetic field. *Phys. Rev. B*, 63(4):045311, 2001.
- [67] M. C. Rogge, C. Fühner, U. F. Keyser, and R. J. Haug. Spin blockade in capacitively coupled quantum dots. *Appl. Phys. Lett.*, 2004(4):606–608, 85.
- [68] M. C. Rogge, B. Harke, C. Fricke, F. Hohls, M. Reinwald, W. Wegscheider, and R. J. Haug. Coupling symmetry of quantum dot states. *Phys. Rev. B*, 72(23):233402, 2005.
- [69] R. Kories and H. Schmidt-Walter. *Taschenbuch der Elektrotechnik*. Deutsch, Frankfurt a. M., 6. Auflage 2004.
- [70] S. Luryi. Quantum capacitance devices. *Appl. Phys. Lett.*, 52(6):501–503, 1988.
- [71] J.-O. J. Wesström. Self-gating effect in the electron Y-branch switch. *Phys. Rev. Lett.*, 82(12):2564–2567, 1999.
- [72] L. Worschech, D. Hartmann, S. Reitzenstein, and A. Forchel. Nonlinear properties of ballistic nanoelectronic devices. *J. Phys.: Condens. Matter*, 17(29):R775–R802, 2005.

- [73] L. Guo, E. Leobandung, and S. Y. Chou. A silicon single-electron transistor memory operating at room temperature. *SCIENCE*, 275(5300):649–651, 1997.
- [74] S. Reitzenstein, L. Worschech, C. R. Müller, and A. Forchel. Compact logic NAND-gate based on a single in-plane quantum-wire transistor. *IEEE Electron Device Lett.*, 26(3):142–144, 2005.
- [75] T. Palm and L. Thylén. Analysis of an electron-wave Y-branch switch. *Appl. Phys. Lett.*, 60(2):237–239, 1992.
- [76] T. Palm, L. Thylén, O. Nilsson, and C. Svensson. Quantum interference devices and field effect transistors: A switch energy comparison. *J. Appl. Phys.*, 74(1):687–694, 1993.
- [77] T. Palm. Self-consistent calculations of an electron-wave Y-branch switch. *J. Appl. Phys.*, 74(5):3551–3557, 1993.
- [78] K. Hieke and M. Ulfward. Nonlinear operation of the Y-branch switch: Ballistic switching mode at room temperature. *Phys. Rev. B*, 62(24):16727–16730, 2000.
- [79] A. N. Andriotis, M. Menon, D. Srivastava, and L. Chernozatonskii. Ballistic switching and rectification in single wall carbon nanotube Y junctions. *Appl. Phys. Lett.*, 79(2):266–268, 2001.
- [80] L. Worschech, B. Weidner, S. Reitzenstein, and A. Forchel. Investigation of switching effects between the drains of an electron Y-branch switch. *Appl. Phys. Lett.*, 78(21):3325–3327, 2001.
- [81] L. Worschech, H. Q. Xu, A. Forchel, and L. Samuelson. Bias-voltage-induced asymmetry in nanoelectronic Y-branches. *Appl. Phys. Lett.*, 79(20):3287–3289, 2001.
- [82] S. M. Goodnick and J. Bird. Quantum-effect and single-electron devices. *IEEE Trans. Nanotechnol.*, 2(4):368–385, 2003.
- [83] G. M. Jones, C. H. Yang, M. J. Yang, and Y. B. Lyanda-Geller. Quantum steering of electron wave function in an InAs Y-branch switch. *Appl. Phys. Lett.*, 86(7):073117, 2005.
- [84] J.-O. J. Wesström. Signal scattering in multiport electron-waveguide devices. *Phys. Rev. B*, 58(16):10351–10356, 1998.
- [85] S. Reitzenstein, L. Worschech, P. Hartmann, M. Kamp, and A. Forchel. Capacitive-coupling-enhanced switching gain in an electron Y-branch switch. *Phys. Rev. Lett.*, 89(22):226804, 2002.
- [86] K. H. Schmidt, M. Versen, U. Kunze, D. Reuter, and A. D. Wieck. Electron transport through a single InAs quantum dot. *Phys. Rev. B*, 62(23):15879–15887, 2000.



- [87] M. Kamp, M. Emmerling, S. Kuhn, and A. Forchel. Nanolithography using a 100 kV electron beam lithography system with a Schottky emitter. *J. Vac. Sci. Technol. B*, 17(1):86–89, 1999.
- [88] F. Beuscher L. Worschech and A. Forchel. Quantized conductance in up to 20  $\mu\text{m}$  long shallow etched GaAs/AlGaAs quantum wires. *Appl. Phys. Lett.*, 75(4):578–580, 1999.
- [89] J. Nieder, A. D. Wieck, P. Grambow, H. Lage, D. Heitmann, K. von Klitzing, and K. Ploog. One-dimensional lateral-field-effect transistor with trench gate-channel insulation. *Appl. Phys. Lett.*, 57(25):2695–2697, 1990.
- [90] A. D. Wieck and K. Ploog. In-plane gated quantum-wire transistor fabricated with directly written focused ion-beams. *Appl. Phys. Lett.*, 56(10):928–930, 1990.
- [91] H. Okada, K. Jinushi, N.-J. Wu, T. Hashizume, and H. Hasegawa. Novel wire transistor structure with in-plane gate using direct schottky contacts to 2DEG. *Jpn. J. Appl. Phys., Part 1*, 34(2B):1315–1319, 1995.
- [92] S. Tsukamoto, M. Aono, and K. Hirose. Sudden suppression of electron-transmission peaks in finite-biased nanowires. *Jpn. J. Appl. Phys.*, 41(12):7491–7495, 2002.
- [93] S. Tiwari, F. Rana, H. Hanafi A. Hartstein, E. F. Crabbé, and K. Chan. A silicon nanocrystals based memory. *Appl. Phys. Lett.*, 68(10):1377–1379, 1996.
- [94] J. J. Finley, M. Skalitz, M. Arzberger, A. Zrenner, G. Böhm, and G. Abstreiter. Electrical detection of optically induced charge storage in self-assembled InAs quantum dots. *Appl. Phys. Lett.*, 73(18):2618–2620, 1998.
- [95] G. Park, S. Han, T. Hwang, and H. Shin. A nano-structure memory with silicon on insulator edge channel and a nano dot. *Jpn. J. Appl. Phys., Part 1*, 37(12B):7190–7192, 1998.
- [96] H. Kim, T. Noda, T. Kawazu, and H. Sakaki. Control of current hysteresis effects in a GaAs/n-AlGaAs quantum trap field-effect transistor with embedded InAs quantum dots. *Jpn. J. Appl. Phys.*, 39(12B):7100–7102, 2000.
- [97] K. Koike, K. Saitoh, S. Li, S. Sasa, M. Inoue, and M. Yano. Room-temperature operation of a memory-effect AlGaAs/GaAs heterojunction field-effect transistor with self-assembled InAs nanodots. *Appl. Phys. Lett.*, 76(11):1464–1466, 2000.
- [98] G. Iannoccone and P. Coli. Three-dimensional simulation of nanocrystal flash memories. *Appl. Phys. Lett.*, 78(14):2046–2048, 2001.
- [99] A. Kohno, H. Murakami, M. Ikeda, S. Miyazaki, and M. Hirose. Memory operation of silicon quantum-dot floating-gate metal-oxide-semiconductor field-effect transistors. *Jpn. J. Appl. Phys.*, 40(7B):L721–L723, 2001.

- [100] M. Ikeda, Y. Shimizu, H. Murakami, and S. Miyazaki. Multiple-step electron charging in silicon-quantum-dot floating gate metal-oxide-semiconductor memories. *Jpn. J. Appl. Phys.*, 42(6B):4134–4137, 2003.
- [101] M. Saitoh, E. Nagata, and T. Hiramoto. Large memory window and long charge-retention time in ultranarrow-channel silicon floating-dot memory. *Appl. Phys. Lett.*, 82(11):1787–1789, 2003.
- [102] W. Wu, J. Gu, H. Ge, C. Keimel, and S. Y. Chou. Room-temperature Si single-electron memory fabricated by nanoimprint lithography. *Appl. Phys. Lett.*, 83(11):2268–2270, 2003.
- [103] H.-Y. Cha, H. Wu, S. Chae, and M. G. Spencer. Gallium nitride nanowire nonvolatile memory device. *J. Appl. Phys.*, 100(2):024307, 2006.
- [104] E. G. Emiroglu, D. G. Hasko, and D. A. Williams. Isolated double quantum dot capacitively coupled to a single quantum dot single-electron transistor in silicon. *Appl. Phys. Lett.*, 83(19):3942–3944, 2003.
- [105] T. Hatano, M. Stopa, T. Yamaguchi, T. Ota, K. Yamada, and S. Tarucha. Electron-spin and electron-orbital dependence of the tunnel coupling in laterally coupled double vertical dots. *Phys. Rev. Lett.*, 93(6):066806, 2004.
- [106] A. W. Rushforth, C. G. Smith, M. D. Godfrey, H. E. Beere, D. A. Ritchie, and M. Pepper. Noninvasive detection of the evolution of the charge states of a double dot system. *Phys. Rev. B*, 69(11):113309, 2004.
- [107] K. Hitachi, M. Yamamoto, and S. Tarucha. Spin selective spectroscopy of a quantum dot using tunnel-coupled quantum wires as spin filters. *Phys. Rev. B*, 74(16):161301(R), 2006.
- [108] A. Pfund, I. Shorubalko, R. Leturcq, and K. Ensslin. Top-gate defined double quantum dots in InAs nanowires. *Appl. Phys. Lett.*, 89(25):252106, 2006.
- [109] D. L. John, L. C. Castro, and D. L. Pulfrey. Quantum capacitance in nanoscale device modeling. *J. Appl. Phys.*, 96(9):5180–5184, 2004.
- [110] J. Knoch, W. Riess, and J. Appenzeller. Outperforming the conventional scaling rules in the quantum-capacitance limit. *IEEE Electron Device Lett.*, 29(4):372–374, 2008.
- [111] Y. Ono, A. Fujiwara, K. Nishiguchi, H. Inokawa, and Y. Takahashi. Manipulation and detection of single electrons for future information processing. *J. Appl. Phys.*, 97(3):031101, 2005.
- [112] G. J. Iafrate and M. A. Stroscio. Application of quantum-based devices: Trends and challenges. *IEEE Trans. Electron Devices*, 43(10):1621–1625, 1996.

- [113] C. Balocco, A. M. Song, and M. Missous. Room-temperature operations of memory devices based on self-assembled InAs quantum dot structures. *Appl. Phys. Lett.*, 85(24):5911–5913, 2004.
- [114] J. H. Davies. *The Physics of Low-Dimensional Semiconductors - An Introduction*. Cambridge University Press, Cambridge, 1. Auflage 1999.
- [115] A. Schliemann, L. Worschech, S. Reitzenstein, S. Kaiser, and A. Forchel. Large threshold hysteresis in a narrow AlGaAs/GaAs channel with embedded quantum dots. *Appl. Phys. Lett.*, 81(11):2115–2117, 2002.
- [116] G. Molas, B. De Salvo, G. Ghibaudo, D. Mariolle, A. Toffoli, N. Buffet, R. Puglisi, S. Lombardo, and S. Deleonibus. Single electron effects and structural effects in ultrascaled silicon nanocrystal floating-gate memories. *IEEE Trans. Nanotechnol.*, 3(1):42–48, 2004.
- [117] C. Pace, F. Crupi, S. Lombardo, C. Gerardi, and G. Cocorullo. Room-temperature single-electron effects in silicon nanocrystal memories. *Appl. Phys. Lett.*, 87(18):182106, 2005.
- [118] C. Pace, G. Giusi, F. Crupi, and S. A. Lombardo. Detection and classification of single-electron jumps in Si nanocrystal memories. *IEEE Trans. Instrum. Meas.*, 57(2):364–368, 2008.
- [119] T. Palm. Prediction of sawtooth oscillations in an electron Y-branch switch. *Phys. Rev. B*, 52(19):13773–13775, 1995.
- [120] S. Reitzenstein, L. Worschech, P. Hartmann, and A. Forchel. Pronounced switching bistability in a feedback coupled nanoelectronic Y-branch switch. *Appl. Phys. Lett.*, 82(12):1980–1982, 2003.
- [121] L. Worschech, S. Reitzenstein, P. Hartmann, S. Kaiser, M. Kamp, and A. Forchel. Self-switching of branched multiterminal junctions: a ballistic half-adder. *Appl. Phys. Lett.*, 83(12):2462–2464, 2003.
- [122] S. Reitzenstein, L. Worschech, and A. Forchel. Room temperature operation of an in-plane half-adder based on ballistic Y-junctions. *IEEE Electron Device Lett.*, 25(7):462–464, 2004.
- [123] L. Bednarz, Rashmi, B. Hackens, G. Farhi, V. Bayot, and I. Huynen. Broad-band frequency characterization of double Y-branch nanojunction operating as room-temperature RF to DC rectifier. *IEEE Trans. Nanotechnol.*, 4(5):576–580, 2005.
- [124] T. Muller, A. Lorke, Q. T. Do, F. J. Tegude, D. Schuh, and W. Wegscheider. A three-terminal planar selfgating device for nanoelectronic applications. *Solid State Electronics*, 49(12):1990–1995, 2005.

- [125] L. Bednarz, Rashmi, P. Simon, I. Huynen, T. González, and J. Mateos. Negative differential transconductance and nonreciprocal effects in a Y-branch nanojunction: High-frequency analysis. *IEEE Trans. Nanotechnol.*, 5(6):750–757, 2006.
- [126] H. Q. Xu. Electrical properties of three-terminal ballistic junctions. *Appl. Phys. Lett.*, 78(14):2064–2066, 2001.
- [127] J. Mateos, B. G. Vasallo, D. Pardo, T. González, J.-S. Galloo, S. Bollaert, Y. Roelens, and A. Cappy. Microscopic modeling of nonlinear transport in ballistic nanodevices. *IEEE Trans. Electron Devices*, 50(9):1897–1905, 2003.
- [128] S. de Haan, A. Lorke, J. P. Kotthaus, W. Wegscheider, and M. Bichler. Rectification in mesoscopic systems with broken symmetry: Quasiclassical ballistic versus classical transport. *Phys. Rev. Lett.*, 92(5):056806, 2004.
- [129] J. Mateos, B. G. Vasallo, D. Pardo, T. González, E. Pichonat, J.-S. Galloo, S. Bollaert, Y. Roelens, and A. Cappy. Nonlinear effects in T-branch junctions. *IEEE Electron Device Lett.*, 25(5):235–237, 2004.
- [130] D. Wallin, I. Shorubalko, H. Q. Xu, and A. Cappy. Nonlinear electrical properties of three-terminal junctions. *Appl. Phys. Lett.*, 89(9):092124, 2006.
- [131] H. Irie, Q. Diduck, M. Margala, R. Sobolewski, and M. J. Feldman. Nonlinear characteristics of T-branch junctions: Transition from ballistic to diffusive regime. *Appl. Phys. Lett.*, 93(5):053502, 2008.
- [132] R. Šordan and K. Nikolić. Quantum-constriction rectifier. *Phys. Rev. B*, 54(15):10332–10334, 1996.
- [133] P. Reimann, M. Grifoni, and P. Hänggi. Quantum ratchets. *Phys. Rev. Lett.*, 79(1):10–13, 1997.
- [134] H. Linke, T. E. Humphrey, A. Löfgren, A. O. Sushkov, R. Newbury, R. P. Taylor, and P. Omling. Experimental tunneling ratchets. *SCIENCE*, 286(5448):2314–2317, 1999.
- [135] J. Lehmann, S. Kohler, P. Hänggi, and A. Nitzan. Molecular wires acting as coherent quantum ratchets. *Phys. Rev. Lett.*, 88(22):228305, 2002.
- [136] V. S. Khrapai, S. Ludwig, J. P. Kotthaus, H. P. Tranitz, and W. Wegscheider. Double-dot quantum ratchet driven by an independently biased quantum point contact. *Phys. Rev. Lett.*, 97(17):176803, 2006.
- [137] M. Stopa. Rectifying behavior in coulomb blockades: Charging rectifiers. *Phys. Rev. Lett.*, 88(14):146802, 2002.
- [138] A. Vidan, R. M. Westervelt, M. Stopa, M. Hanson, and A. C. Gossard. Triple quantum dot charging rectifier. *Appl. Phys. Lett.*, 85(16):3602–3604, 2004.

- [139] D. Hartmann, L. Worschech, S. Höfling, A. Forchel, and J. P. Reithmaier. Self-gating in an electron Y-branch switch at room temperature. *Appl. Phys. Lett.*, 89(12):122109, 2006.
- [140] P. W. Anderson. Absence of diffusion in certain random lattices. *Phys. Rev.*, 109(5):1492–1505, 1958.
- [141] V. K. S. Shante and S. Kirkpatrick. An introduction to percolation theory. *Adv. Phys.*, 20(85):325–357, 1971.
- [142] R. J. Elliott, J. A. Krumhansl, and P. L. Leath. The theory and properties of randomly disordered crystals and related physical systems. *Rev. Mod. Phys.*, 46(3):465–543, 1974.
- [143] E. Abrahams, P. W. Anderson, D. C. Licciardello, and T. V. Ramakrishnan. Scaling theory of localization: Absence of quantum diffusion in two dimensions. *Phys. Rev. Lett.*, 42(10):673–676, 1979.
- [144] D. Belitz and T. R. Kirkpatrick. The Anderson-Mott transition. *Rev. Mod. Phys.*, 66(2):261–380, 1994.
- [145] G. Molas, D. Deleruyelle, B. De Salvo, G. Ghibaudo, M. Gély, L. Perniola, D. Lafond, and S. Deleonibus. Degradation of floating-gate memory reliability by few electron phenomena. *IEEE Trans. Electron Devices*, 53(10):2610–2619, 2006.
- [146] X. Guo, S. R. P. Silva, and T. Ishii. Current percolation in ultrathin channel nanocrystalline silicon transistors. *Appl. Phys. Lett.*, 93(4):042105, 2008.
- [147] C. Kittel. *Einführung in die Festkörperphysik*. Oldenbourg, München, 12. Auflage 2006.
- [148] T. Demel, D. Heitmann, P. Grambow, and K. Ploog. One-dimensional electronic systems in ultrafin mesa-etched single and multiple quantum well wires. *Appl. Phys. Lett.*, 53(22):2176–2178, 1988.
- [149] P. W. Fry, J. J. Finley, L. R. Wilson, A. Lemaître, D. J. Mowbray, M. S. Skolnick, M. Hopkinson, G. Hill, and J. C. Clark. Electric-field-dependent carrier capture and escape in self-assembled InAs/GaAs quantum dots. *Appl. Phys. Lett.*, 77(26):4344–4346, 2000.
- [150] H. Q. Xu. Nanotubes: The logical choice for electronics? *NATURE Materials*, 4(9):640–650, 2005.
- [151] A. M. Song, M. Missous, P. Omling, A. R. Peaker, L. Samuelson, and W. Seifert. Unidirectional electron flow in a nanometer-scale semiconductor channel: A self-switching device. *Appl. Phys. Lett.*, 83(9):1881–1883, 2003.
- [152] C. Balocco, A. M. Song, M. Aberg, A. Forchel, T. González, J. Mateos, I. Maximov, M. Missous, A. A. Rezazadeh, J. Saijets, L. Samuelson, D. Wallin, K. Williams, L. Worschech, and H. Q. Xu. Microwave detection at 110 GHz by nanowires with broken symmetry. *Nano Lett.*, 5(7):1423–1427, 2005.

- [153] I. Iñiguez de-la Torre, J. Mateos, D. Pardo, and T. González. Monte carlo analysis of noise spectra in self-switching nanodiodes. *J. Appl. Phys.*, 103(2):024502, 2008.
- [154] K. Y. Xu, X. F. Lu, A. M. Song, and G. Wang. Terahertz harmonic generation using a planar nanoscale unipolar diode at zero bias. *Appl. Phys. Lett.*, 92(16):163503, 2008.
- [155] C.-S. Lee, W.-C. Hsu, and C.-L. Wu. Analytic modeling for drain-induced barrier lowering phenomenon of the InGaP/InGaAs/GaAs pseudomorphic doped-channel field-effect transistor. *Jpn. J. Appl. Phys.*, 41(10):5919–5923, 2002.
- [156] S. Reitzenstein, L. Worschech, D. Hartmann, and A. Forchel. Drain voltage induced barrier increasing of quantum-wire transistors. *Electron. Lett.*, 40(1):75–77, 2004.
- [157] I. Shorubalko, H. Q. Xu, I. Maximov, P. Omling, L. Samuelson, and W. Seifert. Nonlinear operation of GaInAs/InP-based three-terminal ballistic junctions. *Appl. Phys. Lett.*, 79(9):1384–1386, 2001.
- [158] Rashmi, L. Bednarz, B. Hackens, G. Fahri, V. Bayot, and I. Huynen. Nonlinear electron transport properties of InAlAs/InGaAs based y-branch junctions for microwave rectification at room temperature. *Solid State Communications*, 134(3):217–222, 2005.
- [159] T. Nakamura, S. Kasai, Y. Shiratori, and T. Hashizume. Fabrication and characterization of a GaAs-based three terminal nanowire junction device controlled by double Schottky wrap gates. *Appl. Phys. Lett.*, 90(10):102104, 2007.
- [160] H. Q. Xu. Diode and transistor behaviours of three-terminal ballistic junctions. *Appl. Phys. Lett.*, 80(5):853–855, 2002.
- [161] H. Q. Xu, I. Shorubalko, D. Wallin, I. Maximov, P. Omling, L. Samuelson, and W. Seifert. Novel nanoelectronic triodes and logic devices with TBJs. *IEEE Electron Device Lett.*, 25(4):164–166, 2004.
- [162] J. Sun, D. Wallin, P. Brusheim, I. Maximov, Z. G. Wang, and H. Q. Xu. Frequency mixing and phase detection functionalities of three-terminal ballistic junctions. *Nanotechnol.*, 18(19):95205, 2007.
- [163] J. Sun, D. Wallin, I. Maximov, and H. Q. Xu. A novel SR latch device realized by integration of three-terminal ballistic junctions in InGaAs/InP. *IEEE Electron Device Lett.*, 29(6):540–542, 2008.
- [164] S. Kasai, T. Nakamura, S. F. Bin Abd Rahman, and Y. Shiratori. Study on nonlinear electrical characteristics in GaAs-based three-branch nanowire junctions controlled by Schottky wrap gates. *Jpn. J. Appl. Phys.*, 47(6):4958–4964, 2008.
- [165] X. Zhao, J. Wang, and H. Guo. Electrochemical capacitance of a leaky nanocapacitor. *Phys. Rev. B*, 60(24):16730–16740, 1999.

- [166] R. F. Schmitsdorf, T. U. Kampen, and W. Mönch. Explanation of the linear correlation between barrier heights and ideality factors of real metal-semiconductor contacts by laterally nonuniform Schottky barriers. *J. Vac. Sci. Technol. B*, 15(4):1221–1226, 1997.
- [167] A. M. Song, P. Omling, L. Samuelson, W. Seifert, I. Shorubalko, and H. Zirath. Operation of InGaAs/InP-based ballistic rectifier at room temperature and frequencies up to 50 GHz. *Jpn. J. Appl. Phys., Part 2*, 40(9AB):L909–L911, 2001.
- [168] L. Worschech, A. Schliemann, S. Reitzenstein, P. Hartmann, and A. Forchel. Microwave rectification in ballistic nanojunctions at room temperature. *Microelectron. Eng.*, 63(1-3):217–221, 2002.
- [169] I. Iñiguez de-la Torre, J. Mateos, T. González, D. Pardo, J.-S. Galloo, S. Bollaert, Y. Roelens, and A. Cappy. Influence of the surface charge on the operation of ballistic T-branch junctions: A self-consistent model for Monte Carlo simulations. *Semicond. Sci. Technol.*, 22(6):663–670, 2007.
- [170] J. Appenzeller, Y.-M. Lin, J. Knoch, and Ph. Avouris. Band-to-band tunneling in carbon nanotube field-effect transistors. *Phys. Rev. Lett.*, 93(19):196805, 2004.
- [171] K. E. Engström and J. M. Kinaret. Performance gain through dynamic control of device geometry: Nanoelectromechanical carbon nanotube-based switch. *IEEE Electron Device Lett.*, 27(12):988–991, 2006.
- [172] Q. Zhang, W. Zhao, and A. Seabaugh. Low-subthreshold-swing tunnel transistors. *IEEE Electron Device Lett.*, 27(4):297–300, 2006.
- [173] K. Boucart and A. M. Ionescu. Double-gate tunnel fet with high- $k$  gate dielectric. *IEEE Trans. Electron Devices*, 54(7):1725–1733, 2007.
- [174] W. Y. Choi, B.-G. Park, J. D. Lee, and T.-J. K. Liu. Tunneling field-effect transistors (TFETs) with subthreshold swing (SS) less than 60 mV/dec. *IEEE Electron Device Lett.*, 28(8):743–745, 2007.
- [175] M. F. Chang, P. T. Lee, S. P. McAlister, and A. Chin. Low subthreshold swing HfLaO/pentacene organic thin-film transistors. *IEEE Electron Device Lett.*, 29(3):215–217, 2008.
- [176] X. Guo, T. Ishii, and S. R. P. Silva. Improving switching performance of thin-film transistors in disordered silicon. *IEEE Electron Device Lett.*, 29(6):588–591, 2008.
- [177] V. Nagavarapu, R. Jhaveri, and J. C. S. Woo. The tunnel source (pnpn) n-MOSFET: A novel high performance transistor. *IEEE Trans. Electron Devices*, 55(4):1013–1019, 2008.
- [178] A. J. Walker, S. B. Herner, T. Kumar, and E.-H. Chen. On the conduction mechanism in polycrystalline silicon thin-film transistors. *IEEE Trans. Electron Devices*, 51(11):1856–1866, 2004.

- [179] H. A. El Hamid, B. Iñíguez, and J. R. Guitart. Analytical model of the threshold voltage and subthreshold swing of undoped cylindrical gate-all-around-based MOSFETs. *IEEE Trans. Electron Devices*, 54(3):572–579, 2007.



# Danksagung

An dieser Stelle möchte ich mich bei allen bedanken, die mir bei der Erstellung dieser Arbeit beistanden und somit diese Arbeit ermöglicht haben.

Prof. Dr. Alfred Forchel für die Aufnahme am Lehrstuhl für Technische Physik, um diese Dissertation anfertigen zu können und für die Bereitstellung der technischen Ausstattung und der experimentellen Systeme.

PD Dr. Lukas Worschech für die kompetente und umfassende Betreuung während meiner gesamten Promotion und die Zusammenarbeit im Rahmen der Arbeitsgruppe. Durch den von Ihm geschaffenen Freiraum und das in mich gesetzte Vertrauen wurde mir die Möglichkeit gegeben eigene Wege zu gehen und eine Vielzahl von Themen abzudecken.

Daniela Spanheimer, Stefan Lang, Sebastian Göpfert, Bettina Brandenstein-Köth, Thomas Schmidt und Angelika Berger für die angenehme Atmosphäre innerhalb und außerhalb der Nanoelectronics-Gruppe.

Monika Emmerling, Silke Kuhn, Dr. Martin Kamp, Sven Höflin und Jan Heinrich für ihr Engagement bei ihrer Arbeit im Mikrostrukturlabor.

Besonders möchte ich mich bei meinen Eltern für Ihre Unterstützung während den letzten Jahren bedanken. Ihr standet mir stets mit Rat und Tat zur Seite.

Meiner Freundin Jutta, die mir während der letzten Jahre beistand, für Ihr Verständnis und Ihre Geduld.

Weiterer Dank gilt den Korrekturlesern dieser Arbeit: Jutta Gillich und Tobias Kiessling.



# Ehrenwörtliche Erklärung

gemäß §5 Abs. 2 Ziff. 2 und 5 der Promotionsordnung der Fakultät für Physik und Astronomie der Julius-Maximilians-Universität Würzburg.

Hiermit erkläre ich ehrenwörtlich, dass ich die Dissertation selbständig und ohne Hilfe eines Promotionsberaters angefertigt und keine weiteren als die angegebenen Quellen und Hilfsmittel benutzt habe.

Die Dissertation wurde bisher weder vollständig noch teilweise an einer anderen Hochschule mit dem Ziel, einen akademischen Grad zu erwerben, vorgelegt.

Am 18. Februar 2004 wurde mir von der Fachhochschule Würzburg-Schweinfurt der Titel *Diplom-Ingenieur (FH)* verliehen. Im Rahmen einer an der oben genannten Fakultät erfolgreich abgelegten Promotionseignungsprüfung, wurde mir am 5. Juli 2005 die Erfüllung der in §4 Abs. 2 der Promotionsordnung festgelegten, notwendigen Voraussetzungen für eine ordentliche Promotion bescheinigt.

Würzburg, den 02.03.2009

Christian Müller